

Preliminary Datasheet

High-Performance Processor

Advanced Digital Chips, Inc.

adLuna Hardware Manual

Rev. 2.0

Mar 23, 2021

Subject to Change Without Notice.

© 2021 Advanced Digital Chips, Inc.

All right reserved. No part of this document may be reproduced in any form without written permission from Advanced Digital Chips, Inc. Advanced Digital Chips, Inc. reserves the right to change in its products or product specification to improve function or design at any time, without notice.

Office

Korea (Headquarters)
22F, Bldg A, Keumkang Pentierum IT Tower,
810 Gwangyang-dong, Dongan-gu, Anyang-si,
Gyeonggi-do, 431-060, Korea
T : +82-31-463-7500 / F : +82-31-463-7588
E-mail : gisc@adc.co.kr
<http://www.adc.co.kr>

China
Peak Microtech Co., Ltd
北京芯首电子科技有限公司
E-mail : sales@peaktech.com.cn
<http://www.peaktech.com.cn>



Contents

1 DESCRIPTIONS AND FEATURES	12
1.1 Features	12
2 BLOCK DIAGRAM & PIN DESCRIPTIONS	14
2.1 Block Diagram	14
2.2 Pin Layout.....	15
2.3 Pin Definition.....	18
2.4 Pin Description.....	21
3 MEMORY ARCHITECTURE AND BOOTING MODES	23
3.1 Memory Map.....	23
3.2 Embedded Memories.....	25
3.2.1 Internal SRAM for Instruction.....	25
3.2.2 Internal SRAM for Data.....	25
3.2.3 Internal SRAM Registers	25
3.2.4 Internal SRAM Register Setting	26
3.3 Peripheral Memory Map.....	26
3.3.1 Debugger Mode.....	28
4 SYSTEM CONTROL	29
4.1 Reset Control.....	29
4.1.1 System Reset	29
4.1.2 Power On Start Time	29
4.2 Clock control.....	31
4.2.1 Main oscillator	32
4.2.2 PLL.....	32
4.2.3 PLLx Clock Change.....	34
4.2.4 Clock gating.....	34
4.2.5 Additional Clock Divider.....	34
4.2.6 USB Clock.....	35
4.2.7 Peri Clock.....	36
4.2.8 Protection Mechanism	36
4.3 Power modes.....	37
4.3.1 RUN mode	37
4.3.2 Sleep mode	37
4.3.3 Stop mode.....	38
4.4 BOD.....	39
4.5 System Control Registers	40
4.5.1 System Control Global Lock Register (GLOCK).....	40
4.5.2 System Control Write Enable Register (WREN).....	41
4.5.3 Halt Register.....	41
4.5.4 Halt Status Register.....	42
4.5.5 Interrupt Wake up Enable Register.....	43
4.5.6 Event Wake up Enable Register	44
4.5.7 PMC Status Register.....	45
4.5.8 OSC Stable Counter Register.....	45
4.5.9 Clock Control Register (CLKCON).....	45
4.5.10 PLL Control Register (PLLCON).....	46
4.5.11 Clock Divider Control Register (CLKDCON)	47
4.5.12 AHB Clock Enable Register (HCLKEN)	48
4.5.13 APB Clock Enable Register (PCLKEN).....	48
4.5.14 USB PHY Control Register (USBPHYCON).....	49
4.5.15 BOD Configure register(BCF)	49
4.5.16 HCLK clock divide register(HCLKDIV)	49
4.5.17 CLK16 clock divide register(CLK16DIV)	50
4.5.18 Swd Selection Register(SWDSR)	50
4.5.19 Security Control Register (SCR)	50
4.5.20 Key Value Register (KVR)	51
4.5.21 Pin Selection Register(PSR).....	51
4.5.22 SW Reset & Uart Sync Control Register (SWRUSC).....	51
4.5.23 DMA Request Selection Register (DMARSR)	51
4.5.24 DFS Control Register (DFSCON)	53
4.5.25 Peri clock Selection Register0 (PERICK0).....	53
4.5.26 Peri clock Selection Register1 (PERICK1).....	54
4.5.27 Peri clock Selection Register1 (PERICK2).....	55
4.5.28 Peri clock Selection Register1 (PERICK3).....	56

4.5.29	Flash Size Selection Register (FSSR)	58
5	SPI FLASH MEMORY CONTROLLER.....	59
5.1	Introduction	59
5.2	Feature	59
5.3	Functional Description	60
5.3.1	Register Interface	60
5.3.2	Memory Interface.....	60
5.3.3	Internal Flash Memory	60
5.3.4	Chip Erasing Flash memory.....	61
5.3.5	Sector/Block Erasing Flash memory	61
5.3.6	Programing Flash memory.....	61
5.3.7	Reading Flash memory.....	62
5.3.8	Power Down and Release Power Down	62
5.3.9	Flash Mode Register (FLMOD).....	62
5.3.10	Flash Baudrate Register (FLBRT).....	62
5.3.11	Flash Chip Select High Pulse Width Register (FLCSH).....	62
5.3.12	Flash WIP Check Period Register (FLWCP)	63
5.3.13	Flash Clock Delay Register (FLCKDLY)	63
5.4	Address Description.....	64
5.5	Register Description.....	64
5.5.1	Flash Mode Register (FLMOD).....	64
5.5.2	Flash Baudrate Register (FLBRT).....	65
5.5.3	Flash Chip Select High Pulse Width Register (FLCSH).....	65
5.5.4	Flash Performance Enhance Mode Register (FLPEM).....	65
5.5.5	Flash Command Register (FLCMD).....	65
5.5.6	Flash Status Register (FLSTS)	65
5.5.7	Flash Sector Erase Address Register (FLSEA).....	65
5.5.8	Flash Block Erase Address Register (FLBEA)	66
5.5.9	Flash Data Register (FLDAT)	66
5.5.10	Flash WIP Check Period Register (FLWCP)	66
5.5.11	Flash Clock Delay Register (FLCKDLY)	66
5.5.12	Flash 2nd Status Register (FLSTS2)	66
5.5.13	Flash ID Read Register (FLIDR)	66
5.5.14	Flash Memory Size Write Register (SFMSIZE)	67
6	GPIO (GENERAL PURPOSE I/O).....	68
6.1	Features	68
6.2	Block Diagram	68
6.3	Functional Description	68
6.3.1	Port Control	68
6.3.2	Port Interrupt Enable	69
6.3.3	Port Edge Detect	69
6.3.4	Port Offset Register Value	69
6.4	Register Description.....	70
6.4.1	Port Output Mode Status Registers (GPxOMST)	70
6.4.2	Port Output Mode Enable Setting Registers (GPxOMEN)	70
6.4.3	Port Output Mode Disable Setting Register(GPxOMDIS)	70
6.4.4	Port Output Data Level Registers (GPxOLEV)	71
6.4.5	Port Output Data High Level Setting Registers (GPxOHIGH)	71
6.4.6	Port Output Data Low Level Setting Registers (GPxOLOW)	71
6.4.7	Port Input Data Level Registers (GPxILEV)	71
6.4.8	Port Pull-up Enable Registers (GPxPUEN)	72
6.4.9	Port Pull-down Enable Registers (GPxPDEN)	72
6.4.10	Port Rising Edge Detect Registers (GPxRED)	72
6.4.11	Port Falling Edge Detect Registers (GPxFED)	73
6.4.12	Port Edge Detect Status Registers (GPxEDS)	73
6.4.13	Port Open Drain Mode Control Registers (GPxODM)	73
6.4.14	Port Schmitt Input Enable Registers (GPxSCHMT)	73
6.4.15	Port Interrupt Request Mode Registers (GPxIRQMODE)	74
6.4.16	Port Interrupt Request Enable Registers (GPxIRQEN)	74
6.4.17	Port Path Select Registers (GPxPATHSEL).....	74
7	PIN Mux.....	75
7.1	80 Pin Mux register	75
7.2	64 Pin Mux register	76
8	INTERRUPT CONTROLLER.....	77
8.1	Features	77
8.2	Functional Description	77
8.2.1	Interrupt Vector and Priority.....	78
8.2.2	Interrupt Pending, Interrupt Active, ISR End	79

8.2.3	Interrupt Enable	79
8.2.4	Interrupt Mask Set/Clear Register	79
8.2.5	중첩 인터럽트 허용	79
8.3	Register Description.....	80
8.3.1	Interrupt Service Routine End Register (ISREND)	80
8.3.2	Interrupt Pending Register (INTPENDn)	80
8.3.3	Interrupt Active Register (INTACTn)	80
8.3.4	Interrupt Enable Register (INTENn)	81
8.3.5	Interrupt Mask Status Register (INTMASKn).....	82
8.3.6	Interrupt Mask Set Register (INTMASKSETn)	82
8.3.7	Interrupt Mask Clear Register (INTMASKCLRn)	83
9	TICK TIMER.....	84
9.1	Features	84
9.2	Tick timer 15-bit Pre-scaler with clock source selection.....	84
9.3	Tick Timer/Counter	85
9.4	Tick Timer Control Registers.....	86
9.4.1	Timer Reset Control Register (TTMRST)	86
9.4.2	Tick Timer Control Registers (TTMCON)	86
9.4.3	Tick Timer Counter Registers0 (TTMCNT 0).....	86
9.4.4	Tick Timer Counter Registers1 (TTMCNT 1).....	86
9.5	Tick Timer Interrupt waveform.....	87
10	WATCHDOG TIMER	88
10.1	Register Description.....	89
10.1.1	Watchdog Timer Control Register (WDTCTRL)	89
10.1.2	Watchdog Timer Counter Value Register (WDTCNT)	89
10.1.3	Watchdog Timer Lock Value Register (WDTLOCK)	89
10.2	Operational Flow Diagrams.....	90
11	TIMERS.....	91
11.1	Features	91
11.2	Functional Description	91
11.2.1	15-bit Pre-scaler with clock source selection.....	91
11.2.2	Timer/Counter	92
11.2.3	Pulse Width Modulation (PWM)	93
11.2.4	Capture	95
11.3	Address Description.....	96
11.4	Register Description.....	96
11.5	Register Description.....	97
11.5.1	Timer Pre-scale Control Registers (TPxCTRL)	97
11.5.2	Timer Control Registers (TMxCTRL).....	97
11.5.3	Timer Counter / PWM Period Registers (TMxCNT).....	98
11.5.4	Capture Counter Registers / PWM Duty Registers (TMxDUT)	98
11.5.5	PWM Pulse Count Registers (TMxPUL)	98
11.5.6	TIMER Async Mode Register (TMxASYN).....	98
11.5.7	TIMER Write/Read update check Register (TMxUPDATE)	99
12	COPROCESSOR	100
12.1	Features	100
12.2	Coprocessor Description.....	100
12.3	Coprocessor Control Registers	101
12.3.1	System Coprocessor Status Register (SCPR15)	101
12.3.2	Master Command Register (SCPR15).....	101
12.3.3	Supervisor Stack Point Register (SCPR14)	101
12.3.4	User Stack Point Register (SCPR13).....	101
12.3.5	Vector Base Register (SCPR12).....	101
12.3.6	Invalidate Cache Line and Lock Register (SCPR11).....	102
12.3.7	Memory Bank Configuration Register (SCPR9)	102
12.3.8	General Access Point Data Register (SCPR4).....	103
12.3.9	General Access Point Index Register (SCPR3)	103
13	UART	104
13.1	Features	104
13.2	Block Diagram	104
13.3	Functional Description	105
13.3.1	Serial Data Format	105
13.3.2	UART Baud Rate.....	107
13.3.3	Smart Card Interface	108
13.4	Register Summary	110
13.5	Address Description.....	111

13.6	Register Description.....	111
13.6.1	UART Channel Receiver Buffer Registers (UxRB)	111
13.6.2	UART Channel Transmitter Holding Registers (UxTH)	111
13.6.3	UART Channel Interrupt Enable Registers (UxIE)	111
13.6.4	UART Channel Interrupt Identification Register (UxII)	111
13.6.5	UART Channel FIFO Control Register (UxFC)	112
13.6.6	UART Channel Line Control Register (UxLC)	113
13.6.7	UART Smart Card Interface Register (UxSCI)	113
13.6.8	UART Channel Line Status Register (UxLS)	114
13.6.9	UART Channel IrDA Control Register (UxIRC)	115
13.6.10	UART Channel Divisor Latch LSB Register (UxDLL)	115
13.6.11	UART Channel Divisor Latch MSB Register (UxDLM)	115
13.6.12	UART Channel Divisor Latch Fractional Register (UxDLF)	115
13.6.13	UART Channel Interface Control Register (UxIFC)	115
14	DMA.....	116
14.1	Features	116
14.2	Block Description	117
14.3	Functional Description	118
14.3.1	DMA Operation.....	118
14.3.2	Linked List Operation.....	119
14.3.3	Auto Reload Operation	122
14.3.4	Peripheral Interface	125
14.4	Register Description.....	127
14.4.1	DMA Interrupt Status (DMAIntStatus)	127
14.4.2	DMA Terminal Count Interrupt Status (DMATCIntStatus)	127
14.4.3	DMA Terminal Count Interrupt Clear (DMATCIntClr)	127
14.4.4	DMA Error Interrupt Status (DMAErrorIntStatus)	127
14.4.5	DMA Error Interrupt Clear (DMAErrorIntClr)	127
14.4.6	DMA Block Interrupt Status (DMABlockIntStatus)	128
14.4.7	DMA Block Interrupt Clear (DMABlockIntClr)	128
14.4.8	DMA Raw Terminal Count Interrupt Status (DMARawTCIntStatus)	128
14.4.9	DMA Raw Error Interrupt Status (DMARawErrorIntStatus)	128
14.4.10	DMA Enabled Channel Status (DMAEnblDChn)	128
14.4.11	DMA Software Burst Request (DMASoftBReq)	128
14.4.12	DMA Software Single Request (DMASoftSReq)	129
14.4.13	DMA Software Last Burst Request (DMASoftLBReq)	129
14.4.14	DMA Software Last Single Request (DMASoftLSReq)	129
14.4.15	Channel Source Address Register (ChnSrcAddr)	129
14.4.16	Channel Destination Address Register (ChnDstAddr)	130
14.4.17	Channel Linked List Item Register (ChnLLI)	130
14.4.18	Channel Control Register (ChnCntrl)	130
14.4.19	Channel Configuration Register (ChnCfg)	132
14.4.20	Channel Source Gather Address Register (ChnSrcGaAddr)	133
14.4.21	Channel Destination Scatter Address Register (ChnDstScaAddr)	133
14.4.22	Channel Auto Reload Count Register (ChnAutoReloadCnt)	133
14.5	Program Guide	134
14.5.1	Summary of Register.....	134
14.5.2	Programming Sequence	134
14.5.3	Program Consideration.....	135
15	SPI (SERIAL PERIPHERAL INTERFACE)	136
15.1	Features	136
15.2	Block Diagram	136
15.3	Functional Description	137
15.3.1	SPI Pins	137
15.3.2	SPI Operating Modes	138
15.3.3	Data Transfer Timing.....	139
15.3.4	SCK Phase and Polarity Control	140
15.3.5	SPI Serial Clock Baud Rate.....	140
15.3.6	Open-Drain Output for Wired-OR.....	141
15.3.7	Transfer Size and Direction	141
15.3.8	Write Collision	141
15.3.9	MODE Fault.....	141
15.3.10	Interrupt.....	142
15.4	Register Description.....	143
15.4.1	SPI Control Register (SPICTRL)	143
15.4.2	SPI Baud Rate Register (SPIBR)	143
15.4.3	SPI Status Register (SPISTAT)	144
15.4.4	SPI Data Register (SPIDATA)	144
15.4.5	SPI nSS Control Register (nSSCTRL)	146
15.4.6	SPI Interrupt Mask Register (SPIINT)	146

16	TWI (Two WIRED INTERFACE)	147
16.1	Features	147
16.2	Block Diagram	147
16.3	Functional Description	148
16.3.1	DATA TRANSFER FORMAT	148
16.3.2	START AND STOP CONDITION	148
16.3.3	ACK SIGNAL TRANSMISSION	149
16.3.4	READ-WRITE OPERATION	149
16.3.5	BUS ARBITRATION PROCEDURES	150
16.3.6	ABORT CONDITIONS	151
16.3.7	Operational Flow Diagrams	151
16.4	Address Description	156
16.4.1	TWI Control Register (TWICTRL)	157
16.4.2	TWI Status Register (TWISTAT)	158
16.4.3	TWI Address Register(TWIADR)	159
16.4.4	TWI Data Register (TWIDATA)	159
16.4.5	TWI Baud-Rate 0 Register (TWIBR0)	159
16.4.6	TWI Baud-Rate 1 Register (TWIBR1)	159
16.4.7	TWI Master Write Start Stop Register (TWIMSSR)	159
17	SOUND MIXER	162
17.1	Features	162
17.2	Block Diagram	162
17.3	Low Pass Filter for Digital Modulator	163
17.4	Sound Mixer clock	163
17.5	Mixer Block Diagram	163
17.6	Register Description	164
17.6.1	Mixer Control Register0 (MIXER_CON0)	164
17.6.2	Mixer Out Enable Register (MIXER_OE)	164
17.6.3	Mixer Volume Register (MIXER_VOL)	165
17.6.4	Mixer Buffer Status Register (MIXER_BST)	165
17.6.5	Mixer Data Register (MIXER_DAT)	165
17.6.6	Mixer Out Register (MIXER_OUT3)	165
17.6.7	Mixer Interrupt Status Register (MIX_IST)	165
18	ADC CONTROLLER	166
18.1	Features	166
18.2	Register Description	167
18.2.1	ADC Control Register (ADCCTRL)	167
18.2.2	ADC Data Register (ADCDATA)	167
18.2.3	ADC FIFO Register (ADCFIFO)	167
18.2.4	ADC Status Register (ADCSTAT)	168
18.2.5	ADC Control Register2 (ADCCTRL2)	168
19	USB DEVICE	169
19.1	Features	169
19.2	Register Summary	169
19.2.1	USB Function Address Register	170
19.2.2	USB Power Management Register	170
19.2.3	USB Interrupt Registers	170
19.2.4	USB Interrupt Enable Registers	170
19.2.5	Frame Number Registers	170
19.2.6	Index Register	170
19.2.7	MAXP Register	170
19.2.8	EP0 Control Register	170
19.2.9	IN Control Registers	170
19.2.10	Out Control Registers	170
19.2.11	Out Write Count Registers	170
19.2.12	Endpoint FIFO Access Registers	170
19.3	Register Description	171
19.3.1	USB Function Address Register (USBFA)	171
19.3.2	USB Power Management Register (USBPM)	171
19.3.3	USB Endpoint Interrupt Register (USBEP1)	172
19.3.4	USB Interrupt Register (USBINT)	172
19.3.5	Endpoint Interrupt Enable Register (USBEP1EN)	173
19.3.6	USB Interrupt Enable Register (USBINTEN)	173
19.3.7	USB Low Byte Frame Number Register (USBLBFN)	173
19.3.8	USB High Byte Frame Number Register (USBHBFN)	173
19.3.9	USB Index Register (USBIND)	173
19.3.10	USB MAXP Register (USBMP)	173
19.3.11	USB EP0 Control Register (USBEP0C)	174
19.3.12	USB IN Control 1 Register (USBIC1)	175

19.3.13	USB IN Control 2 Register (USBIC2).....	176
19.3.14	USB Out Control Register 1 (USBOC1).....	177
19.3.15	USB OUT Control Register 2 (USBOC2).....	177
19.3.16	USB Low Byte Out Write Count Register (USBLOWC).....	178
19.3.17	USB High Byte Out Write Count Register (USBHBOWC).....	178
19.3.18	EP0 FIFO Data Register (USBEP0).....	178
19.3.19	EP1 FIFO Data Register (USBEP1).....	178
19.3.20	EP2 FIFO Data Register (USBEP2).....	178
19.3.21	EP3 FIFO Data Register (USBEP3).....	178
19.3.22	EP4 FIFO Data Register (USBEP4).....	178
20	ELECTRICAL CHARACTERISTIC.....	179
20.1	DC Electrical Characteristic.....	179
20.2	Operating Conditions.....	179
20.3	LDO Electrical Specification.....	179
20.4	POR Electrical Specification.....	180
20.5	PLL Electrical Specification.....	180
20.6	ADC Electrical Specification.....	180
21	PACKAGE DIMENSION.....	181
64 Pin	: adLuna-TxxG.....	181
80 Pin	: adLuna-TxxK.....	182
80 Pin (0.8 pitch)	: adLuna-TxxL.....	183

Preliminary

Figures

Figure 2-1 adLuna Block Diagram	14
Figure 2-2 adLuna 80-Pin Layout.....	15
Figure 2-3 adLuna 64-Pin Layout.....	16
Figure 2-4 adLuna 80-Pin(0.8 pitch) Layout	17
Figure 3-1 Memory Map.....	24
Figure 4-1 Reset.....	29
Figure 4-2 Power On Start Time Diagram	30
Figure 4-3 Clock Scheme	31
Figure 4-4 Main Oscillator Circuit	32
Figure 4-5 PLL0 with External Filter	32
Figure 4-6 Additional Clock Divider	35
Figure 4-7 USB Clock	35
Figure 4-8 Peri Clock	36
Figure 4-9 Wake-up process from Sleep mode	38
Figure 4-10 Wake-up process from Stop mode.....	38
Figure 4-11 BOD Block Diagram.....	39
Figure 5-1 Flash Memory Controller Block Diagram.....	59
Figure 5-2 SCK and CS timing.....	62
Figure 5-3 Flash Clock Delay Timing	63
Figure 6-1 GPIO Block Diagram	68
Figure 6-2 GPIO Interrupt Enable	69
Figure 9-1 Pre-scaler Block Diagram	84
Figure 9-2 Timer Operation.....	85
Figure 9-3 core timer interrupt waveform	87
Figure 10-1 Operational flow.....	90
Figure 11-1 Pre-scaler Block Diagram	91
Figure 11-2 Timer Operation.....	92
Figure 11-3 PWM Operation	94
Figure 11-4 Capture Mode Operation	95
Figure 13-1 UART Block Diagram.....	105
Figure 13-2 UART LCR Register Setting and Serial Data Format	106
Figure 14-1 DMA Block Diagram	117
Figure 14-2 DMA Transfer hierarchy.....	118
Figure 14-3 Linked list	119
Figure 14-4 Multi Block Transfer	120
Figure 14-5 Gathering by using LLI.....	121
Figure 14-6 Auto Reload Operation Transfer Hierarchy	122
Figure 14-7 Scatter with Auto Reload Operation	123
Figure 14-8 Gather with Auto Reload Operation	124
Figure 14-9 DMA Handshake Signals.....	125
Figure 14-10 Time Diagram of DMA Request	126
Figure 15-1 SPI Block Diagram.....	136
Figure 15-2 Transfer Timing when CPHA = '0'	139
Figure 15-3 Transfer Timing when CPHA = '1'	140
Figure 15-4 SCK Phase and Polarity	140
Figure 15-5 1-Byte Transfer vs. Status and Interrupt.....	142
Figure 15-6 n-Bytes Transfer vs. Status and Interrupt.....	142
Figure 16-1 TWI Block Diagram.....	147
Figure 16-2 TWI-Bus Interface Data Format	148
Figure 16-3 Data Transfer on the TWI-Bus	148
Figure 16-4 Acknowledgement of TWI	149
Figure 16-5 Bus arbitration 1 of TWI	150
Figure 16-6 Bus arbitration 2	150
Figure 16-7 TWI Initialization Flow Char	151
Figure 16-8 Master Transmit Flow Char.....	152
Figure 16-9 Master Receive Flow Char.....	153
Figure 16-10 Master combined format Flow Char	154
Figure 16-11 Slave Mode Flow Chart (Polling).....	155
Figure 16-12 Slave Mode Flow Chart (Interrupt)	156
Figure 16-13 Tcf interrupt wave form	161
Figure 16-14 SCL Hold wave form.....	161
Figure 17-1 Mixer Block Diagram.....	162
Figure 17-2 Low pass filter for digital modulator.....	163
Figure 17-3 Sound Mixer output diagram	163
Figure 18-1 ADC Block Diagram	166
Figure 21-1 adLuna-TxxG Package Dimension.....	181
Figure 21-2 adLuna-TxxK Package Dimension	182
Figure 21-3 adLuna-TxxL Package Dimension	183

Preliminary

Tables

Table 2-1 adLuna Pin Definitions 80-Pin.....	20
Table 3-1 Peripheral Memory Map.....	27
Table 6-1 Internal Pull-up Resistance Characteristics.....	69
Table 8-1 Interrupt Vector & Priority.....	78
Table 12-1 Real Memory map.....	100
Table 12-2 Coprocessor Register Description.....	100
Table 13-1 UART Baud Rate.....	107
Table 13-2 UART Fractional Baud Rate.....	107
Table 13-3 UART Register Summary.....	110
Table 13-4 UART Interrupt Control Function.....	112
Table 15-1 SPI Pin Functions.....	137
Table 19-1 Endpoint List.....	169
Table 19-2 USB Core Register List.....	169
Table 20-1 I/O DC Electrical Characteristic.....	179
Table 20-2 I/O Recommended Operating Conditions.....	179
Table 20-3 LDO Electrical Specifications.....	179
Table 20-4 POR Specification (Unless otherwise specified, Topr=25°C, VDD=1.8V).....	180
Table 20-5 PLL DC Characteristics (Unless otherwise specified, Topr=25°C, VDD=1.8V).....	180
Table 20-6 ADC Recommended operating conditions.....	180
Table 20-7 ADC DC Characteristics (Unless otherwise specified, Topr=25°C, VDD=1.8V).....	180

History

Ver 0.0	Dec 14, 2018	1st version released
Ver 1.0	Mar 26, 2019	official version released
Ver 2.0	Mar 23, 2021	sound mixer path modify

Preliminary

1 DESCRIPTIONS AND FEATURES

1.1 Features

- **High-performance, Low-power 32-bit EISC Microprocessor**
- **32-bit EISC Architecture**
 - AE32000C-Lucida
 - Harvard Architecture
 - 5-Stage Pipelining
 - 1 Cycle 32bit MAC
 - Up to 100MIPS Throughput at 100MHz
 - 8KB 2-way Instruction Cache
 - Serial Wire Debugger
- **Embedded Memory**
 - 2KBytes Internal SRAM for Instruction
 - 78KBytes Internal SRAM for Data
 - Optional 512k, 1M, 2M, 4MBytes Flash (More than 100,000 erase/program cycles)
- **Boot Modes**
 - Serial Flash Booting
- **SWD Interface**
 - Extensive On-chip Debug Support
 - Programming of Serial Flash, other Ram
- **USB 1.1 Full-Speed Device Compatible**
 - Supports Full-speed Data Rate 12Mbps
- **Sound Mixer**
 - 4ch mixing
 - PWM output for mono(2 out), stereo(4 out)

▫ **Other Peripherals**

- 32-bit Watchdog Timer
- 4-ch DMA
- 5 Channel 16-bit Timer/Counter with 15-bit Pre-scaler, Capture, PWM
- 6 Channel UART with 16Bytes FIFO, Functionally compatible with the 16550, with 1Channel IrDA
- 2 Channel Master/Slave SPI with 8Bytes FIFO
- 2 Channel TWI
- 47-Port In/Out with open drain mode
- 47-Port GPIO @ 80 Pin QFP

▫ **Analog IPs**

- 12-bit 1MSPS SAR ADC with 8 analog input channels
- POR (Power On Reset)
- LDO
- PLL x 1

▫ **Operating frequency**

- Up to 100MHz

▫ **Power**

- 3.0V to 3.6V

▫ **Operating Temperature**

- 40°C / +85°C

▫ **Package**

- 80 Pin QFP, 64 Pin QFP

Produce Matrix

Product Code	Flash Size	Pin
adLuna-T4MK	4M Flash Memory	80 Pin
adLuna-T4ML	4M Flash Memory	80 Pin (0.8 pitch)
adLuna-T4MG	4M Flash Memory	64 Pin

Product Code	Flash Size	Pin
adLuna-T2MK	2M Flash Memory	80 Pin
adLuna-T2ML	2M Flash Memory	80 Pin (0.8 pitch)
adLuna-T2MG	2M Flash Memory	64 Pin

Product Code	Flash Size	Pin
adLuna-T1MK	1M Flash Memory	80 Pin
adLuna-T1ML	1M Flash Memory	80 Pin (0.8 pitch)
adLuna-T1MG	1M Flash Memory	64 Pin

Product Code	Flash Size	Pin
adLuna-T512K	512K Flash Memory	80 Pin
adLuna-T512L	512K Flash Memory	80 Pin (0.8 pitch)
adLuna-T512G	512K Flash Memory	64 Pin

2 BLOCK DIAGRAM & PIN DESCRIPTIONS

2.1 Block Diagram

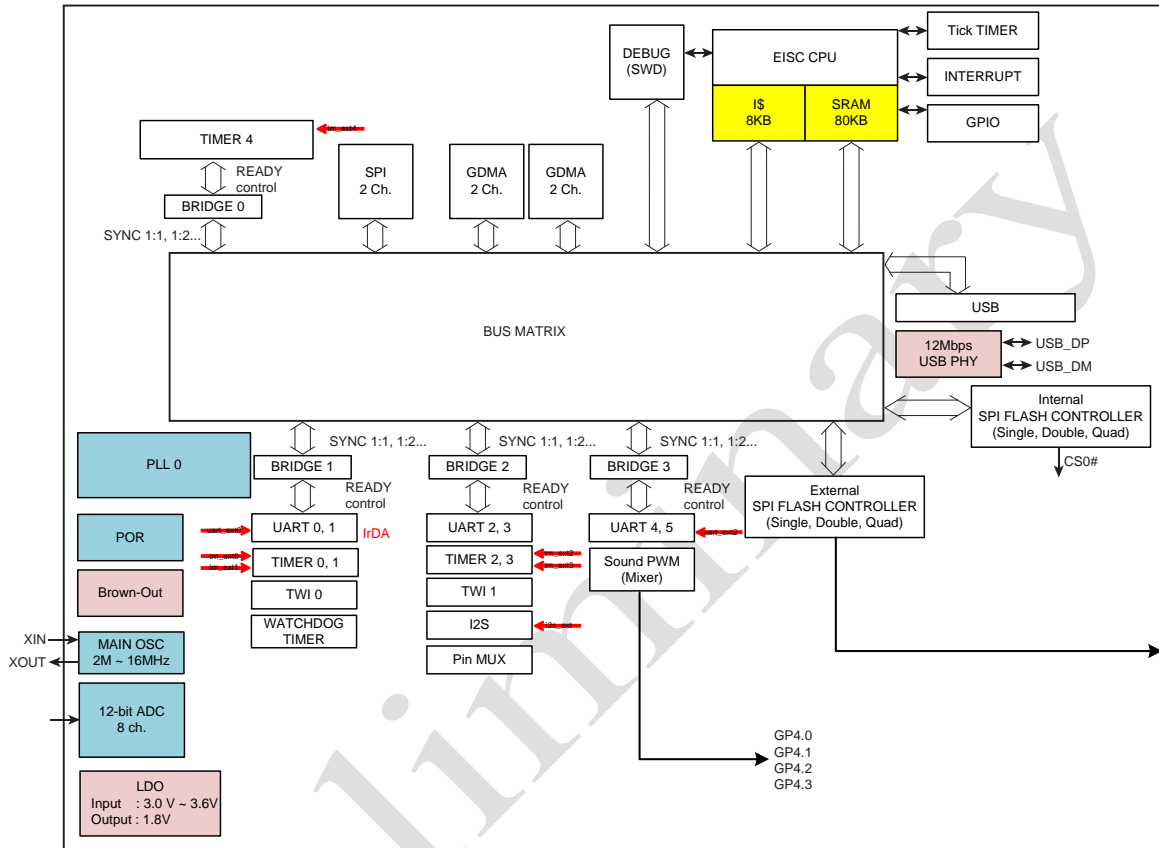


Figure 2-1 adLuna Block Diagram

2.2 Pin Layout

80 Pinouts

QFP 80-pin

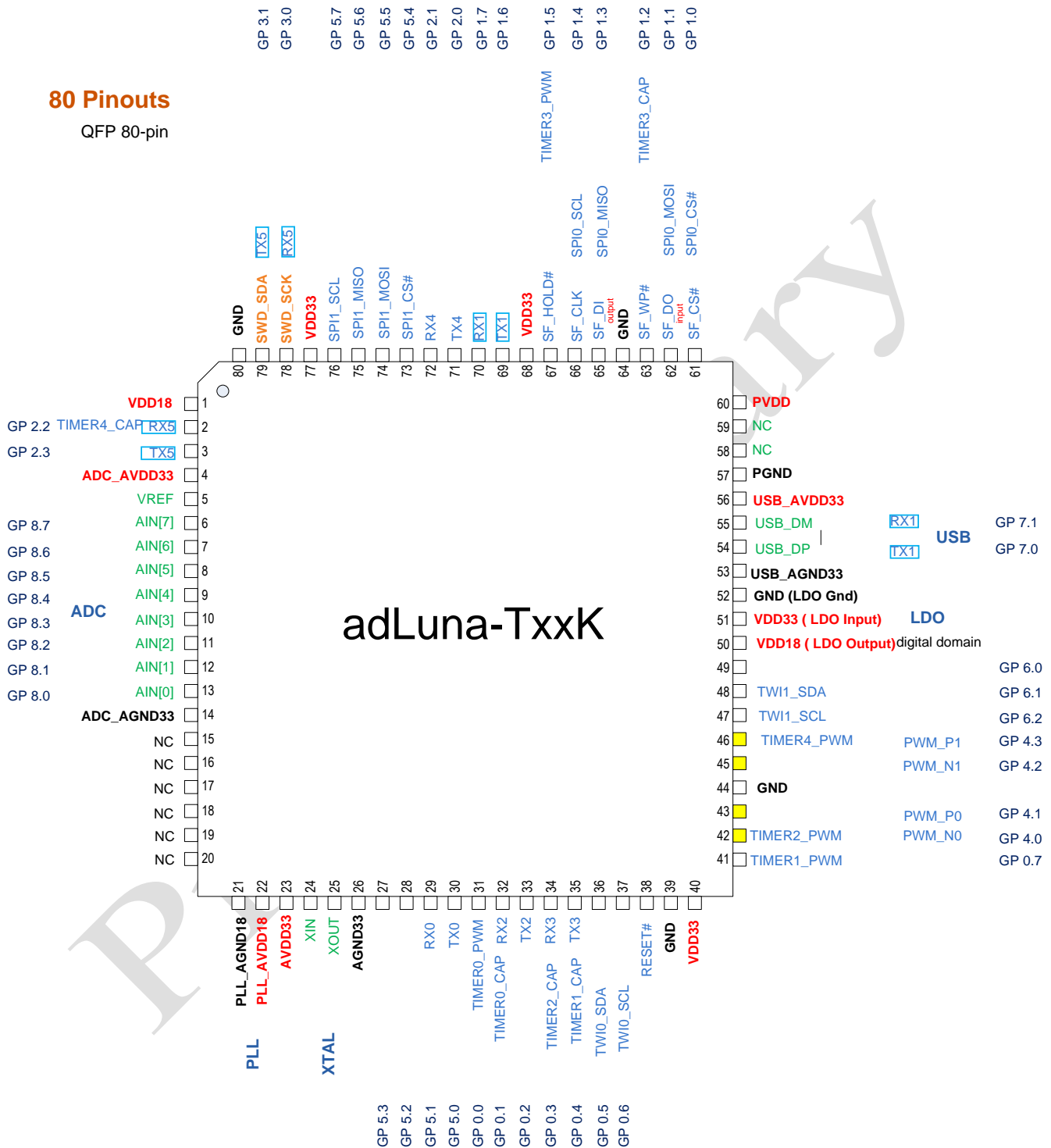


Figure 2-2 adLuna 80-Pin Layout

64 Pinouts

QFP 64-pin

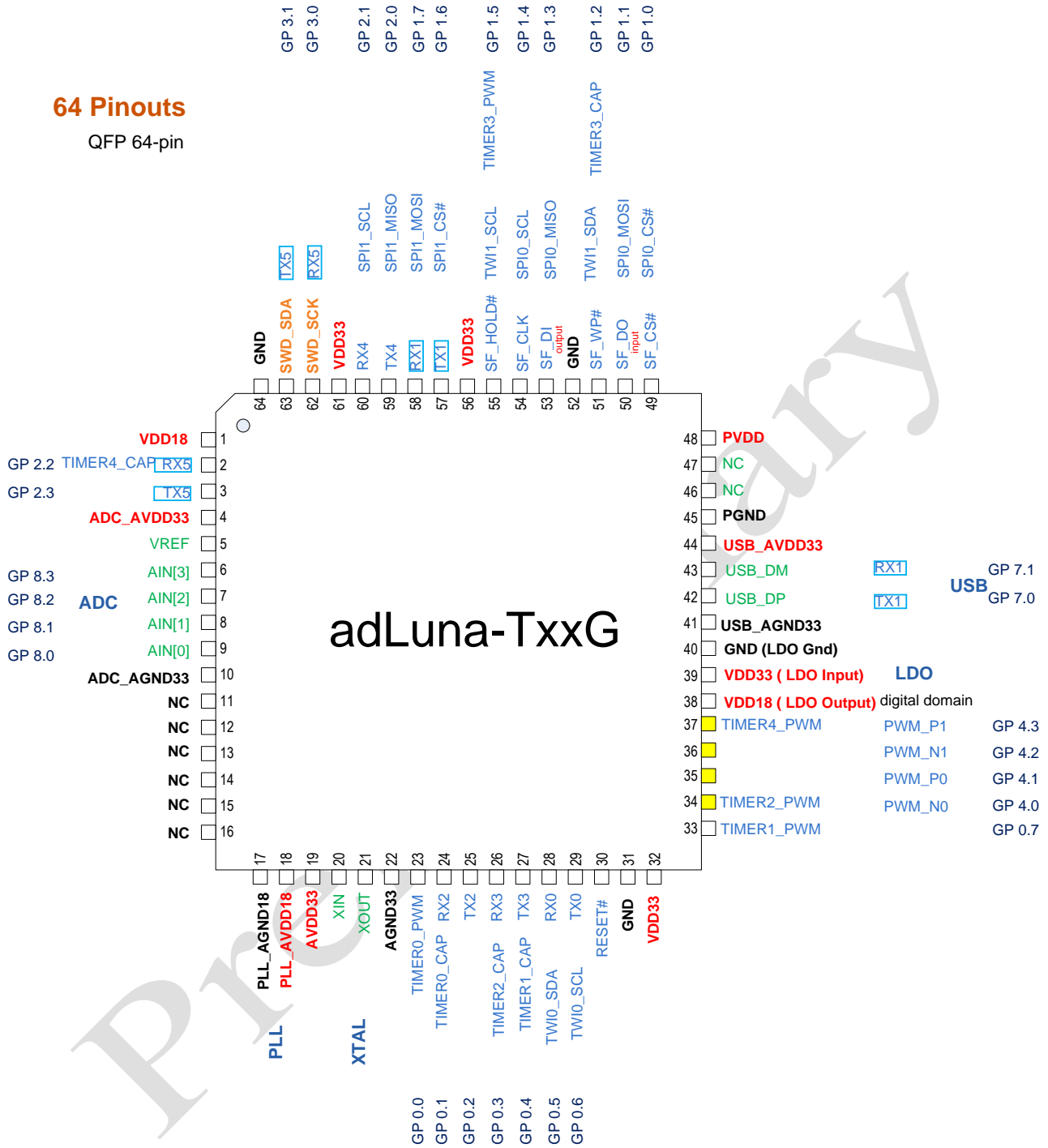
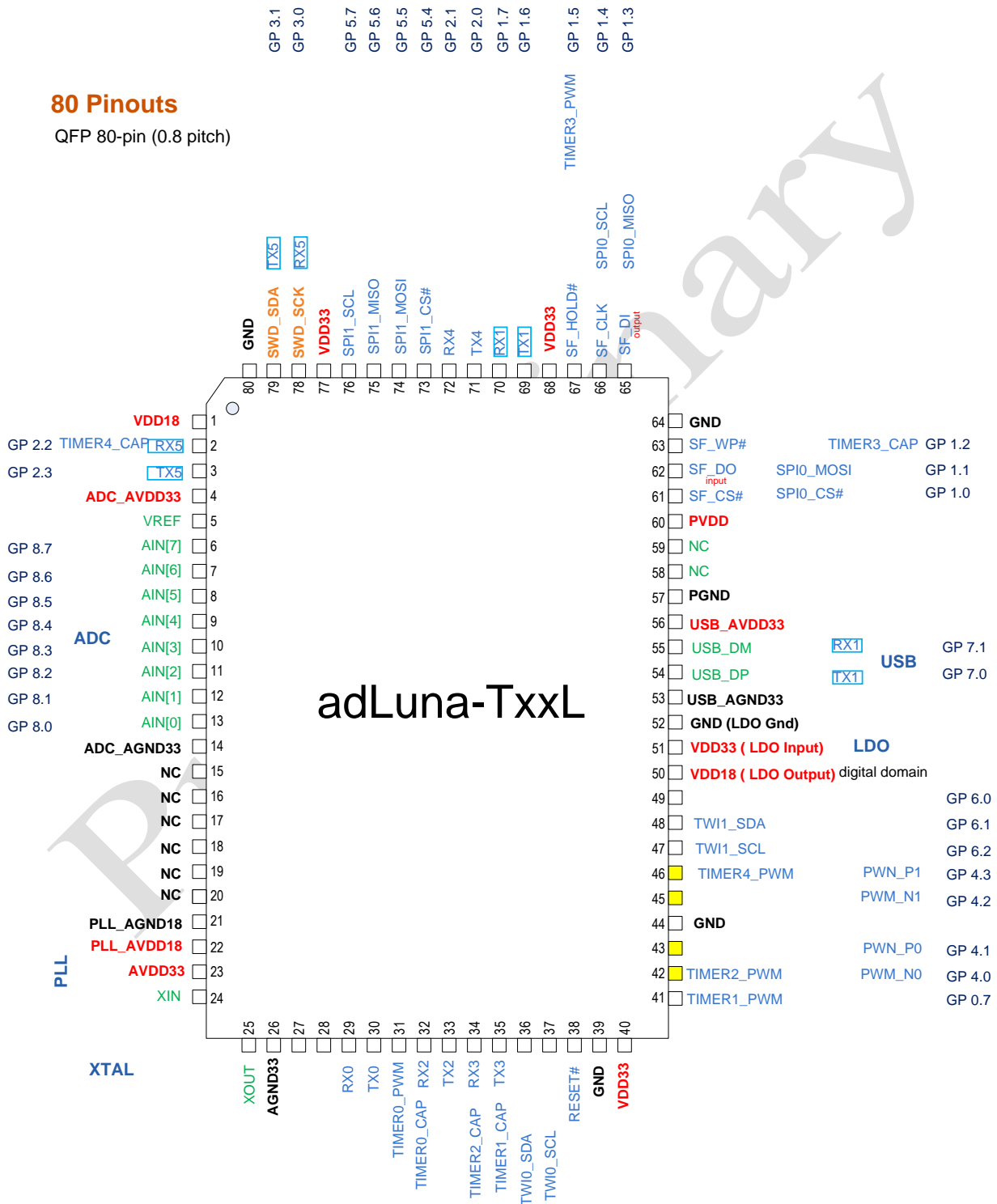


Figure 2-3 adLuna 64-Pin Layout

Figure 2-4 adLuna 80-Pin(0.8 pitch) Layout

80 Pinouts

QFP 80-pin (0.8 pitch)



2.3 Pin Definition

No.	Pin Name	Alt CFG	Description.	Type	Output Drive Current	Pull-Up / Pull-Down
1	VDD18		Power supply 1.8V			
2	UART5_RX	0	Uart5 rx	Bidi ^[1]	8mA	up, down or disable
	TIMER 4_cap	1	Cap mode input			
3	GP2.2	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
	UART5_TX	0	Uart5 tx			
4	GP2.3	3	General purpose I/O			
5	AVDD33		ADC power supply 3.3 V			
6	VREF		ADC analog voltage input reference	In		
7	AIN[7]		ADC analog voltage input channel 7	AIO		
	GP8.7	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
8	AIN[6]		ADC analog voltage input channel 6	AIO		
	GP8.6	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
9	AIN[5]		ADC analog voltage input channel 5	AIO		
	GP8.5	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
10	AIN[4]		ADC analog voltage input channel 4	AIO		
	GP8.4	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
11	AIN[3]		ADC analog voltage input channel 3	AIO		
	GP8.3	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
12	AIN[2]		ADC analog voltage input channel 2	AIO		
	GP8.2	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
13	AIN[1]		ADC analog voltage input channel 1	AIO		
	GP8.1	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
14	AIN[0]		ADC analog voltage input channel 0	AIO		
	GP8.0	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
15	AGND33		ADC analog power ground			
16	NC		NC			
17	NC		NC			
18	NC		NC			
19	NC		NC			
20	NC		NC			
21	PLL_AGND18		PLL Power ground			
22	PLL_AVDD18		PLL power supply 1.8V			
23	AVDD33		power supply 3.3 V			
24	XIN		Oscillator xin	Out		
25	XOUT		Oscillator xout	In		
26	AGND33		ADC power ground			
27	GP5.3	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
28	GP5.2	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
29	UART0_RX	0	Uart0 rx	Bidi ^[1]	8mA	up, down or disable
	GP5.1	3	General purpose I/O			
30	UART0_TX	0	Uart0 tx	Bidi ^[1]	8mA	up, down or disable
	GP5.0	3	General purpose I/O			
31	TIMER 0_pwm	0	Timer PWM output	Bidi ^[1]	8mA	up, down or disable
	GP0.0	3	General purpose I/O			

32	UART2_RX	0	Uart2 rx	Bidi ^[1]	8mA	up, down or disable
	TIMER 0_cap	1	Cap mode input			
	GP0.1	3	General purpose I/O			
33	UART2_TX	0	Uart2 tx	Bidi ^[1]	8mA	up, down or disable
	GP0.2	3	General purpose I/O			
34	UART3_RX	0	Uart3 rx	Bidi ^[1]	8mA	up, down or disable
	TIMER 2_cap	1	Cap mode input			
	GP0.3	3	General purpose I/O			
35	UART3_TX	0	Uart3 tx	Bidi ^[1]	8mA	up, down or disable
	TIMER 1_cap	1	Cap mode input			
	GP0.4	3	General purpose I/O			
36	TWI0_SDA	0	Twi 0 data line	Bidi ^[1]	8mA	up, down or disable
	GP0.5	3	General purpose I/O			
37	TWI0_SCL	0	Twi 0 clock line	Bidi ^[1]	8mA	up, down or disable
	GP0.6	3	General purpose I/O			
38	RESET#		Reset of system active low	In		
39	GND		Power gourd			
40	VDD33		IO power supply 3.3V			
41	TIMER 1_pwm	0	Timer PWM output	Bidi ^[1]	8mA	up, down or disable
	GP0.7	3	General purpose I/O			
42	PWM_N0	0	Sound mixer PWM N0 output	Bidi ^[1]	24mA	up, down or disable
	TIMER 2_pwm	1	Timer PWM output			
	GP4.0	3	General purpose I/O			
43	PWM_P0	0	Sound mixer PWM P0 output	Bidi ^[1]	24mA	up, down or disable
	GP4.1	3	General purpose I/O			
44	GND		Power gourd			
45	PWM_N1	0	Sound mixer PWM N1 output	Out ^[1]	24mA	up, down or disable
	GP4.2	3	General purpose Output Port			
46	PWM_P1	0	Sound mixer PWM P1 output	Bidi ^[1]	24mA	up, down or disable
	TIMER 4_pwm	1	Timer PWM output			
	GP4.3	3	General purpose I/O			
47	TWI1_SCL	0	Twi 1 clock line	Bidi ^[1]	8mA	up, down or disable
	GP6.2	3	General purpose I/O			
48	TWI1_SDA	0	Twi 1 data line	Bidi ^[1]	8mA	up, down or disable
	GP6.1	3	General purpose I/O			
49	GP6.0	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
50	VDD18(LDO)		Power supply 1.8V (LDO output)	Out		
51	VDD33(LDO)		IO power supply 3.3V (LDO input)	In		
52	GND(LDO)		Power ground (LDO GND)			
53	PGND		Power ground			
54	USB_DP		USB DP - data+ pin	AIO		
	SWD_SDA	0	SWD data(sys ctrl swd selection register 설정에 의해 사용)	Bidi ^[1]	8mA	up, down or disable
	UART1_TX	1	Uart1 tx (sys ctrl pin selection register 설정에 의해 사용)			
55	GP7.0	3	General purpose I/O	Bidi ^[1]	8mA	up, down or disable
	USB_DM		USB DM - data- pin			
	SWD_SCK	0	SWD clock (sys ctrl swd selection register 설정에 의해 사용)			
	UART1_RX	1	Uart1 rx(sys ctrl pin selection register 설정에 의해 사용)			
	GP7.1	3	General purpose I/O			
56	PVDD		PWM IO power supply			
57	AGND33		USB analog power ground			
58	NC					
59	NC					
60	AVDD33		USB analog IO power supply 3.3V			
61	SF_CS#	0	External Serial flash chip selet	Bidi ^[1]	8mA	up, down or disable
	SPIO_CS#	1	Spi 0 chop selet			
	GP1.0	3	General purpose I/O			
62	SF_DO	0	External Serial flash data [1]	Bidi ^[1]	8mA	up, down or disable
	SPIO_DO	1	SPI 0ch data output (MOSI)			
	GP1.1	3	General purpose I/O			
63	SF_WP	0	External Serial flash data [2]	Bidi ^[1]	8mA	up, down

	TWI1_SDA	1	TwI 1 data line(sys ctrl pin selection register 설정에 의해 사용)			or disable
	TIMER 3_cap	2	Cap mode input			
	GP1.2	3	General purpose I/O			
64	GND		Power ground			
	SF_DI	0	External Serial flash data [0]			
65	SPI0_DI	1	SPI 0ch data input (MISO)	Bidi ^[1]	8mA	up, down or disable
	GP1.3	3	General purpose I/O			
	SF_CLK	0	External Serial flash clock			
66	SPI0_CLK	1	SPI0 clock	Bidi ^[1]	8mA	up, down or disable
	GP1.4	3	General purpose I/O			
	SF_HOLD	0	External Serial flash data [3]			
67	TWI1_SCL	1	TwI1 clock line(sys ctrl pin selection register 설정에 의해 사용)	Bidi ^[1]	8mA	up, down or disable
	TIMER 3_pwm	2	Timer PWM output			
	GP1.5	3	General purpose I/O			
68	VDD33		IO power supply 3.3V			
	UART1_TX	0	Uart1 tx(sys ctrl pin selection register 설정에 의해 사용)	Bidi ^[1]	8mA	up, down or disable
69	GP1.6	3	General purpose I/O			
	UART1_RX	0	Uart1 rx(sys ctrl pin selection register 설정에 의해 사용)	Bidi ^[1]	8mA	up, down or disable
70	GP1.7	3	General purpose I/O			
	UART4_TX	0	Uart1 tx	Bidi ^[1]	8mA	up, down or disable
71	GP2.0	3	General purpose I/O			
	UART4_RX	0	Uart4 rx	Bidi ^[1]	8mA	up, down or disable
72	GP2.1	3	General purpose I/O			
	SPI1_CS#	0	Spi 1 chop selet	Bidi ^[1]	8mA	up, down or disable
73	GP5.4	3	General purpose I/O			
	SPI1_DO	0	SPI 1ch master out slave in	Bidi ^[1]	8mA	up, down or disable
74	GP5.5	3	General purpose I/O			
	SPI1_DI	0	SPI 1ch master in slave out	Bidi ^[1]	8mA	up, down or disable
75	GP5.6	3	General purpose I/O			
	SPI1_CLK	0	SPI1 clock	Bidi ^[1]	8mA	up, down or disable
76	GP5.7	3	General purpose I/O			
77	VDD33		IO power supply 3.3V			
	SWD_SCK	0	SWD clock			
78	UART5_RX	1	Uart5 rx(sys ctrl pin selection register 설정에 의해 사용)	Bidi ^[1]	8mA	up, down or disable
	GP3.0	3	General purpose I/O			
	SWD_SDA	0	SWD data			
79	UART5_TX	1	Uart5 tx(sys ctrl pin selection register 설정에 의해 사용)	Bidi ^[1]	8mA	up, down or disable
	GP3.1	3	General purpose I/O			
80	GND		Power ground			

[1] 5 V tolerant pad providing digital I/O functions with configurable pull-up/pull-down resistors.

Table 2-1 adLuna Pin Definitions 80-Pin

2.4 Pin Description

VDD33, AVDD33, USB_AVDD33 : 3.3V Supply voltage 에 연결하며 서로 연결되지 않는 독립전원이어야 한다.

PLL_AVDD18: 1.8V Supply voltage

VDD18 : 1.8v supply voltage

AGND33 : ADC Power Ground

USB_AGND : USB Power Ground

PLL_AGND : PLL Power Ground

GND : Power Ground

AIN[7:0] : ADC에 입력되는 아날로그 전압 레벨이며 디지털 값으로 변환된다. 8채널

VREF : AIN 입력레벨에 대한 Reference이다.

USB_DP : USB Data+ I/O

USB_DM : USB Data- I/O

Serial Flash : 2 channels.(internal flash control, external flash control)

In_SF_CS#, Ex_SF_CS# : Serial Flash Chip Select

SF_CLK, : Serial Flash Clock

SF_DI : Serial Flash Data Input. Command, Address, Data를 입력 받는 신호.

SF_DO : Serial Flash Data Out. Data를 출력하는 신호.

SF_WP : Serial Flash write protection 신호.

SF_HOLD : Serial Flash hold 신호.

PWM/Capture : 5 channels.

TIMER_0~5: Capture mode 일 경우 외부 신호의 주거나 펄스 폭을 측정하기 위한 입력 핀 이고, capture mode가 아닐 경우 PWM output.

SPI : 2 channel.

SPI0_CS# : SPI Chip select signal

SPI0_SCK : SPI Clock pin

SPI0_SDI: SPI가 Master일 때 Data input, Slave일 때 Data output으로 사용

SPI0_SDO: SPI가 Master일 때 Data output, Slave일 때 Data input으로 사용

TWI : 2 channels.

TWI_SCL : TWI Serial Clock

TWI_SDA : TWI Serial Data

UART : 6 channels.

Channel 0은 UART only. Channel 1은 IrDA를 지원.

UART_RX : UART RX with IrDA supported

UART_TX : UART TX with IrDA supported

Sound Mixer :

PWM_N0, PWM_P0, PWM_N1, PWM_P1, : 2 Mono, 4 stereo 출력

XIN, XOUT : 외부에서 crystal 을 연결한다.

Preliminary

3 MEMORY ARCHITECTURE AND BOOTING MODES

3.1 Memory Map

메모리 영역은 아래의 표와 같이 할당 되어 있다. (Figure 3-1)

0xFFFF3FFF 0xFFFF0000	FIO BUS	
	Reserved	
0xA002FFFF 0xA0020000	APB 3	
	Reserved	
0xA00018FF 0xA0001800	USB DEVICE	
	Reserved	
0x8004FFFF 0x80040000	APB 2	
	Reserved	
0x8003FFFF 0x80030000	APB 1	
	Reserved	
0x8002FFFF 0x80020000	APB 0	
	Reserved	
0x800028FF 0x80002800	SPI 1	
	Reserved	
0x800024FF 0x80002400	Serial Flash CTRL 1	
	Reserved	
0x800018FF 0x80001800	SPI 0	
	Reserved	
0x800014FF 0x80001400	DMA	
	Reserved	
0x800000FF 0x80000000	Serial Flash CTRL 0	
	Reserved	
0x10014000	Internal SRAM 78KB for Data	
0x10000800 0x100007FF	Internal SRAM 2KB for Instruction	
0x10000000	Reserved	
0x01FFFFFF (16Mbyte) (가변)	External Serial Flash (external flash controller)	
0x01000000 0x00FFFFFF (16Mbyte) (가변)	Internal Serial Flash (internal flash controller)	External Serial Flash (external flash controller)
0x00000000	(Boot Area)	(Boot Area)
	adLuna internal flash type	adLuna external flash type

Figure 3-1 Memory Map

*** External Serial flash 은 7.pinmux 설정에 의해 사용 가능하다.

*** AdLuna internal flash type의 경우 Boot Area 에 이어서 사용하는 external flash 영역은 System Control Register 4.5.30 Flash Size Selection Register 설정에 의해 Boot Area(internal serial flash) 영역에 이어서 주소를 사용할 수 있다.(default = 4Mbyte, 최대 16Mbyte 사용가능)

*** AdLuna Internal flash size 와 External flash size 가 같을 경우 address 는 이어 지지만, size가 서로 다를 경우 address 는 이어지지 않는다.

Ex) internal flash(4Mbyte), external flash(4Mbyte) size가 같을 경우

0x007FFFFFFF (4Mbyte)	External Serial Flash (external flash controller)
0x00400000	
0x003FFFFFFF (4Mbyte)	Internal Serial Flash (internal flash controller)
0x00000000	
	(Boot Area)

Ex) internal flash(512Kbyte), external flash (4Mbyte) size가 서로 다를 경우

0x007F_FFFF (4Mbyte)	External Serial Flash (external flash controller)
0x0040_0000	
0x003F_FFFF 0x0008_0000	Reserved
0x0007_FFFF (4Mbyte)	(internal flash controller)
0x0000_0000	
	(Boot Area)

3.2 Embedded Memories

2KB Internal SRAM for Instruction
78KB Internal SRAM for Data

3.2.1 Internal SRAM for Instruction

adLuna 은 Instruction 을 위한 2KB SRAM 메모리가 내장되어 있다. 명령어 또는 데이터를 저장하는 용도로 사용할 수 있으며 주로 명령어를 저장하게 된다. 명령어를 읽는 경우 1cycle 접근이 가능하며 데이터를 읽는 경우는 3 cycle 이 소요된다.

3.2.2 Internal SRAM for Data

adLuna 은 Data 를 위한 2KB SRAM 메모리가 내장되어 있다. 주로 데이터를 저장하는 데 사용되며, 데이터를 읽는 경우 1cycle 접근이 가능하다.

3.2.3 Internal SRAM Registers

Internal SRAM 전체를 관장하는 1 개의 Global Control Register 를 갖는다. 또한 Internal SRAM 은 내부에 여러 개의 Bank 로 구성될 수 있으므로 Global Register 의 Configuration 에 의해 결정되는 Bank 개수만큼 Local Register Set 을 갖는다. Local Register Set 는 다음과 같은 3 개의 32bit Register 로 구성된다.

- Local Internal SRAM Control Register
- Local Internal SRAM Start Address
- Local Internal SRAM End Address

Internal SRAM Global Control Register Address : 0x700 - Global Control Register

Bit	R/W	Description	Default
31 : 28	R	Exception Status 4'b0001 : DATA Access Violation 4'b0010 : Instruction Access Violation	0h
27 : 24	R	Reserved	0h
23 : 20	R	iBank Size: iSRAM에서 각 bank의 physical Memory 크기 4'h0 : 1 KB 4'h1 : 2 KB 4'h2 : 4 KB 4'h3 : 8 KB 4'h4 : 16 KB 4'h5 : 32 KB 4'h6 : 64 KB 4'h7 : 128 KB 4'h8 : 256 KB	
19 : 16	R/W	iSRAM Configuration 4'h0 : 사용자에게 1개의 메모리 덩어리로 보임 4'h1 : Reserved 4'h2 : 사용자에게 4개의 메모리 덩어리로 보임 (4개 를 넘는 경우는 현재 구현되어 있지 않음)	0h
15 : 12	R	iSRAM Enable 4'b0001 : SRAM Enable 4'b0000 : SRAM Disable	0h
11 : 8	R	dBank Size: dSRAM에서 각 bank의 physical Memory 4'h0 : 1 KB 4'h1 : 2 KB 4'h2 : 4 KB 4'h3 : 8 KB 4'h4 : 16 KB 4'h5 : 32 KB (4개로 구성 시, dspm 설정)	

		4'h6 : 64 KB 4'h7 : 128 KB 4'h8 : 256 KB	
7 : 4	R/W	dSRAM Configuration 4'h0 : 사용자에게 1개의 메모리 덩어리로 보임 4'h1 : Reserved 4'h2 : 사용자에게 4개의 메모리 덩어리로 보임 (4개 를 넘는 경우는 현재 구현되어 있지 않음)	0h
3 : 0	R	dSRAM Enable 4'b0001 : SRAM Enable 4'b0000 : SRAM Disable	0h

Internal SRAM Local Control Register

Address : 0x701, 0x711 - Local iSRAM Control Register
Address : 0x704 - Local dSRAM Control Register

Bit	R/W	Description	Default
31 : 12	R	Reserved	0h
11 : 8	R	External Access: BUS 접근 권한 4'h0 : External Access Not Support 4'h1 : External Access Support	
7 : 4	R/W	Privilege Mode: 사용자 권한 4'h0 : Supervisor only Access 4'h1 : Supervisor/User Access	0h
3 : 0	R	Enable 4'b0001 : Local SRAM Enable 4'b0000 : Local SRAM Disable	0h

Internal SRAM Local Start Address Register

Address : 0x702, 0x712 - Local iSRAM Start Register
Address : 0x705 - Local dSRAM Start Register

Bit	R/W	Description	Default
31 : 0	R/W	SRAM Start Address	0h

Internal SRAM Local End Address Register

ADDRESS : 0x703, 0x713 - Local iSRAM End Register
ADDRESS : 0x706 - Local dSRAM End Register

Bit	R/W	Description	Default
31 : 0	R/W	SRAM End Address	0h

3.2.4 Internal SRAM Register Setting

Internal SRAM 레지스터의 설정은 GAP 를 이용하기 때문에 co-processor 레지스터 접근 명령어인 MVTC 와 MVFC 를 사용하게 된다.

예제.

```
#####
### Internal SRAM Global Register Setting
#####
asm(" ldi 0x700,      %r0");
asm(" mvtc 0x0,      %r3");
asm(" ldi 0x00021021, %r0"); //ON //Num of Memory Bank: 4
asm(" mvtc 0x0,      %r4");
```

3.3 Peripheral Memory Map

Register 영역은 8000_0000h 부터 존재하며 각 기능 Block 당 1Kbyte 씩 할당 되어 있다. Memory mapped I/O 의 형태로 자세한 내용은 아래와 같다(Table 3-1)

Table 3-1 Peripheral Memory Map

Offset Address	Block	BUS	Remark
0x8000_0000	Flash Controller0	AHB	4ch
0x8000_1400	DMA Controller		
0x8000_1800	SPI 0 Controller		
0x8000_2400	Flash Controller1		
0x8000_2800	SPI 1 Controller		
0xA000_1800	USB Device		
Offset Address	Block	BUS	Remark
0x8002_0000	Timer4	1 st APB	
0x8002_0400	Reserved		
0x8002_3C00	SyStem Controller		
0x8003_0000	UART 0,1	2 nd APB	2ch
0x8003_0800	Timer 0,1		2ch
0x8003_1800	TWI0		
0x8003_2400	WDT		
0x8003_3400	ADC Controller		8ch
0x8004_0000	UART 2,3	3 rd APB	2ch
0x8004_0800	Timer 2,3		2ch
0x8004_1800	TWI1		
0x8004_3400	Pinmux		
0xA002_1000	UART 4,5	4 th APB	2ch
0xA002_1800	SND Mixer		
0xffff_0000 ⁽¹⁾	Interrupt Controller		
0xffff_1000 ⁽¹⁾	Core Timer		
0xffff_3000 ⁽¹⁾	GPIO		

(1) 녹색 영역은 CPU에 의해 내부적으로 디코딩 되고, 실제로 버스에 연결되어 있지 않다. 그래서 다른 마스터에 의해 access 되지 않는다.

3.3.1 Debugger Mode

SWD 를 통한 설정에 의해서 결정된다. “Set Clcok Control” 비트 [0] 번에 의해서 결정 된다.

표 1.5 Serial Packet Frame Detail

CMD high	CMD low	SEL Value	Description
4'b0000	8'hXX	8'hXX	Select DBG (TOP)
4'b0001	8'hXX	8'hXX	Select Processor 0 Debugger
4'b0010	8'hXX	8'hXX	Select Processor 1 Debugger
4'b0011	8'hXX	8'hXX	Select Processor 2 Debugger
4'b0110	8'hXX	8'hXX	Select AXI Bus Debugger
4'b0111	8'hXX	8'hXX	Select AHB Bus Debugger
4'b1001	8'b0000_0000	8'b0000_0000	Set Clock Control [64 비트]상위 0x55AA9966 이어야 함. 하위 [31:0] 설정 됨. [7:0] 값이 유효함.

Preliminary

4 SYSTEM CONTROL

System control 는 reset control, clock control, power control, and low-power modes 를 포함 한다.

4.1 Reset Control

Reset controller 는 External Reset, Power on Reset, Debugger Reset 그리고 Watchdog Reset 으로 구성되어 있다. 아래 그림에 전체 reset 들이 표시 되어 있다.

RESET# pin 은 외부 리셋 신호에 응답(active LOW). device 는 reset 상태를 벗어나면 실행을 시작한다. reset 중 부트 모드가 결정되며, device 는 부트 모드를 실행하기 시작한다.

시스템의 debugger reset 은 SWD 내부 레지스터에 write 함으로써 실행 된다.

4.1.1 System Reset

System Reset은 다음과 같은 사항에서 발생 한다.

1. External Reset
2. Debugger Reset
3. Watchdog Reset
4. POR Reset
5. S/W Reset

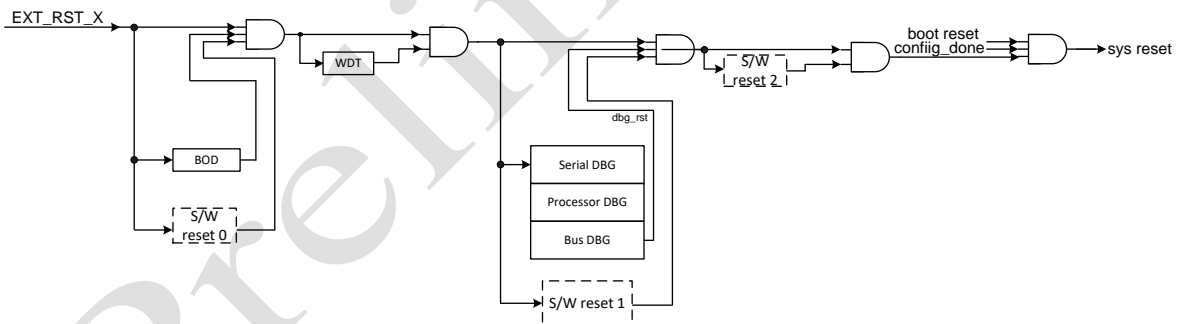


Figure 4-1 Reset

4.1.2 Power On Start Time

VDD33 에 3.3V 전원이 인가 되고, 내부 LDO 출력을 통해 VDD18 에 1.8V 가 안정적으로 인가되면, POR Reset 이 release 된다. 이 때, External Reset 이 release 되면, External Clock 으로 동작하는 Startup 회로가 동작하게 된다. 이 Startup 회로는 Xin 이 안정화되기 전의 오동작을 방지하며, 내부 logic 에 동시에 system reset 을 release 시켜준다. System reset 은 POR Reset 과 External Reset 이 release 되고 Xin clock 기준 1024-cycle 이 지난 후 release 된다.

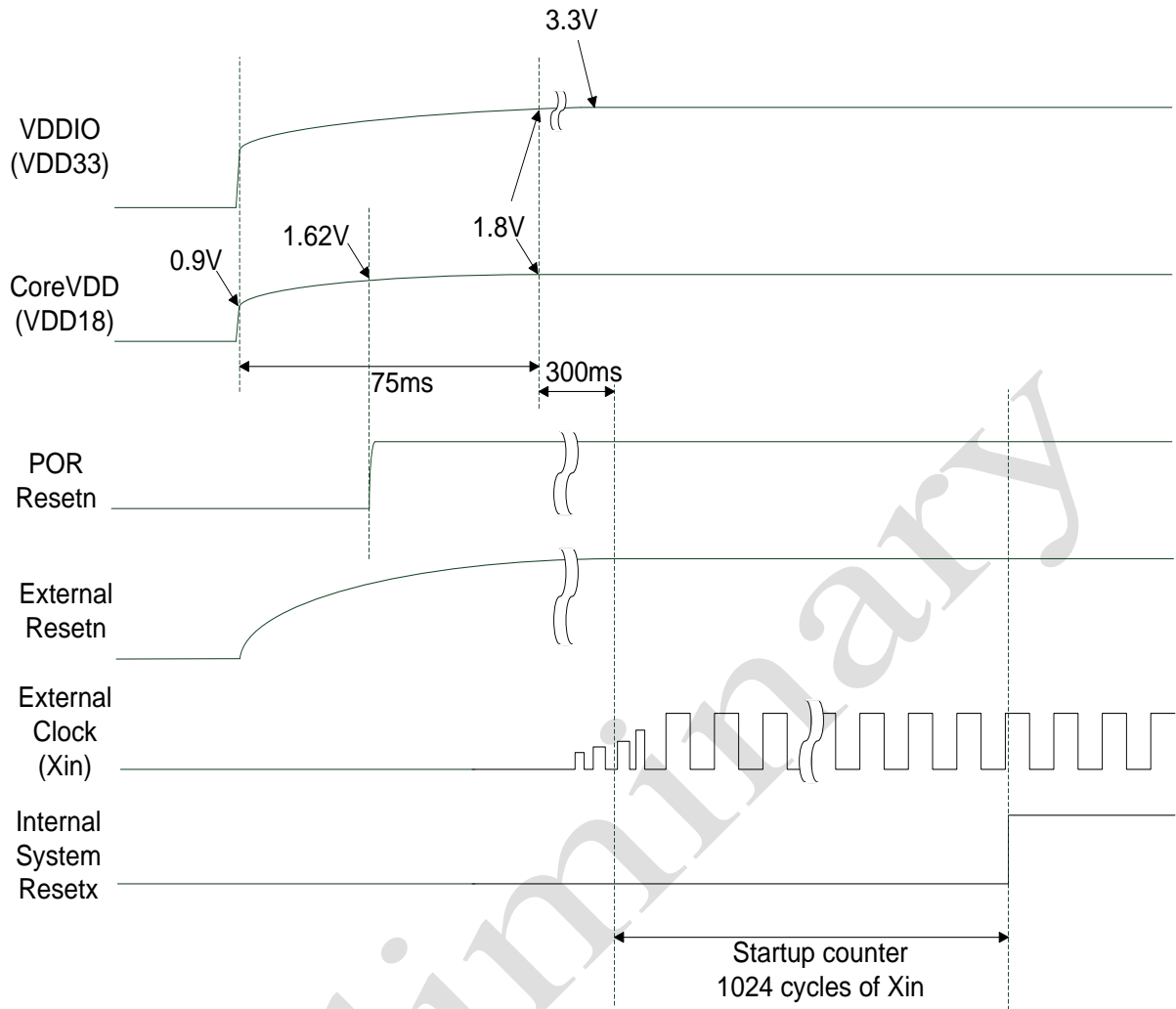


Figure 4-2 Power On Start Time Diagram

4.2 Clock control

clock input 은 main oscillator 에 의해 생성 된다.

device 는 한 개의 PLL 이 있다. PLL 은 PLLCONx 레지스터에 의해 제어된다.

PLL reference clock 은 XIN pin 으로부터 받고, PLL 은 reset 후, power down 이 된다.

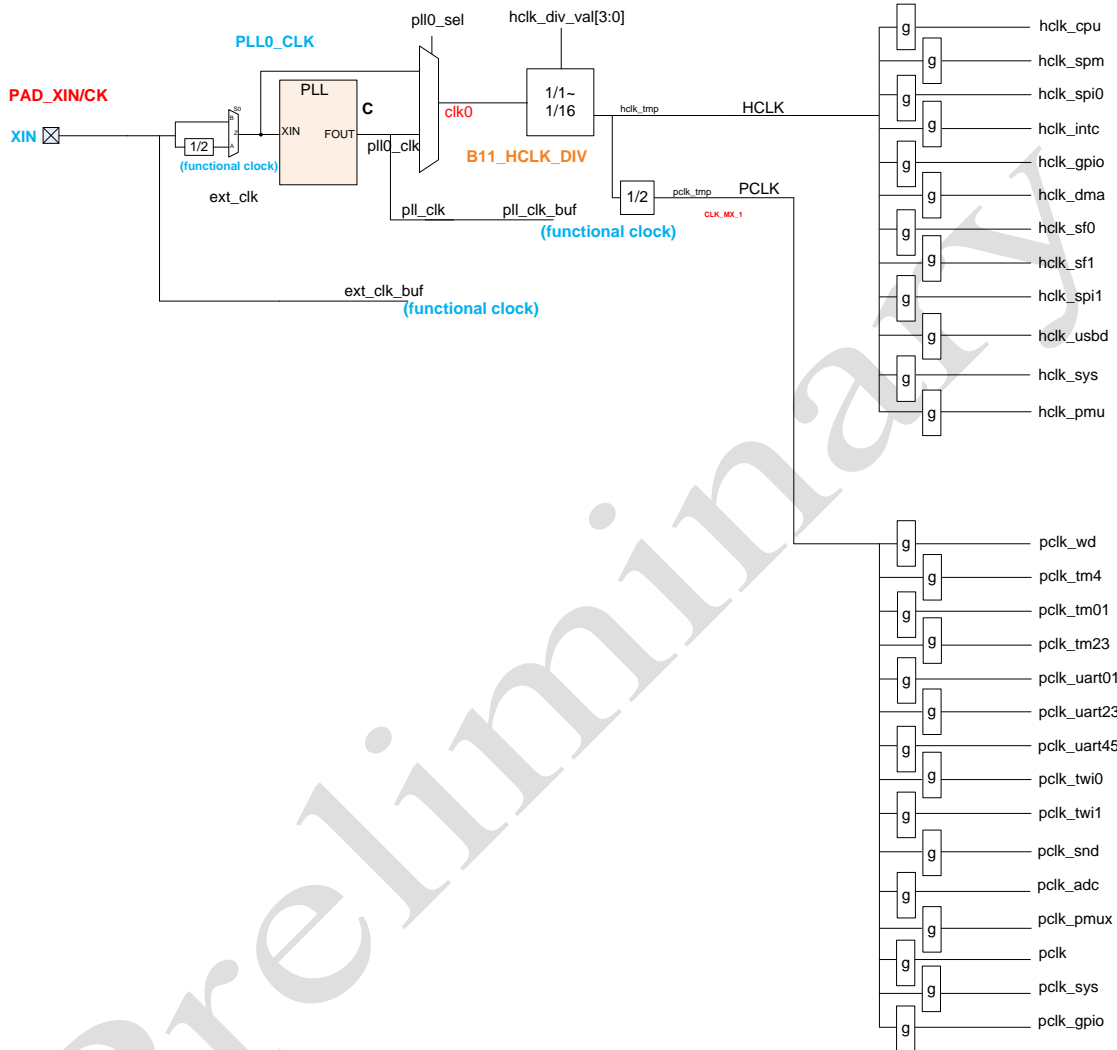


Figure 4-3 Clock Scheme

대부분의 경우, PLL 은 높은 성능을 선정하지만, 전력 소모의 증가를 초래할 수 있다. 낮은 성능 및 전력 소비를 줄이기 위해, crystal clock 이 선택될 수 있다. main crystal clock 과 PLL 는 HCLK and PCLK peripherals reference clock sources 로써 사용 된다.

HCLK 과 PCLK 은 각각 AHB 영역과 APB 영역에 클럭을 공급한다. 두 클럭은 동일한 위상이며 2:1 의 주파수비의 관계를 갖고 있다. HCLK 도메인은 CPU 와 AHB peripherals 에 사용된다. PCLK domain 은 APB peripherals 에 사용 된다. HCLK 와 PCLK reference 는 main crystal clock 또는 PLL0 clock output 이될 수 있습니다. PCLK 은 실제로 HCLK 도메인 에서 분주 됩니다. 그래서, PCLK 과 HCLK 은 synchronous 이다. 모든 APB peripheral 은 PCLK 을 사용하며, PCLK 도메인으로 간주된다.

4.2.1 Main oscillator

main oscillator 는 PLL 에 대한 clock 소스로 사용될 수 있다.
main oscillator 의 주파수는 4 MHz 에서 16MHz.이다. main oscillator clock 을 생성하기 위해 사용될 때, Figure 4-4 와 같이 2 개의 부하 capacitors 와 함께 외부 크리스탈 XIN 및 XOUT 핀 사이에 연결 할 필요가 있다. main oscillator 입력은 대부분의 내부 모듈에 사용된다.

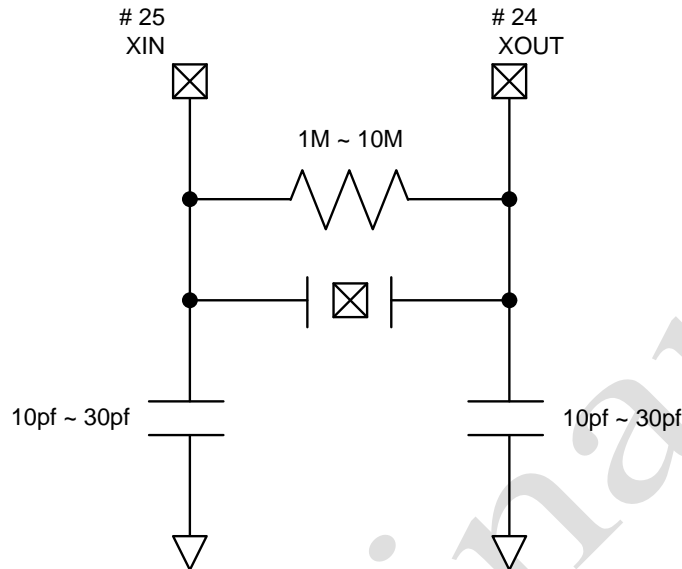


Figure 4-4 Main Oscillator Circuit

4.2.2 PLL

PLL 은 reference 클럭 으로 Main oscillator 를 받는다.
PLL 은 소프트웨어에 의해 사용할 수 있다. 프로그램으로 PLL 를 활성화 해야 합니다. PLL lock 을 기다린 다음 clock 소스로 PLL 에 연결 한다.

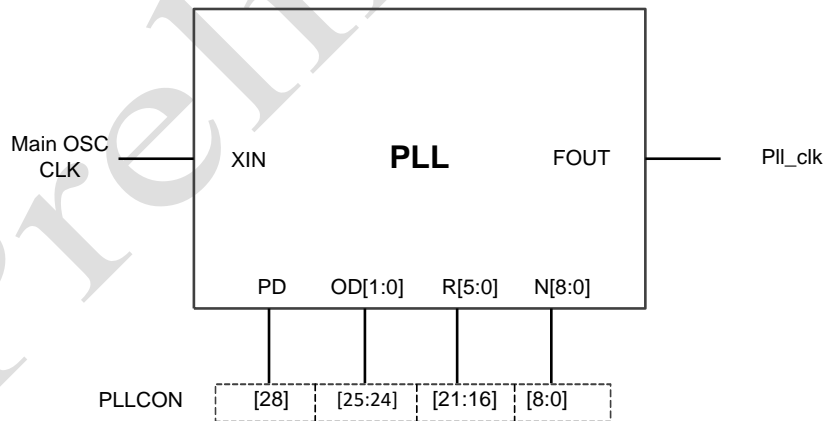


Figure 4-5 PLL0 with External Filter

PLL 가 활성화되기 전에 올바르게 설정 해야 합니다. 주요 OSC clock 은 PLL reference clock 의 source 이다.

PLL 출력 주파수는 다음 식으로부터 계산 된다:

$$F_{out} = \frac{XIN \times \frac{N}{R}}{OD}$$

실제 응용 프로그램에서 올바른 설정을 충족 해야 한다

$$50M \leq XIN \times \frac{N}{R} \leq 200M, R \geq 2, N \geq 2;$$

R 은 입력 분주 비이고, 이는 R[3:0]에 의해 조절될 수 있다 :

R[5:0]	Input Divider Ratio (R)
000010	2
000011	3
000101	4
...	...
111101	61
111110	62

N 은 피드백 루프의 분할 비율을 나타낸다(multiplier). 이는 N[8:0]에 의해 조절될 수 있다

N[8:0]	Feedback Divider Ratio (N)
00000010	2
00000011	3
00000100	4
...	...
11111101	509
11111110	510

Preliminary

OD 출력 분배기 이고, 이는 OD[1:0]에 의해 조절될 수 있다

OD[1:0]	Output Divider Ratio (OD)
00	Normal operation
01	divide by 2
10	divide by 2
11	divide by 4

예를 들어, 만약 XIN이 1MHz이고, R[5:0] 은 100000, N[8:0]은 100000000, OD[1:0] is 11 이면,

$$F_{out} = 1 \div 1 \times 256 \div 4 = 64 \text{ MHz}$$

PLL을 설정 (PLL는 PLLCON 레지스터의 PLL power down bit를 0으로 write하여 사용할 수 있다)

4.2.3 PLLx Clock Change

사용자는 System이 동작하는 중간에도 PLL clock의 주파수를 변경할 수 있다.

PLL Clock Source를 변경하거나 PLL 설정을 변경하면 PLL Clock의 주파수는 변경된다.

그런데 동작중에 PLL 주파수를 변경하는 것은 시스템을 불안정하게 만들기 때문에 안정적인 변경을 위해서는 시스템 클럭을 External clock 동작시킨 후에 PLL의 주파수를 변경해야 한다. External Clock 과 PLL Clock 사이에 변경은 Glitch Free Mux를 통해 이루어지므로 언제나 안정적인 변경이 가능하다.

PLL 의 설정을 변경하게 되면 PLL 에서 변경된 주파수의 Clock 이 나오기 까지 Lock time 이 소요된다. Lock time은 Max 2ms 이다.

사용자는 PLL 변경한 후 Lock time 이 지난 후에 시스템 클럭을 PLL 클럭으로 변경해야 한다.

4.2.4 Clock gating

각각의 주변 장치는 개별 클럭과 시스템 제어기 및 HCLKEN PCLKEN 레지스터 비트를 이용하여 게이트 on/off 할 수 있다. 이 비트는 모든 reset 후 삭제된다. Clock off 전에, peripheral 이 실행되지 않았는지 확인 한다.

비활성화 된 클럭을 가지고 어떤 버스 액세스가 peripheral 에 에러 종료를 생성 한다.

4.2.5 Additional Clock Divider

각 고정 된 디바이더의 정수 값 또는 분별 값으로 입력 기준 주파수를 분할하는 기능을 갖는다. 레퍼런스 클럭 주파수는 원하는 출력 주파수를 달성하도록 선택 되어야 한다.

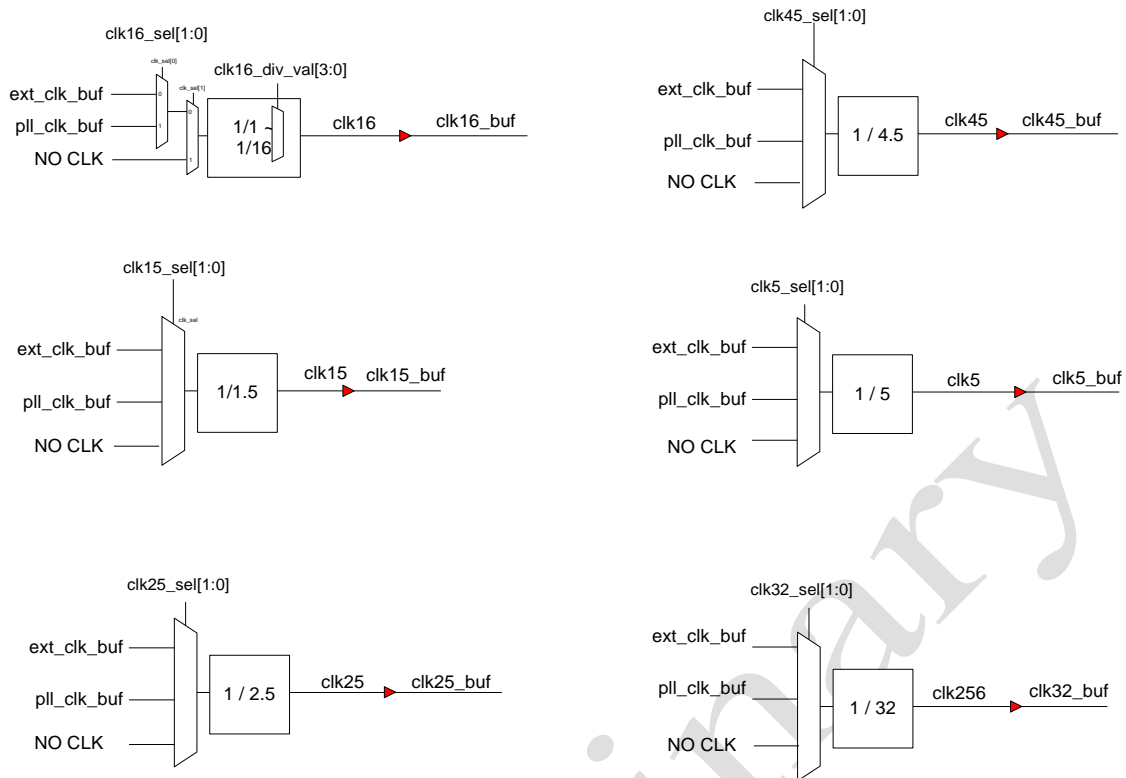


Figure 4-6 Additional Clock Divider

4.2.6 USB Clock

USB Device 는 Figure 4-7 에 도시된 바와 같이 두 개의 clock source 에서 clock 이 공급 된다.

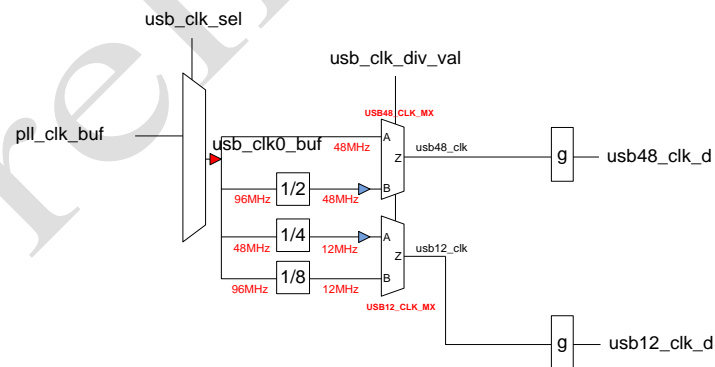


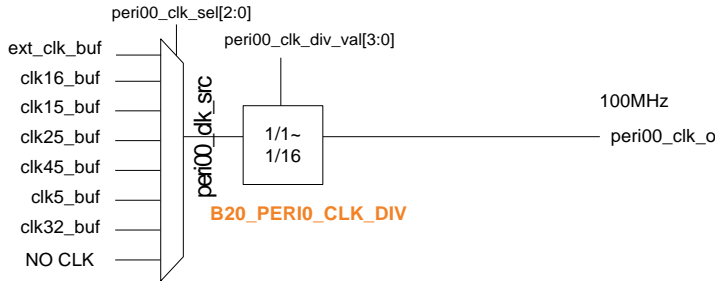
Figure 4-7 USB Clock

Figure 4-7 에 도시 된 바와 같이, USB 클럭에 대한 두 가지 소스는 두 개의 PLL 에서 각각 clock 을 받는다.

usb48_clk 주파수는 48MHz 로 해야 하며, usb12_clk 주파수는 작동을 위해 12MHz 로해야 한다.

4.2.7 Peri Clock

B20_PERI00_CLK



B20_PERI01_CLK

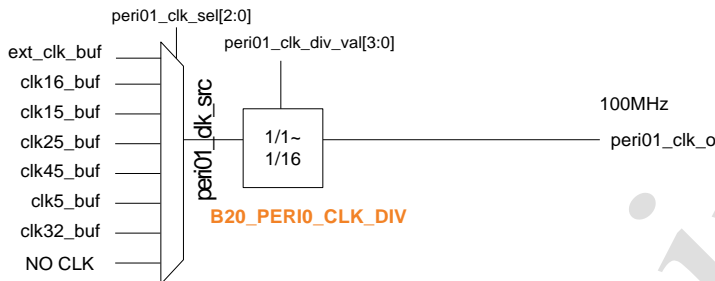


Figure 4-8 Peri Clock

Peri 00 clock	timer 4 clock
Peri 01 clock	timer 0,1 clock
Peri 02 clock	timer 2,3 clock
Peri 03 clock	uart 0,1 clock
Peri 04 clock	uart 2,3 clock
Peri 05 clock	uart 4,5 clock
Peri 06 clock	-
Peri 07 clock	-
Peri 08 clock	-
Peri 09 clock	-
Peri 10 clock	
Peri 11 clock	digital modulator clock
Peri 12 clock	-
Peri 13 clock	-

4.2.8 Protection Mechanism

adLuna 은 시스템 제어 레지스터에 write 접근 하기 위해 두 단계 절차를 필요로 한다.

첫 번째는 절차는 GLOCK 레지스터에 0xe5511acc 값을 write 하여 unlock 을 시켜야 한다. 이것은 모듈의 모든 레지스터들을 해제 한다.

(GLOCK 레지스터는 시스템 제어 모듈에서 중요한 레지스터에 우발적인 쓰기를 방지하기 위해 필요 하다.)

두 번째 절차는 필요한 각각의 레지스터를 write 하려면 WREN 레지스터의 각각의 비트를 활성화 하여야 한다.

4.3 Power modes

전력 관리 컨트롤러의 다수의 전원 옵션은 사용자가 필요한 사용자 애플리케이션에 대한 전력 소비를 최적화 할 수 있도록 제공한다.

파워 모드는 인수로 모드 인덱스 번호를 취하는 정지 명령에 의해 선택된다.

<i>Modes</i>	<i>CPU Clock</i>	<i>Main OSC</i>	<i>Main domain Power</i>	<i>Exit</i>
Sleep(Halt3)	Off	On	On	RESET#, Interrupt Source
Stop(Halt2)	Off	Off	On	RESET# Event Source, Wake-up

4.3.1 RUN mode

Run mode 는 칩에 대한 정상 작동 모드 이다. 이 모드는 모든 리셋 후 입력 된다.

RUN mode 는 모든 clocks 을 활성화 하고, 소프트웨어 실행 및 주변 동작을 허용 한다.

이 모드에서 전력 소비를 줄여야 한다면, 사용하지 않는 클럭은 그에 상응하는 클럭의 제어에서 사용하지 않도록 레지스터를 설정하여 전력 소모를 줄일 수 있다. (AHBCLKEN, APBCLKEN).

4.3.2 Sleep mode

Halt3 명령은 CPU 와 SPM 의 memorys 을 중단 한다.

CPU clock 은 정지하고, 칩의 나머지는 동작을 수행 한다 wake up 소스는 인터럽트 이다.

인터럽트는 active high level 이어야 wake up 소스로 사용할 수 있다.

- CPU is disabled.
- SPM is disabled.

Wake-up from Sleep mode(Halt3)

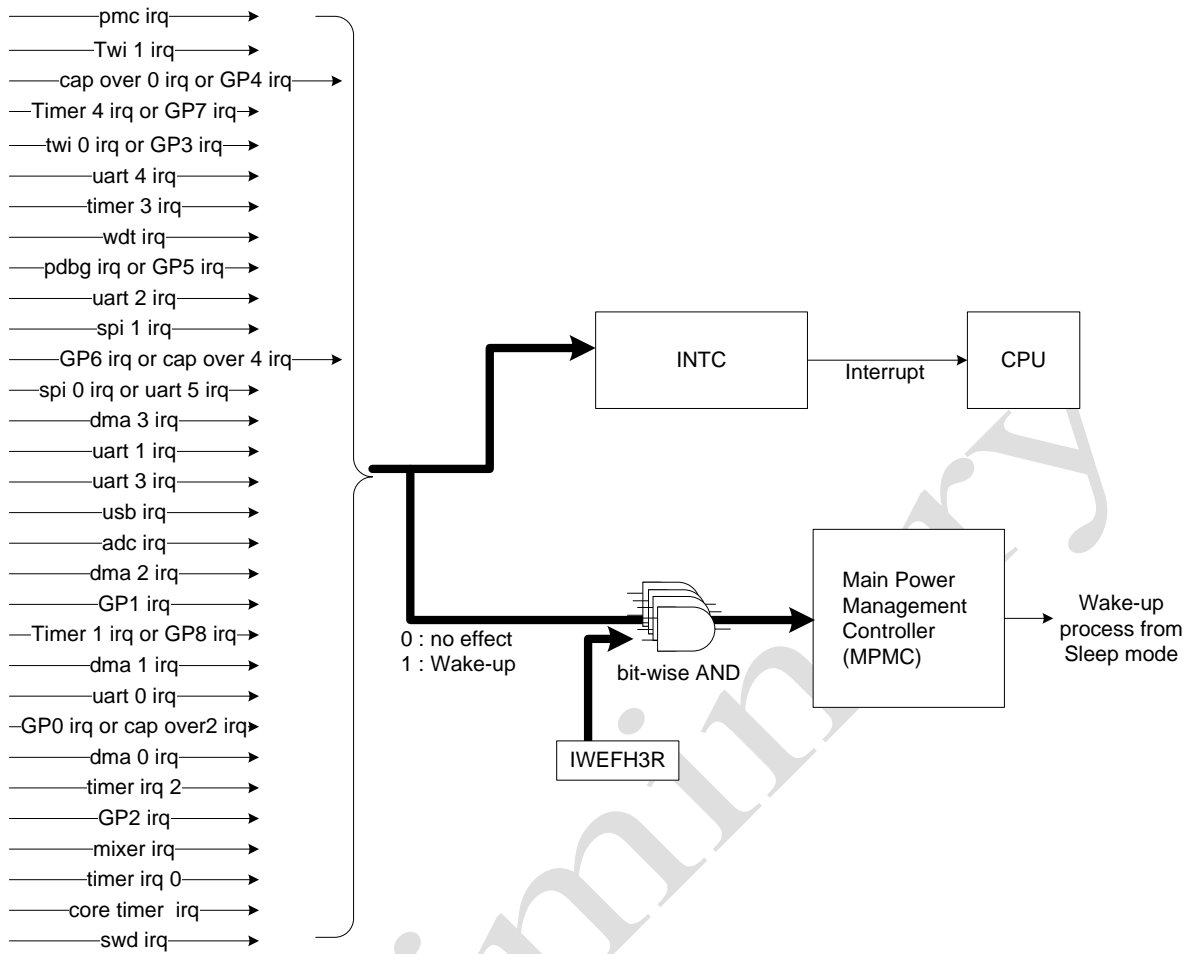


Figure 4-9 Wake-up process from Sleep mode

4.3.3 Stop mode

모든 clock 은 정지 한다. Wake up 소스는 interrupt 이다.

- The PLLs are disabled
- The Main OSC is disabled
- RAM is retention

Wake-up from Stop mode(Halt2)

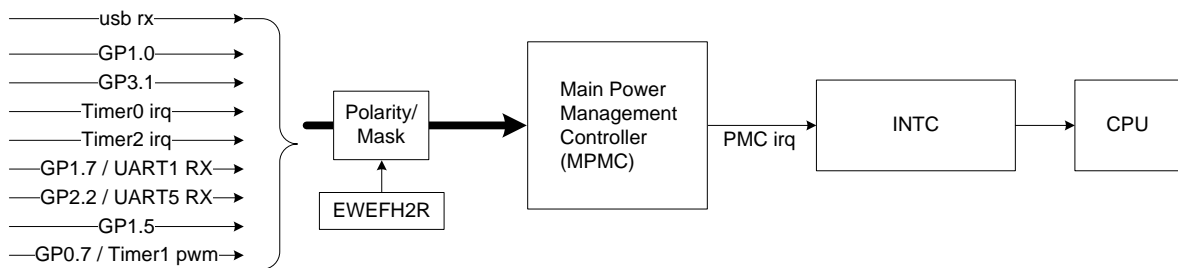


Figure 4-10 Wake-up process from Stop mode

4.4 BOD

BOD는 3.3V 전압(AVDD) 을 모니터링 한다.

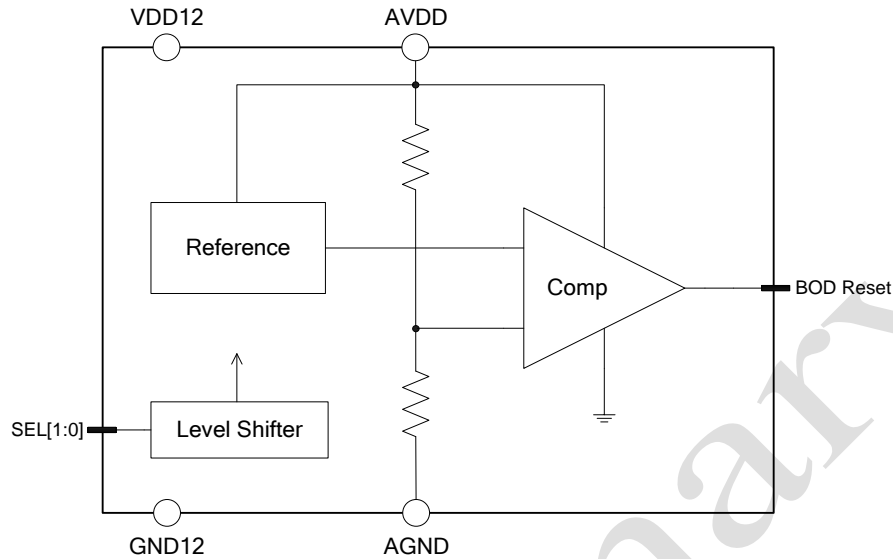


Figure 4-11 BOD Block Diagram

다음 레지스터 설명을 참고로 설정 하면 된다.

BOD Configure register(BCF) Address : 0x8002_3C38

Bit	R/W	Description	Default Value
31:1	R	Reserved	-
1 : 0	R	BOD Brownout voltage Selection bit 00 : 2.2 V 01 : 2.7 V 10 : 3.0 V	00

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5 System Control Registers

system register에 접근하기 위해서는 해당 비트를 셋 해줘야 한다.

4.5.1 System Control Global Lock Register (GLOCK)

Address : 0x8002_3C00

Bit	R/W	Description	Default Value
31:0	W R	0xe5511acc 를 write 하면 unlock 이 된다. Unlock 된 상태여야 다른 레지스터에 쓰기가 허용 된다. Lock은 그 외 값을 쓰게 되면 lock 상태가 된다. Read 동작은 lock 상태인지를 확인 할 수 있다. 0 : lock 상태 1 : unlock	0

4.5.2 System Control Write Enable Register (WREN)

Address : 0x8002_3C04

Bit	R/W	Description	Default Value
31	R	Reserved	-
30	R/W	Flash Size selection register	0
29	R/W	Reserved	0
28	R/W	Peri Clock Reg3	0
27	R/W	Peri Clock Reg2	0
26	R/W	Peri Clock Reg1	0
25	R/W	Peri Clock Reg0	0
24	R/W	DFS register	0
23	R/W	DMA request selection register	0
22	R/W	S/W reset set , uart sync selection register	0
21	R/W	Peri Pin selection register	0
20 : 18	R	Reserved	-
17	R/W	SWD pin selection register	0
16	R/W	CLK16 Divider register	0
15	R/W	HCLK Divider register	0
14	R/W	BOD selection register	0
13	R/W	USB PHY Control Register Write Enable	0
12	R/W	PCLK Control Register Write Enable	0
11	R/W	HCLK Control Register Write Enable	0
10	R/W	Additional Clock Divider 5, 16, 15, 25, 32, 45 Clock Control Register Write Enable (Figure 4-16 참조)	0
9	R/W	PLL Control Register Write Enable	0
8	R/W	Clock Control Register Write Enable	0
7:4	R	Reserved	-
3	R/W	OSC stable counter Register Write Enable	-
2	R/W	Interrupt Wakeup Enable register	0
1	R/W	Reserved	-
0	R/W	Halt Register enable (Effective CPU halt instruction enable bit) Halt Status register 1 - Disable write protection for the corresponding register. 0 - Enables write protection for the corresponding register	0

* 이 레지스터를 사용 하려면, GLOCK 레지스터의 잠금을 해제 해야 한다.

* CPU 의 Halt 명령으로 PMC를 제어하기 위해서는 bit[0]를 1로 set해야 한다.

* Halt 명령으로 sleep mode가 된 core를 깨우려면, 인터럽트를 발생시켜야 한다.

4.5.3 Halt Register

Address : 0x8002_3C08

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4:0	W	10 : Reserved 11 : Reserved 12 : halt2 13 : halt3 (cpu, spm clock off) PCLK의 one pulse 신호이다. write 된 data가 유지 되지 않는다.	0

* 이 레지스터를 사용 하려면, WREN register에 halt register enable 비트를 enable 시켜줘야 한다.

* CPU halt 명령어도 이 register 를 접근 하기 때문에, 쓰기 접근이 활성화 되어 있어야 한다.

* Halt 명령으로 sleep mode가 된 core를 깨우려면, 인터럽트를 발생시켜야 한다.

4.5.4 Halt Status Register

Address : 0x8002_3C0C

Bit	R/W	Description	Default Value
31:11	R	Reserved	-
10	R	PMC IRQ 인터럽트 발생 유무를 알 수 있다. PMU Status reg[0]에서도 확인 할 수 있다.	0
9	R	Reserved	-
8	R/W	Cpu only clock disable during halt3 0 : cpu, spm clock off when halt3 excuting 1 : cpu only clock off	0
7:5	R	Reserved.	-
4:0	R	12 : halt2 13 : halt3 수행 된 halt 모드를 알 수 있다.	0

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜줘야 한다

4.5.5 Interrupt Wake up Enable Register

Address : 0x8002_3C10

Bit	R/W	Description	Default Value
		Halt 3 모드에서만, Wakeup 시 사용할 Interrupt 종류를 선택 한다. IRQ는 reg 순서와 동일 하다. 깨어 날 때 사용할 IRQ를 선택 하면 된다. (debug irq 가 포함) PMC irq도 포함. 여기서 활성화된 인터럽트에 의해서만 CPU 의HCLK가 살아나게 됨. 인터럽트 처리와는 무관하다. CPU 클럭만 살린다. 해당 하는 인터럽트에 의해서 Halt3 이후 ISR처리를 위해서는 인터럽트 컨트롤러를 적절히 설정해야지만 처리가 된다. 이 register단지 cpu 클럭만 깨우는데 관여 한다. ISR 과는 무관하다.	-
31	R/W	PMC interrupt	1
30	R/W	TWI 1 interrupt	1
29	R/W	Cap Over 0 interrupt, GPIO[4] interrupt	1
28	R/W	Timer 4 interrupt, GPIO[7] interrupt	1
27	R/W	Reserved	1
26	R/W	TWI0 interrupt, GPIO[3] interrupt	1
25	R/W	UART 4ch interrupt	1
24	R/W	Timer 3ch interrupt	1
23	R/W	WDT interrupt	1
22	R/W	PDBG interrupt, GPIO[5] interrupt	1
21	R/W	UART 2ch interrupt	1
20	R/W	SPI 1 interrupt	1
19	R/W	GPIO[6] interrupt, Captuer Over 4 interrupt	1
18	R/W	SPI interrupt, UART 5ch interrupt	1
17	R/W	DMA [3] interrupt	1
16	R/W	UART 1ch interrupt	1
15	R/W	UART 3ch interrupt	1
14	R/W	USB interrupt	1
13	R/W	ADC interrupt	1
12	R/W	DMA [2] interrupt	1
11	R/W	GPIO[1] interrupt	1
10	R/W	Timer 1ch interrupt, GPIO[8] interrupt	1
9	R/W	DMA [1] interrupt	1
8	R/W	UART 0ch interrupt	1
7	R/W	GPIO [0] interrupt, Capture Over 2 interrupt	1
6	R/W	DMA [0] interrupt	1
5	R/W	Timer 2ch interrupt	1
4	R/W	GPIO [2] interrupt,	1
3	R/W	Mixer interrupt	1
2	R/W	Timer 0ch interrupt	1
1	R/W	Core timer interrupt	1
0	R/W	SWD interrupt	1

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜줘야 한다.

* halt3 (sleep mode) 상태에서 wakeup 할때, 어떤 interrupt 에 의해 wakeup 할지 결정해 주는 register 이다.

4.5.6 Event Wake up Enable Register

Address : 0x8002_3C14

Bit	R/W	Description	Default Value
31:27	R	Reserved	-
26	R/W	SWD interrupt mask 0: mask 1: unmask	0
25	R/W	Usb receive data mask 0: mask 1: unmask	0
24	R	Reserved	-
23	R/W	Gp1.0 mask 0: mask 1: unmask	0
22	R/W	GP3.1 mask 0: mask 1: unmask	0
21	R/W	Timer 0 interrupt mask 0: mask 1: unmask	0
20	R/W	Timer 2 interrupt mask 0: mask 1: unmask	0
19	R/W	GP1.7 mask 0: mask 1: unmask	0
18	R/W	GP2.2 mask 0: mask 1: unmask	0
17	R/W	GP1.5 mask 0: mask 1: unmask	0
16	R/W	GP0.7 mask 0: mask 1: unmask	0
15:11	R	Reserved	-
10	R/W	SWD interrupt Polarity 0: active low 1: active high	0
9	R/W	Usb receive data Polarity 0: active low 1: active high	0
8	R	Reserved	-
7	R/W	GP1.0 Polarity 0: active low 1: active high	0
6	R/W	GP3.1 Polarity 0: active low 1: active high	0
5	R/W	Timer 0 interrupt Polarity 0: active low 1: active high	0
4	R/W	Timer 2 interrupt Polarity 0: active low 1: active high	0
3	R/W	GP1.7 Polarity 0: active low 1: active high	0
2	R/W	GP2.2 Polarity 0: active low 1: active high	0
1	R/W	GP1.5 Polarity 0: active low 1: active high	0
0	R/W	GP0.7 Polarity 0: active low 1: active high	0

* 이 레지스터를 사용하려면, WREN register 에 해당하는 비트를 enable 시켜줘야 한다

* halt2 (stop mode) 상태에서 wakeup 할때, 어떤 interrupt 에 의해 wakeup 할지 결정해 주는 register 이다.

* 이 신호는 PCM_IRQ로 통합 된다.

PMC ISR 루틴이 수행 된다. 그리고 이 register를 읽으면 어떤 wake up source에 의해 wake up이 발생 했는지 알 수 있다. Halt2 상태로 진입 중에 발생한 wake up event는 무시가 된다. 진입이 완벽하게 이뤄진 뒤에 wake up event가 발생하면, 깨어나기 시작 한다.

4.5.7 PMC Status Register

Address : 0x8002_3C18

Bit	R/W	Description	Default Value
31 : 1	R	Reserved.	-
0	R/W	PMC IRQ clear bit Read 하면 IRQ 발생 유무 확인 1을 Write 하면 clear 함.(0 write할 필요 없음, 자동 clear 됨) PMC IRQ 는 halt2에서 발생 한다. Halt3 에서는 발생 하지 않는다. Halt 3 에서는 Wake를 한 블록의 irq를 고려 하면 된다.	0

4.5.8 OSC Stable Counter Register

Address : 0x8002_3C1C

Bit	R/W	Description	Default Value
31:11	R	Reserved.	-
10 : 0	R/W	Wake 시 사용 될 osc stable coutner 의 value 이다.	11'h7ff

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜줘야 한다

4.5.9 Clock Control Register (CLKCON)

Address : 0x8002_3C20

Bit	R/W	Description	Default Value
31:13	R	Reserved.	-
12:8	R/W	PLL Lock Counter value for halt2	5'h1f
7:4	R	Reserved.	-
3	R/W	USB Clock Enable 0: USB clock is off 1: USB clock is on	0
2	R/W	USB Clock divider. USB requires 48MHz clock. 0: USB Source Clock (when source clock is 48MHz) 1: USB Source Clock / 2 (when source clock is 96MHz)	0
1	R/W	Select clock source for PLL 0: XIN / 1 1: XIN / 2	0
0	R/W	Select clock source for HCLK domain 0: XIN input selected 1: PLL0 clock selected	0

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜주고, GLOCK register 를 해제 시켜줘야 한다

4.5.10 PLL Control Register (PLLCON) Address : 0x8002_3C24

Bit	R/W	Description	Default Value
31 : 29		Reserved	-
28	R/W	PLL Power Down 0 : normal operation 1 : power down	1
27 : 26	R	Reserved	-
25 : 24	R/W	OD (Output divider). These bits set the output divider value for the PLL. 00 : divide by 1 01 : divide by 2 10 : divide by 2 11 : divide by 4	0
23 : 22	R	Reserved	-
21 : 16	R/W	R (Input divider). These bits set the input divider value for the PLL0. R must be >=2 or unpredictable operation results.	02h
15 : 9	R	Reserved	-
8 : 0	R/W	N (Multiplier). These bits set the multiplier value for the PLL0. N must be >=2 or unpredictable operation results.	002h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다

* $F_{OUT} = (XIN * N) / (R * OD)$

4.5.11 Clock Divider Control Register (CLKDCON)

Address : 0x8002_3C28

Bit	R/W	Description	Default Value
31:20	R	Reserved	-
19:18	R/W	CLK16 clock source select. 00 : xin 10 : no clk 01 : pll	0
17:16	R/W	CLK32 clock source select. 00 : xin 10 : no clk 01 : pll	0
15:14	R/W	CLK5 clock source select. 00 : xin 10 : no clk 01 : pll	0
13:12	R/W	CLK45 clock source select. 00 : xin 10 : no clk 01 : pll	01
11:10	R/W	CLK25 clock source select. 00 : xin 10 : no clk 01 : pll	0
9:8	R/W	CLK15 clock source select. 00 : xin 10 : no clk 01 : pll	00
7:0	R	Reserved	-

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5.12 AHB Clock Enable Register (HCLKEN)

Address : 0x8002_3C2C

Bit	R/W	Description	Default Value
31	R/W	bus clock enable	1
30:12	R	Reserved.	-
11	R/W	USB Device Clock Enable (12MHz, 48MHz, bus clock)	1
10	R	Reserved.	-
9	R/W	SPI1 Clock Enable	1
8	R/W	SPI0 Clock Enable	1
7	R/W	External Flash Controller Clock Enable	1
6	R/W	Internal Flash Controller Clock Enable	1
5	R/W	DMA Clock Enable	1
4	R/W	GPIO Clock Enable	1
3	R/W	Interrupt Controller Clock Enable	1
2 : 0	R	Reserved.	1

* 이 레지스터를 사용하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제시켜줘야 한다.

4.5.13 APB Clock Enable Register (PCLKEN)

Address : 0x8002_3C30

Bit	R/W	Description	Default Value
31	R/W	Bus clock Enable PMU block signal. Power management is not available without this clock.(Halt3)	1
30:16	R	Reserved.	-
18	R/W	GPIO Clock Enable	1
17	R/W	TWI1 Clock Enable	1
16	R/W	UART45 Clock Enable	1
15	R/W	UART23 Clock Enable	1j
14	R	Reserved	-
13	R/W	Timer23 Clock Enable	1
12	R/W	Pin MUX Clock Enable	1
11	R/W	ADC APB Clock Enable	1
10	R	Reserved.	-
9	R/W	Timer01 Clock Enable	-
8	R/W	Sound Mixer APB Clock Enable	1
7	R/W	TWI0 Clock Enable	1
6:5	R	Reserved.	-
4	R/W	UART01 Clock Enable	1
3	R/W	Timer4 Clock Enable	1
2	R/W	Watch Dog Timer Clock Enable	1
1 : 0	R	Reserved.	-

* 이 레지스터를 사용하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제시켜줘야 한다.

4.5.14 USB PHY Control Register (USBPHYCON)

Address : 0x8002_3C34

Bit	R/W	Description	Default Value
31:18	R	Reserved	-
18	R/W	SWD Reset enabled by WD Reset 0 : disable 1 : enable	0
17	R/W	SWD Reset enabled by BOD Reset 0 : disable 1 : enable	0
16	R/W	BOD Enable (Reseted through Extern reset) 0 : Disable 1 : Enable	0
15:9	R	Reserved	-
8	R/W	USB Function Select bit 0: USB Device 4: USB Host	0
7	R	USB PHY suspend bit 0: No effect 1: Suspend	0
6	R/W	D- Pull-down Enable bit 0: Pull-down Disable 1: Pull-down Enable	0
5	R/W	D+ Pull-down Enable bit 0: Pull-down Disable 1: Pull-down Enable	0
4	R/W	Receive Enable bit 0: USB PHY가 외부 신호를 받아들이지 않는다. 1: USB PHY가 외부 신호를 받아들인다.	0
3	R/W	D- Weak Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
2	R/W	D- Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
1	R/W	D+ Weak Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
0	R/W	D+ Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0

* 이 레지스터를 사용하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5.15 BOD Configure register(BCF)

Address : 0x8002_3C38

Bit	R/W	Description	Default Value
31:1	R	Reserved	-
1:0	R	BOD Brownout voltage Selection bit 00 : 2.2 V 01 : 2.7 V 10 : 3.0 V	00

* 이 레지스터를 사용하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5.16 HCLK clock divide register(HCLKDIV)

Address : 0x8002_3C3C

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4	R/W	Synchronization bit 1로 설정하면 synch 가 되고, 다시 0으로 반드시 설정 해준다.	0
3:0	R/W	AHB Clock Select 0000: Source Clock 0001: Source Clock / 2 0010: Source Clock / 3 0011: Source Clock / 4 ... 1110: Source Clock / 15 1111: Source Clock / 16	0

* 이 레지스터를 사용하려면, WREN register에 해당하는 비트를 enable 시켜줘야 한다.

4.5.17 CLK16 clock divide register(CLK16DIV)

Address : 0x8002_3C40

Bit	R/W	Description	Default Value
31:4	R	Reserved	-
3:0	R/W	CLK16 Clock Select 0000: Source Clock 0001: Source Clock / 2 0010: Source Clock / 3 0011: Source Clock / 4 ... 1110: Source Clock / 15 1111: Source Clock / 16	0

* 이 레지스터를 사용하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5.18 Swd Selection Register(SWDSR)

Address : 0x8002_3C44

Bit	R/W	Description	Default Value
31 : 1	W	Reserved	-
0	R/W	SWD pin 위치 selection 0 : GP3.0, GP3.1 SWD (sck, sda) 사용. 1 : GP 7.0, GP7.1 SWD (sck, sda)사용.	0h

* 이 레지스터를 사용하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5.19 Security Control Register (SCR)

Address : 0x8002_3C4C

Bit	R/W	Description	Default Value
31 : 6		Reserved	-
5	R	swd port selection 0 : SWD port 는 pin mux 설정에 따라 결정 될 수 있는 상황이다. 1 : SWD port 가 swd 로 선택 되어져 있다.	0
4	R	SWD Security status 1 : SWD security 상태이다.	0
3:1	R	fail counter fail 횟수를 저장한다. Power on 시에만 clear 된다.	0h
0	R/W	Set Only, "1" It will be cleared by hardware automatically 1: Request Disable Security.	0

4.5.20 Key Value Register (KVR)

Address : 0x8002_3C50

Bit	R/W	Description	Default Value
31 : 0	W	Key Value Security Key to match with SWD key value	0h

4.5.21 Pin Selection Register(PSR)

Address : 0x8002_3C54

Bit	R/W	Description	Default Value
31 : 13	W	Reserved	-
12	R/W	Uart1 pin 위치 selection 0 : GP1.6, GP1.7 uart1 tx, rx 사용. 1 : GP 7.0, GP7.1 uart 1 tx,rx 사용.	0h
11:9	R	Reserved	-
8	R/W	Uart5 pin 위치 selection 0 : GP2.2, GP2.3 uart5 tx, rx 사용. 1 : GP 3.0, GP3.1 uart 5 tx,rx 사용.	0h
7 : 4	R/W	Reserved	-
3:1	R	Reserved	-
0	W/R	0 : 80pin 사용 (7.1 Pinmux 참조) 1 : 64pin 사용 (7.2 Pinmux 참조) 이 bit의 설정에 따라 peri의 port 위치가 바뀐다.	0h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5.22 SW Reset & Uart Sync Control Register (SWRUSC)

Address : 0x8002_3C58

Bit	R/W	Description	Default Value
31 : 7		Reserved	-
6 : 4	R	UART Async selection bit Uart 각 Bridge 별, Async, Sync 를 설정 할 수 있다. 0 : Async 1 : Sync (Uart0,1 = [4], Uart2,3 = [5], Uart4,5 = [6])	6h
3 : 0	R/W	S/W system Reset selection register 각 bit별 "1"로 setting 시, system reset 을 할 수 있다. [0] bit = SW0 Reset [1] bit = SW1 Reset [2] bit = SW2 Reset [3] bit = WDT Reset selection *** reset tree 참조.	0h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5.23 DMA Request Selection Register (DMARSR)

Address : 0x8002_3C5C

Bit	R/W	Description	DMA	Default Value
31:30	R/W	00 : twi0_dma_rx_req 01 : uart_tx_3ch 10 : Reserved 11 : timer_req_4 ch	REQ 15	0h
29 : 28	R/W	00 : timer_req_3 01 : mixer_req[4] 10 : uart_rx_3 ch 11 : twi1_dma_rx_req	REQ 14	0h
27 : 26	R/W	00 : timer_req_2 ch 01 : mixer_req[3] 10 : uart_r x_5 ch 11 : twi1_dma_tx_req	REQ 13	0h

25 : 24	R/W	00 : timer_req_1 ch 10 : uart_t x_5 ch	01 : mixer_req[2] 11 : usb_bulk_i_req	REQ 12	0h
23 : 22	R/W	00 : timer_req_0 ch 10 : uart_r x_4 ch	01 : mixer_req[1] 11 : usb_bulk_o_req	REQ 11	0h
21 : 20	R/W	00 : dmabreq_adc 10 : uart_t x_4 ch	01 : mixer_req[0] 11 : Reserved	REQ 10	0h
19 : 18	R/W	00 : mixer_req[4] 10 : Twi 1 dma_rx_req	01 : uart_r x_2 ch 11 : Reserved	REQ 9	0h
17 : 16	R/W	00 : mixer_req[3] 10 : Twi 1 _dma_tx_req	01 : uart_tx_2 ch 11 : uart_rx_5 ch	REQ 8	0h
15 : 14	R/W	00 : mixer_req[2] 10 : twi0_dma_rx_req	01 : Reserved 11 : uart_r x_1 ch	REQ 7	0h
13 : 12	R/W	00 : mixer_req[1] 10 : twi0_dma_tx_req	01 : uart_rx_4 ch 11 : uart_tx_1 ch	REQ 6	0h
11 : 10	R/W	00 : mixer_req[0] 10 : dmabreq_adc	01 : uart_r x_1 ch 11 : uart_r x_3 ch	REQ 5	0h
9 : 8	R/W	00 : usb_bulk_i_req 10 : timer_req_3 ch	01 : uart_tx_1 ch 11 : uart_tx_3 ch	REQ 4	0h
7 : 6	R/W	00 : usb_bulk_o_req 10 : timer_req_2 ch	01 : uart_r x_0 ch 11 : uart_r x_2 ch	REQ 3	0h
5 : 4	R/W	00 : uart_tx_0 ch 10 : timer_req_1 ch	01 : Reserved 11 : uart_tx_2 ch	REQ 2	0h
3 : 2	R/W	00 : uart_tx_5 ch 10 : timer_req_0 ch	01 : Reserved 11 : uart_r x_0 ch	REQ 1	0h
1 : 0	R/W	00 : twi0_dma_tx_req 10 : timer_req_4 ch	01 : uart_tx_4 ch 11 : uart_tx_0 ch	REQ 0	0h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.5.24 DFS Control Register (DFSCON)

Address : 0x8002_3C60

Bit	R/W	Description	Default Value
31 : 29	-	Reserved	-
15	R/W	DFS Enable 0 : disable 1 : enable	0
14 : 12	-	Reserved	-
11 : 8	R/W	Thrid Division Value (May be max value) 0000 : dividing by 1 (Max value) ...	0h
7 : 4	R/W	Second Division Value ... 0001 : dividing by 2 ...	1h
3 : 0	R/W	First Division Value ... 0002 : dividing by 3 ...	2h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜줘야 한다.

4.5.25 Peri clock Selection Register0 (PERICK0)

Address : 0x8002_3C64

Bit	R/W	Description	Default Value
31	-	Reserved	-
30 : 28	R/W	Peri3 Clock Selection(uart clock 0,1ch) 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	00b
27 : 24	R/W	Peri3 Clock Division(uart clock 0,1ch) 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
23	-	Reserved	-
22 : 20	R/W	Peri2 Clock Selection(timer clock 2,3ch) 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	00b
19 : 16	R/W	Peri2 Clock Division(timer clock 2,3ch) 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
15	-	Reserved	-
14 : 12	R/W	Peri1 Clock Selection(timer clock 0,1ch) 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5	00b

		101 : CLK 5 110 : CLK32 111 : NO CLK	
11 : 8	R/W	Peri1 Clock Division(timer clock 0,1ch) 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
7	-	Reserved	-
6 : 4	R/W	Peri0 Clock Selection(timer clock 4ch) 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
3 : 0	R/W	Peri0 Clock Division(timer clock 4ch) 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜줘야 한다.

4.5.26 Peri clock Selection Register1 (PERICLK1)

Address : 0x8002_3C68

Bit	R/W	Description	Default Value
31	-	Reserved	-
30 : 28	R/W	Peri7 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	00b
27 : 24	R/W	Peri7 Clock Division 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
23	-	Reserved	-
22 : 20	R/W	Peri6 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	00b
19 : 16	R/W	Peri6 Clock Division 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
15	-	Reserved	-
14 : 12	R/W	Peri5 Clock Selection(uart clock 4,5 ch) 000 : XIN 001 : CLK16	00b

		010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	
11 : 8	R/W	Peri5 Clock Division(uart clock 4,5 ch) 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
7	-	Reserved	-
6 : 4	R/W	Peri4 Clock Selection(uart clock 2,3 ch) 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
3 : 0	R/W	Peri4 Clock Division(uart clock 2,3 ch) 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜줘야 한다.

4.5.27 Peri clock Selection Register1 (PERICLK2)

Address : 0x8002_3C6C

Bit	R/W	Description	Default Value
31	-	Reserved	-
30 : 28	R/W	Peri11 Clock Selection(digital modulator clock) 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
27 : 24	R/W	Peri11 Clock Division(digital modulator clock) 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
23	-	Reserved	-
22 : 20	R/W	Peri10 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
19 : 16	R/W	Peri10 Clock Division 0000 : dividing by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
15	-	Reserved	-

14 : 12	R/W	Peri9 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
11 : 8	R/W	Peri9 Clock Division 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
7	-	Reserved	-
6 : 4	R/W	Peri8 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
3 : 0	R/W	Peri8 Clock Division 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜줘야 한다.

4.5.28 Peri clock Selection Register1 (PERICLK3)

Address : 0x8002_3C70

Bit	R/W	Description	Default Value
31	-	Reserved	-
30 : 28	R/W	Peri15 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
27 : 24	R/W	Peri15 Clock Division 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
23	-	Reserved	-
22 : 20	R/W	Peri14 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
19 : 16	R/W	Peri14 Clock Division 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h

15	-	Reserved	-
14 : 12	R/W	Peri13 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
11 : 8	R/W	Peri13 Clock Division 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h
7	-	Reserved	-
6 : 4	R/W	Peri12 Clock Selection 000 : XIN 001 : CLK16 010 : CLK 1.5 011 : CLK 2.5 100 : CLK 4.5 101 : CLK 5 110 : CLK32 111 : NO CLK	000b
3 : 0	R/W	Peri12 Clock Division 0000 : dviding by 1 0001 : dividing by 2 ... 1111 : dividing by 16	0h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜줘야 한다.

4.5.29 Flash Size Selection Register (FSSR)

Address : 0x8002_3C78

Bit	R/W	Description	Default Value
31 : 4	-	Reserved	-
3 : 0	R/W	External Flash 의 size 및 시작 address 을 결정하는 register 이다. 설정에 의해 boot area 에 이어 External flash(internal flash type일 경 우) 영역이 결정 된다. 0000 : 256 Kbyte 0001 : 512Kbyte 0010 : 1 Mbyte 0011 : 2 Mbyte 0100 : 4 Mbyte 0101 : 8 Mbyte 0110 : 16 Mbyte 0111 : Reserved 1000 : Reserved 1001 : Reserved *** Flahs 최대 Size 는 16Mbyte 이다.	4h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

Preliminary

5 SPI FLASH MEMORY CONTROLLER

5.1 Introduction

Flash 메모리의 동작 속도는 최대 80Mhz 까지 이지만 Flash Memory Controller 는 AHB clock 을 분주하여 사용하므로 최대 시스템 clock 의 2 분주로 동작하게 된다.

Flash controller 는 2 개의 bus interface 가 존재 한다: [memory interface & register interface]

Memory interface 는 CPU 와 DMA 가 직접 접근하여, flash memory 의 data 를 read 또는 write 한다.

XIP (execute In Place)

Register interface 는 SPI flash mode 를 설정하거나, flash memory 에 read/write/erase 를 수행 할 수 있다.

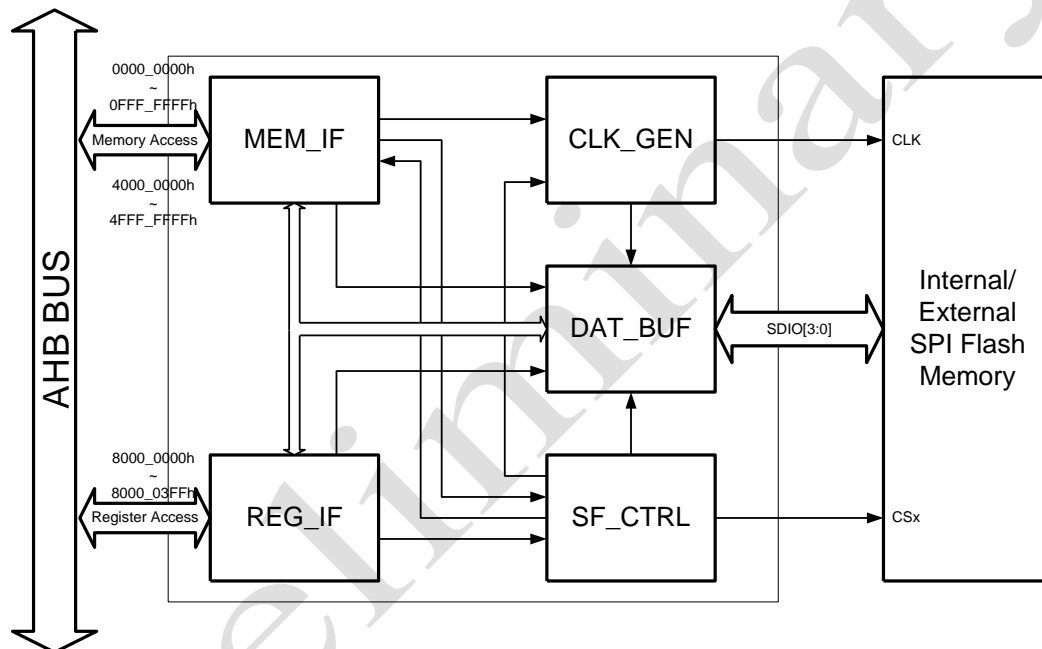


Figure 5-1 Flash Memory Controller Block Diagram

5.2 Feature

SPI flash controller 의 주요 기능

- Single, Double 및 Quad mode
- H/W 및 S/W 통한 flash erase 및 flash program
- XIP 제공(execute In Place)

5.3 Functional Description

5.3.1 Register Interface

register interface 를 통해 operation mode selection register 및 command/data register 를 설정 할 수 있다.

Register interface 기능

- Flash erase operation
- Flash program operation
- Read/Write status operation.
- Read data operation

5.3.2 Memory Interface

memory interface range 안에서, flash memory 에 직접 read/write 를 수행 한다. (XIP mode)
read 동작이 수행되면, controller 는 read 가 완료 될 때까지, next access 를 하지 않으며, wait 상태를 유지 한다.

Memory interface 기능

- Flash program operation
- Read data operation

5.3.3 Internal Flash Memory

Internal flash memory 기능

- 16M-bit/512K, 1M, 2M, 4M-byte
- 256-byte per programmable page
- Uniform 4KB Sectors, 32KB & 64KB Blocks
- More than 100,000 erase/write cycles
- More than 20-year data retention

5.3.4 Chip Erasing Flash memory

Using FLCMD register (entire flash memory)

- Write 06h command to the FLCMD register.
- Write C7h/60h command to the FLCMD register.

Using SFDAT register (entire flash memory)

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 06h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write C7h/60h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high)
- Poll the busy status bit of the FLSTS register until this operation has completed (Chip Erase complete).

5.3.5 Sector/Block Erasing Flash memory

Using FLSEA register (4KB)

- Set the address associated with the Flash memory region.

Using FLBEA register (64KB)

- Set the address associated with the Flash memory region.

Using SFDAT register (4KB, 32KB, 64KB)

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 06h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 20h(4KB) or 52h(32KB) or D8h(64KB) command to the SFDAT register
- Write the target address [23:16] to the SFDAT register.
- Write the target address [15:8] to the SFDAT register.
- Write the target address [7:0] to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Poll the busy status bit of the FLSTS register until this operation has completed (Sector/Block Erase complete)

5.3.6 Programming Flash memory

Using SFDAT register

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 06h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 02h command to the SFDAT register
- Write the target address [23:16] to the SFDAT register.
- Write the target address [15:8] to the SFDAT register.
- Write the target address [7:0] to the SFDAT register
- Write a 32-bit, 16-bit or 8-bit data up to 256 byte.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Poll the busy status bit of the FLSTS register until this operation has completed (Erase complete)

5.3.7 Reading Flash memory

Using SFDAT register

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 03h command to the SFDAT register.
- Write the target address [23:16] to the SFDAT register.
- Write the target address [15:8] to the SFDAT register.
- Write the target address [7:0] to the SFDAT register
- Read a 32-bit, 16-bit or 8-bit data up to 256 byte.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).

5.3.8 Power Down and Release Power Down

Using SFDAT register (Power down)

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write B9h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).

Using SFDAT register (Release Power down)

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write ABh command to the SFBAT register.
- SFDAT(8bit, 16bit, 32bit access 가능) Read
- Set the chip select bit in the SFMOD register to 0x1(chip select high).

5.3.9 Flash Mode Register (FLMOD)

Flash 동작 모드 결정 (Single, Dual, Quad)

5.3.10 Flash Baudrate Register (FLBRT)

Flash baudrate(high pulse 및 low pulse) register

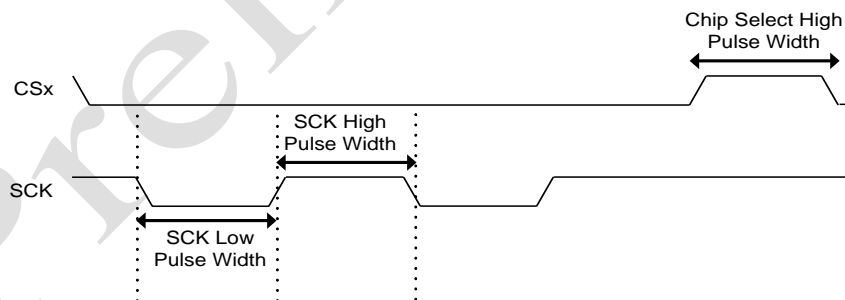


Figure 5-2 SCK and CS timing

5.3.11 Flash Chip Select High Pulse Width Register (FLCSH)

flash memory chip select high time 을 설정하는 register 이다. [deselect 시 전류의 변화는 없을 것이다.]
Program/Erase 후 read 동작 시, 또는 read 후 다음 read 동작 시까지, 50ns 의 deselect time 이 필요 하다.
adLuna 의 external flash memory 의 값은, flash type 마다 다르므로, 해당 flash memory deselect time 을 check 해야 한다.

5.3.12 Flash WIP Check Period Register (FLWCP)

Flash memory 를 program 하거나 erase 시 hardware 적으로 flash memory 의 상태를 확인하는 period 를 결정하는 register 이다. Status memory 의 0bit 와도 관련이 있으며 flash controller 의 status register 를 통해서도 확인이 가능하다.

5.3.13 Flash Clock Delay Register (FLCKDLY)

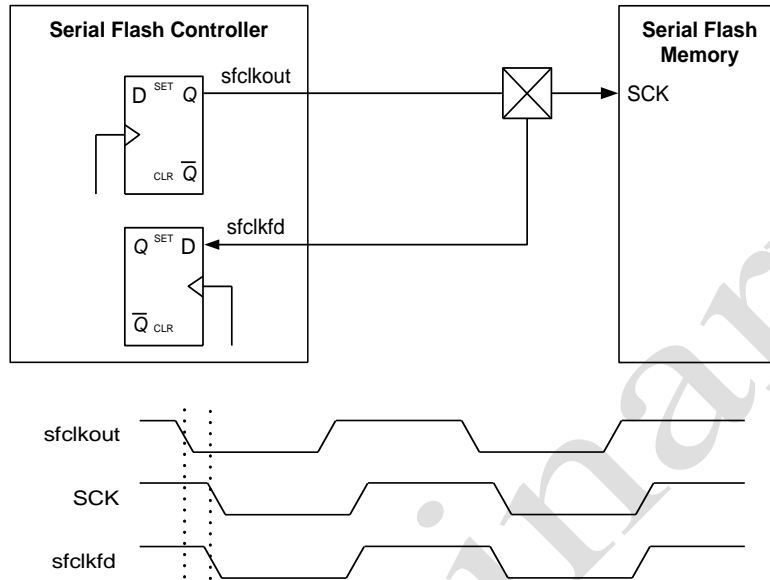


Figure 5-3 Flash Clock Delay Timing

이 register 는 read timing 을 정정 해준다. register 의 값에 따라 read clock 이 delay 된다.

5.4 Address Description

Internal flash controller	0x8000_0000
External flash controller	0x8000_2400

5.5 Register Description

5.5.1 Flash Mode Register (FLMOD)

Address : 0x00

Bit	R/W	Description	Default Value
31:10	R	Reserved	-
9	R/W	Command Write Enable 1: Command Write Enable 0: Command Write Disable	0b
8	R/W	Chip select control 1: Chip select 신호가 H/W에 의해 제어 0: Chip select 신호를 Low level로 고정	1b
7	R/W	Bus Error Enable 1: Flash에 Write 접근이 일어날 시, Bus Error를 발생 0: Flash에 Write 허용	1b
6	R	Reserved	-
5	R	EQIO Mode Flag; Checks whether or not this feature is available in flash memory. 1: EQIO Mode 0: Normal Mode Command Register에 EQIO(38h)를 write하면 Flash는 EQIO모드로 전환된다.	0b
4	R	Performance Enhance Mode (Flash 지원 여부 확인) 1: Performance Enhance Mode가 적용. 0: Normal Mode. 적용되지 않음. FLPEM Register에 1을 write하여 Performance Enhance Mode를 Enable하였을 경우, Quad Read이거나 EQIO 모드일 때만 적용된다.	0b
3	R/W	Bus Ready Control 0: Write 동작의 경우, bus ready를 제어. S/W가 flash의 status를 확인할 필요 없음. 1: Write 동작 후, S/W에서 flash의 status를 확인하도록 설정.	0b
2	R	Reserved	-
1:0	R/W	Flash Read Mode 00: Single Read Mode 01: Dual Read Mode 10: Quad Read Mode 11: Reserved	00b

5.5.2 Flash Baudrate Register (FLBRT)

Address : 0x04

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:4	R/W	SCK High Pulse Width 0000: 1clock 0001: 2clocks 0010: 3clocks ... 1110: 15clocks 1111: 16clocks	111b
3:0	R/W	SCK Low Pulse Width 0000: 1clock 0001: 2clocks 0010: 3clocks ... 1110: 15clocks 1111: 16clocks	111b

5.5.3 Flash Chip Select High Pulse Width Register (FLCSH)

Address : 0x08

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:0	R/W	Chip Select High Pulse Width (It need 100ns) Delay in hclk_sf clocks for the length that the chip select output is de-asserted between transactions. The minimum delay is always the deselect period to ensure the chip select is never re-asserted within the deselect period. 0000: 1clock 0001: 2clocks 0010: 3clocks ... 11111110: 255clocks 11111111: 256clocks	FFh

5.5.4 Flash Performance Enhance Mode Register (FLPEM)

Address : 0x0C

Bit	R/W	Description	Default Value
31:1	R	Reserved	-
0	R/W	Performance Enhance Mode 1: Enabled 0: Disabled	0b

5.5.5 Flash Command Register (FLCMD)

Address : 0x10

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:0	R/W	Flash Command	0b

5.5.6 Flash Status Register (FLSTS)

Address : 0x14

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:0	R/W	Flash Status	0b

5.5.7 Flash Sector Erase Address Register (FLSEA)

Address : 0x18

Bit	R/W	Description	Default Value
31:24	R	Reserved	-
23:0	R/W	Flash Sector Address to Erase	0b

5.5.8 Flash Block Erase Address Register (FLBEA)

Address : 0x1C

Bit	R/W	Description	Default Value
31:24	R	Reserved	-
23:0	R/W	Flash Block Address to Erase	0b

5.5.9 Flash Data Register (FLDAT)

Address : 0x20

Bit	R/W	Description	Default Value
31:0	R/W	Flash Data (8, 16, 32-bit supported)	0b

5.5.10 Flash WIP Check Period Register (FLWCP)

Address : 0x24

Bit	R/W	Description	Default Value
31:0	R/W	Flash WIP Status Check Period	FFFh

5.5.11 Flash Clock Delay Register (FLCKDLY)

Address : 0x28

Bit	R/W	Description	Default Value
31:4	R	Reserved	-
3:0	R/W	Serial Flash Feed-back Clock Delay Value	0h

5.5.12 Flash 2nd Status Register (FLSTS2)

Address : 0x2C

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
15:8	W	Flash 2 nd Status (Winbond only)	-
7:0	R/W	READ 시 Flash 2 nd Status (Winbond only) WRITE 시 Flash 1 st Status (Winbond only)	-

5.5.13 Flash ID Read Register (FLIDR)

Address : 0x30

Bit	R/W	Description	Default Value
31:24	R	Reserved	-
23:0	R	Serial Flash JEDEC ID Read	000000h

5.5.14 Flash Memory Size Write Register (SFMSIZE)

Address : 0x34

Bit	R/W	Description	Default Value
31:4	R	Reserved	-
3:0	R/W	<p>첫 번째 flash0 의 크기를 결정 한다. 이 크기보다 큰 접근은 Flash1로 접근 하게 된다.</p> <p>0000:32Kbyte 0001: 64Kbyte 0010: 128Kbyte 0011: 256Kbyte 0100: 512Kbyte 0101: 1Mbyte 0110: 2Mbyte 0111: 4Mbyte 1000: 8Mbyte 1001: 16Mbyte</p>	4

Preliminary

6 GPIO (GENERAL PURPOSE I/O)

GPIO Ports는 8-bit 4-bit 3-bit 2-bit으로 구성된 9개의 port로 구성되어 80pin일 경우 47개의 I/O Ports 64pin일 경우 32Ports를 제공한다. Ports는 레지스터 설정으로 쉽게 구성될 수 있으며, 다양한 입출력 응용과 시스템 구성에 사용된다.

6.1 Features

- 80pin (47ports)

- GP0.x has 8 I/O Ports (8 port)
- GP1.x has 8 I/O Ports (8 port)
- GP2.x has 4 I/O ports (4 port)
- GP3.x has 2 I/O ports (2 port)
- GP4.x has 4 I/O Ports (4 port)
- GP5.x has 8 I/O Ports (8 port)
- GP6.x has 3 I/O ports (3 port)
- GP7.x has 2 I/O ports (2 port)
- GP8.x has 2 I/O ports (8 port)

- 64pin (32ports)

- GP0.x has 8 I/O Ports (8 port)
- GP1.x has 8 I/O Ports (8 port)
- GP2.x has 4 I/O ports (4 port)
- GP3.x has 2 I/O ports (2 port)
- GP4.x has 4 I/O Ports (4 port)
- GP7.x has 2 I/O ports (2 port)
- GP8.x has 2 I/O ports (4 port)

6.2 Block Diagram

Key Features

- GP0.x has 8 I/O Ports

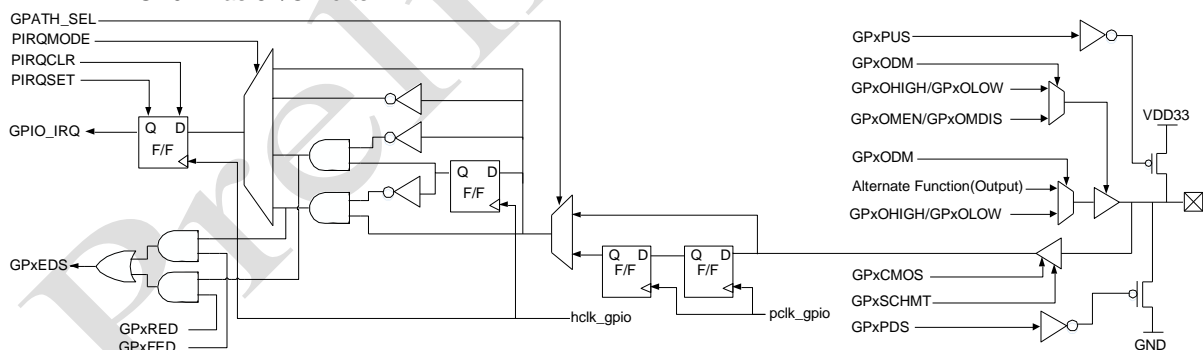


Figure 6-1 GPIO Block Diagram

6.3 Functional Description

6.3.1 Port Control

GPIO Ports는 GPxOMEN 레지스터를 통해 각 Port별로 Output mode로 설정되고 또한 GPxOMDIS 레지스터에 의해 각 Port별로 Input mode로 설정된다. 각 Port의 설정상태는 GPxOMST 레지스터를 통해 확인할 수 있다. GPxOMEN 레지스터와 GPxOMDIS 레지스터 설정시 “1”인 비트만 해당 동작으로 설정되고, “0”인 비트는 어떠한 영향을 미치지 못한다.

GPIO Ports의 출력 레벨은 Output mode로 설정된 상태에서 GPxOHIGH 레지스터를 통해 High Level로 설

정되고, GPxOLOW 레지스터를 통해 Low Level로 설정된다. Output level의 설정상태는 GPxOLEV 레지스터를 통해 확인할 수 있다.

GPIO Ports의 입력 레벨은 GPxILEV 레지스터를 통해 확인할 수 있다. 각 Port에 연결된 Pull-up 저항은 외부 입력이 존재하거나 출력인 경우에는 Pull-up 을 제거하면, 신호레벨이 “Low”일 때 누설전류를 줄일 수 있다.

Table 6-1 Internal Pull-up Resistance Characteristics

Parameter	Min	Typ	Max	Unit
Pull-Up Resistance	30	66	130	KΩ

6.3.2 Port Interrupt Enable

각 Port 별 인터럽트 설정은 한 개만 설정해야 한다. 즉 GPxIRQEN 레지스터에서 원하는 IO 한 개만 인터럽트를 활성화 시키고 나머지는 “0”로 설정 해야 한다. 한 포트 내에서 2 개 이상의 인터럽트 설정을 할 수 없다.

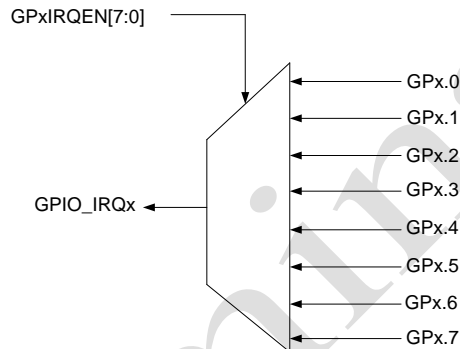


Figure 6-2 GPIO Interrupt Enable

6.3.3 Port Edge Detect

EIRQ 핀을 통한 외부 인터럽트 이외에 GPIO의 Port Edge Detect을 통해 각각의 그룹별로 외부 인터럽트를 수행할 수 있다. Port들은 Rising Edge, Falling Edge 그리고 Any Edge 모드를 지원한다.

6.3.4 Port Offset Register Value

	port 0	port 1	port n
GPxOMST	0x00	0x40	0x40 * n + 0x00
GPxOMEN	0x00	0x40	0x40 * n + 0x00
GPxOMDIS	0x04	0x44	0x40 * n + 0x04
GPxOLEV	0x08	0x48	0x40 * n + 0x08
GPxOHIGH	0x08	0x48	0x40 * n + 0x08
GPxOLOW	0x0C	0x4C	0x40 * n + 0x0C
GPxILEV	0x10	0x50	0x40 * n + 0x10
GPxPUEN	0x14	0x54	0x40 * n + 0x14
GPxPDEN	0x18	0x58	0x40 * n + 0x18
GPxRED	0x1C	0x5C	0x40 * n + 0x1C
GPxFED	0x20	0x60	0x40 * n + 0x20
GPxEDS	0x24	0x64	0x40 * n + 0x24
GPxODM	0x28	0x68	0x40 * n + 0x28
GPxSHMT	0x2C	0x6C	0x40 * n + 0x2C
GPxIRQMODE	0x30	0x70	0x40 * n + 0x30
GPxIRQEN	0x34	0x74	0x40 * n + 0x34
GPxPATHSEL	0x38	0x78	0x40 * n + 0x38

6.4 Register Description

6.4.1 Port Output Mode Status Registers (GPxOMST)

Address: 0xFFFF_3000 / 0xFFFF_3040 / 0xFFFF_3080 / 0xFFFF_30C0 / 0xFFFF_3100 / 0xFFFF_3140 / 0xFFFF_3180 / 0xFFFF_31C0 / 0xFFFF_3200

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R	GPx.ODCMS : GPx. ODM Setting Bit 0 : No Effect. 1 : GPx.ODM Bit set to 1. GPx.ODCM : GPx. Output Data Control Mode Bit. 0 : Output Data의 Low, High 설정을 각각의 Register로 개별(분할) 설정. (GPxOLOW, GPxOHIGH) 1 : Output Data의 Low, High 설정을 단일의 Register로 동시(통합) 설정. (GPxOHIGH)	0
7 : 0	R	GPx.OM : GPx.Output Mode Status Bit 0 : Output Disable Status 1 : Output Enable Status	0x00

6.4.2 Port Output Mode Enable Setting Registers (GPxOMEN)

Address: 0xFFFF_3000 / 0xFFFF_3040 / 0xFFFF_3080 / 0xFFFF_30C0 / 0xFFFF_3100 / 0xFFFF_3140 / 0xFFFF_3180 / 0xFFFF_31C0 / 0xFFFF_3200

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	W	GPx.ODCMS : GPx. ODM Setting Bit 0 : No Effect. 1 : GPx.ODCM Bit set to 1. GPx.ODCM : GPx. Output Data Control Mode Bit. 0 : Output Data의 Low, High 설정을 각각의 Register로 개별(분할) 설정. (GPxOLOW, GPxOHIGH) 1 : Output Data의 Low, High 설정을 단일의 Register로 동시(통합) 설정. (GPxOHIGH)	0x0
7	W	GPx.7 OMEN : GPx.7 Output Mode Enable Bit	0
6	W	GPx.6 OMEN : GPx.6 Output Mode Enable Bit	0
5	W	GPx.5 OMEN : GPx.5 Output Mode Enable Bit	0
4	W	GPx.4 OMEN : GPx.4 Output Mode Enable Bit	0
3	W	GPx.3 OMEN : GPx.3 Output Mode Enable Bit	0
2	W	GPx.2 OMEN : GPx.2 Output Mode Enable Bit	0
1	W	GPx.1 OMEN : GPx.1 Output Mode Enable Bit	0
0	W	GPx.0 OMEN : GPx.0 Output Mode Enable Bit	0

*** Port Output Mode Enable Setting Bit

0 : No Effect.

1 : The output data mode of corresponding bit is set to enable.

6.4.3 Port Output Mode Disable Setting Register(GPxOMDIS)

Address: 0xFFFF_3004 / 0xFFFF_3044 / 0xFFFF_3084 / 0xFFFF_30C4 / 0xFFFF_3104 / 0xFFFF_3144 / 0xFFFF_3184 / 0xFFFF_31C4 / 0xFFFF_3204

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	W	GPx.ODCMC : GPx. ODM Clearing Bit 0 : No Effect. 1 : GPx.ODCM Bit clear to 0. GPx.ODCM : GPx. Output Data Control Mode Bit. 0 : Output Data의 Low, High 설정을 각각의 Register로 개별(분할) 설정. (GPxOLOW, GPxOHIGH) 1 : Output Data의 Low, High 설정을 단일의 Register로 동시(통합) 설정 (GPxOHIGH)	0x0
7	W	GPx.7 OMDIS : GPx.7 Output Mode Disable Bit	0
6	W	GPx.6 OMDIS : GPx.6 Output Mode Disable Bit	0
5	W	GPx.5 OMDIS : GPx.5 Output Mode Disable Bit	0
4	W	GPx.4 OMDIS : GPx.4 Output Mode Disable Bit	0
3	W	GPx.3 OMDIS : GPx.3 Output Mode Disable Bit	0
2	W	GPx.2 OMDIS : GPx.2 Output Mode Disable Bit	0

1	W	GPx.1 OMDIS : GPx.1 Output Mode Disable Bit	0
0	W	GPx.0 OMDIS : GPx.0 Output Mode Disable Bit	0

*** Port Output Mode Disable Setting Bit

0 : No Effect.

1 : The output data mode of corresponding bit is set to disable.

6.4.4 Port Output Data Level Registers (GPxOLEV)

Address: 0xFFFF_3008 / 0xFFFF_3048 / 0xFFFF_3088 / 0xFFFF_30C8 / 0xFFFF_3108 / 0xFFFF_3148 / 0xFFFF_3188 / 0xFFFF_31C8 / 0xFFFF_3208

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	GPx.yOLEV : GPx.y Output Level bit 0 : Low Level 1 : High Level	0xFF

*** Port Output Data Level Status Bit

0 : The output data of corresponding bit indicates low level status.

1 : The output data of corresponding bit indicates high level status.

6.4.5 Port Output Data High Level Setting Registers (GPxOHIGH)

Address: 0xFFFF_3008 / 0xFFFF_3048 / 0xFFFF_3088 / 0xFFFF_30C8 / 0xFFFF_3108 / 0xFFFF_3148 / 0xFFFF_3188 / 0xFFFF_31C8 / 0xFFFF_3208

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7 OHIGH : GPx.7 Output Data High Level Setting Bit	1
6	W	GPx.6 OHIGH : GPx.6 Output Data High Level Setting Bit	1
5	W	GPx.5 OHIGH : GPx.5 Output Data High Level Setting Bit	1
4	W	GPx.4 OHIGH : GPx.4 Output Data High Level Setting Bit	1
3	W	GPx.3 OHIGH : GPx.3 Output Data High Level Setting Bit	1
2	W	GPx.2 OHIGH : GPx.2 Output Data High Level Setting Bit	1
1	W	GPx.1 OHIGH : GPx.1 Output Data High Level Setting Bit	1
0	W	GPx.0 OHIGH : GPx.0 Output Data High Level Setting Bit	1

*** Port Output Data High Level Setting Bit

When GPx.ODM is 0.

0 : No effect

1 : The output data of corresponding bit is set to high level.

When GPx.ODM is 1.

0 : The output data of corresponding bit is set to low level.

1 : The output data of corresponding bit is set to high level.

6.4.6 Port Output Data Low Level Setting Registers (GPxOLOW)

Address: 0xFFFF_300C / 0xFFFF_304C / 0xFFFF_308C / 0xFFFF_30CC / 0xFFFF_310C / 0xFFFF_314C / 0xFFFF_318C / 0xFFFF_31CC / 0xFFFF_320C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7 OLOW : GPx.7 Output Data Low Level Setting Bit	1
6	W	GPx.6 OLOW : GPx.6 Output Data Low Level Setting Bit	1
5	W	GPx.5 OLOW : GPx.5 Output Data Low Level Setting Bit	1
4	W	GPx.4 OLOW : GPx.4 Output Data Low Level Setting Bit	1
3	W	GPx.3 OLOW : GPx.3 Output Data Low Level Setting Bit	1
2	W	GPx.2 OLOW : GPx.2 Output Data Low Level Setting Bit	1
1	W	GPx.1 OLOW : GPx.1 Output Data Low Level Setting Bit	1
0	W	GPx.0 OLOW : GPx.0 Output Data Low Level Setting Bit	1

*** Port Output Data Low Level Setting Bit

0 : No effect

1 : The output data of corresponding bit is set to low level.

6.4.7 Port Input Data Level Registers (GPxILEV)

Address: 0xFFFF_3010 / 0xFFFF_3050 / 0xFFFF_3090 / 0xFFFF_30D0 / 0xFFFF_3110 / 0xFFFF_3150 / 0xFFFF_3190 / 0xFFFF_31D0 / 0xFFFF_3210

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	GPx.7 ILEV : GPx.7 Input Level Bit 0 : Low Level 1 : High Level	Hi-z
6	R	GPx.6 ILEV : GPx.6 Input Level Bit 0 : Low Level 1 : High Level	Hi-z
5	R	GPx.5 ILEV : GPx.5 Input Level Bit 0 : Low Level 1 : High Level	Hi-z

4	R	GPx.4 ILEV : GPx.4 Input Level Bit 0 : Low Level 1 : High Level	Hi-z
3	R	GPx.3 ILEV : GPx.3 Input Level Bit 0 : Low Level 1 : High Level	Hi-z
2	R	GPx.2 ILEV : GPx.2 Input Level Bit 0 : Low Level 1 : High Level	Hi-z
1	R	GPx.1 ILEV : GPx.1 Input Level Bit 0 : Low Level 1 : High Level	Hi-z
0	R	GPx.0 ILEV : GPx.0 Input Level Bit 0 : Low Level 1 : High Level	Hi-z

*** Port Input Data Level Status bit

- 0 : The input data of corresponding bit indicates low level status.
- 1 : The input data of corresponding bit indicates high level status.

6.4.8 Port Pull-up Enable Registers (GPxPUEN)

Address: 0xFFFF_3014 / 0xFFFF_3054 / 0xFFFF_3094 / 0xFFFF_30D4 / 0xFFFF_3114 / 0xFFFF_3154 / 0xFFFF_3194 / 0xFFFF_31D4 / 0xFFFF_3214

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7PUEN : GPx.7 Pull-up Enable Bit	0
6	R/W	GPx.6PUEN : GPx.6 Pull-up Enable Bit	0
5	R/W	GPx.5PUEN : GPx.5 Pull-up Enable Bit	0
4	R/W	GPx.4PUEN : GPx.4 Pull-up Enable Bit	0
3	R/W	GPx.3PUEN : GPx.3 Pull-up Enable Bit	0
2	R/W	GPx.2PUEN : GPx.2 Pull-up Enable Bit	0
1	R/W	GPx.1PUEN : GPx.1 Pull-up Enable Bit	0
0	R/W	GPx.0PUEN : GPx.0 Pull-up Enable Bit 0 : Disable 1 : Enable	0

6.4.9 Port Pull-down Enable Registers (GPxPDEN)

Address: 0xFFFF_3018 / 0xFFFF_3058 / 0xFFFF_3098 / 0xFFFF_30D8 / 0xFFFF_3118 / 0xFFFF_3158 / 0xFFFF_3198 / 0xFFFF_31D8 / 0xFFFF_3218

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7PDEN : GPx.7 Pull-down Enable Bit	0
6	R/W	GPx.6PDEN : GPx.6 Pull-down Enable Bit	0
5	R/W	GPx.5PDEN : GPx.5 Pull-down Enable Bit	0
4	R/W	GPx.4PDEN : GPx.4 Pull-down Enable Bit	0
3	R/W	GPx.3PDEN : GPx.3 Pull-down Enable Bit	0
2	R/W	GPx.2PDEN : GPx.2 Pull-down Enable Bit	0
1	R/W	GPx.1PDEN : GPx.1 Pull-down Enable Bit	0
0	R/W	GPx.0PDEN : GPx.0 Pull-down Enable Bit	0

6.4.10 Port Rising Edge Detect Registers (GPxRED)

Address: 0xFFFF_301C / 0xFFFF_305C / 0xFFFF_309C / 0xFFFF_30DC / 0xFFFF_311C / 0xFFFF_315C / 0xFFFF_319C / 0xFFFF_31DC / 0xFFFF_321C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7RED : GPx.7 Rising Edge Detect Bit 0 : Disable 1 : Enable	0
6	R/W	GPx.6RED : GPx.6 Rising Edge Detect Bit 0 : Disable 1 : Enable	0
5	R/W	GPx.5RED : GPx.5 Rising Edge Detect Bit 0 : Disable 1 : Enable	0
4	R/W	GPx.4RED : GPx.4 Rising Edge Detect Bit 0 : Disable 1 : Enable	0
3	R/W	GPx.3RED : GPx.3 Rising Edge Detect Bit 0 : Disable 1 : Enable	0
2	R/W	GPx.2RED : GPx.2 Rising Edge Detect Bit 0 : Disable 1 : Enable	0
1	R/W	GPx.1RED : GPx.1 Rising Edge Detect Bit 0 : Disable 1 : Enable	0
0	R/W	GPx.0RED : GPx.0 Rising Edge Detect Bit 0 : Disable 1 : Enable	0

*** When both Rising Edge and Falling Edge are set, Edge detect mode becomes Any Edge mode.

6.4.11 Port Falling Edge Detect Registers (GPxFED)

Address: 0xFFFF_3020 / 0xFFFF_3060 / 0xFFFF_30A0 / 0xFFFF_30E0 / 0xFFFF_3120 / 0xFFFF_3160 / 0xFFFF_31A0 / 0xFFFF_31E0 / 0xFFFF_3220

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7FED : GPx.7 Falling Edge Detect Bit 0 : Disable 1 : Enable	0
6	R/W	GPx.6FED : GPx.6 Falling Edge Detect Bit 0 : Disable 1 : Enable	0
5	R/W	GPx.5FED : GPx.5 Falling Edge Detect Bit 0 : Disable 1 : Enable	0
4	R/W	GPx.4FED : GPx.4 Falling Edge Detect Bit 0 : Disable 1 : Enable	0
3	R/W	GPx.3FED : GPx.3 Falling Edge Detect Bit 0 : Disable 1 : Enable	0
2	R/W	GPx.2FED : GPx.2 Falling Edge Detect Bit 0 : Disable 1 : Enable	0
1	R/W	GPx.1FED : GPx.1 Falling Edge Detect Bit 0 : Disable 1 : Enable	0
0	R/W	GPx.0FED : GPx.0 Falling Edge Detect Bit 0 : Disable 1 : Enable	0

*** When both Rising Edge and Falling Edge are set, Edge detect mode becomes Any Edge mode.

6.4.12 Port Edge Detect Status Registers (GPxEDS)

Address: 0xFFFF_3024 / 0xFFFF_3064 / 0xFFFF_30A4 / 0xFFFF_30E4 / 0xFFFF_3124 / 0xFFFF_3164 / 0xFFFF_31A4 / 0xFFFF_31E4 / 0xFFFF_3224

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7EDS : GPx.7 Edge Detect Status Bit	0
6	R/W	GPx.6EDS : GPx.6 Edge Detect Status Bit	0
5	R/W	GPx.5EDS : GPx.5 Edge Detect Status Bit	0
4	R/W	GPx.4EDS : GPx.4 Edge Detect Status Bit	0
3	R/W	GPx.3EDS : GPx.3 Edge Detect Status Bit	0
2	R/W	GPx.2EDS : GPx.2 Edge Detect Status Bit	0
1	R/W	GPx.1EDS : GPx.1 Edge Detect Status Bit	0
0	R/W	GPx.0EDS : GPx.0 Edge Detect Status Bit	0

*** Port Edge Detect Status bit

0 : No edge detect has occurred on port

1 : Edge detect has occurred on port

*** Status bits are cleared by writing a one to them. Writing a zero to a status bit are no effect.

6.4.13 Port Open Drain Mode Control Registers (GPxODM)

Address: 0xFFFF_3028 / 0xFFFF_3068 / 0xFFFF_30A8 / 0xFFFF_30E8 / 0xFFFF_3128 / 0xFFFF_3168 / 0xFFFF_31A8 / 0xFFFF_31E8 / 0xFFFF_3228

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.OD : GPx. Open Drain Mode Setting Bit 0 : Normal Output 1 : Open Drain Output	0
6	R/W	GPx.OD : GPx. Open Drain Mode Setting Bit 0 : Normal Output 1 : Open Drain Output	0
5	R/W	GPx.OD : GPx. Open Drain Mode Setting Bit 0 : Normal Output 1 : Open Drain Output	0
4	R/W	GPx.OD : GPx. Open Drain Mode Setting Bit 0 : Normal Output 1 : Open Drain Output	0
3	R/W	GPx.OD : GPx. Open Drain Mode Setting Bit 0 : Normal Output 1 : Open Drain Output	0
2	R/W	GPx.OD : GPx. Open Drain Mode Setting Bit 0 : Normal Output 1 : Open Drain Output	0
1	R/W	GPx.OD : GPx. Open Drain Mode Setting Bit 0 : Normal Output 1 : Open Drain Output	0
0	R/W	GPx.OD : GPx. Open Drain Mode Setting Bit 0 : Normal Output 1 : Open Drain Output	0

6.4.14 Port Schmitt Input Enable Registers (GPxSCHMT)

Address: 0xFFFF_302C / 0xFFFF_306C / 0xFFFF_30AC / 0xFFFF_30EC / 0xFFFF_312C / 0xFFFF_316C / 0xFFFF_31AC / 0xFFFF_31EC / 0xFFFF_322C

Bit	R/W	Description	Default Value
-----	-----	-------------	---------------

31 : 8	R	Reserved	-
7	W	GPx.7 SHMT : GPx.7 Schmitt Input Enable Bit	0
6	W	GPx.6 SHMT : GPx.6 Schmitt Input Enable Bit	0
5	W	GPx.5 SHMT : GPx.5 Schmitt Input Enable Bit	0
4	W	GPx.4 SHMT : GPx.4 Schmitt Input Enable Bit	0
3	W	GPx.3 SHMT : GPx.3 Schmitt Input Enable Bit	0
2	W	GPx.2 SHMT : GPx.2 Schmitt Input Enable Bit	0
1	W	GPx.1 SHMT : GPx.1 Schmitt Input Enable Bit	0
0	W	GPx.0 SHMT : GPx.0 Schmitt Input Enable Bit	0

*** Port Schmitt Input Enable Bit
0 : CMOS Input Mode

1 : Schmitt Input Mode

6.4.15 Port Interrupt Request Mode Registers (GPxIRQMODE)

Address: 0xFFFF_3030 / 0xFFFF_3070 / 0xFFFF_30B0 / 0xFFFF_30F0 / 0xFFFF_3130 / 0xFFFF_3170 / 0xFFFF_31B0 / 0xFFFF_31F0 / 0xFFFF_3230

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	-
2 : 0	R/W	GPx Interrupt Request Mode Bit 000 : Reserved 001 : Rising Interrupt Mode 010 : Falling Interrupt Mode 011 : Both Interrupt Mode 100 : High Interrupt Mode 101 : Low Interrupt Mode	000

6.4.16 Port Interrupt Request Enable Registers (GPxIRQEN)

Address: 0xFFFF_3034 / 0xFFFF_3074 / 0xFFFF_30B4 / 0xFFFF_30F4 / 0xFFFF_3134 / 0xFFFF_3174 / 0xFFFF_31B4 / 0xFFFF_31F4 / 0xFFFF_3234

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7 IRQEN : GPx.7 Interrupt Request Enable Bit	0 ⁽¹⁾
6	R/W	GPx.6 IRQEN : GPx.6 Interrupt Request Enable Bit	0 ⁽¹⁾
5	R/W	GPx.5 IRQEN : GPx.5 Interrupt Request Enable Bit	0 ⁽¹⁾
4	R/W	GPx.4 IRQEN : GPx.4 Interrupt Request Enable Bit	0 ⁽¹⁾
3	R/W	GPx.3 IRQEN : GPx.3 Interrupt Request Enable Bit	0 ⁽¹⁾
2	R/W	GPx.2 IRQEN : GPx.2 Interrupt Request Enable Bit	0 ⁽¹⁾
1	R/W	GPx.1 IRQEN : GPx.1 Interrupt Request Enable Bit	0 ⁽¹⁾
0	R/W	GPx.0 IRQEN : GPx.0 Interrupt Request Enable Bit	0 ⁽¹⁾

* (1) GPIO Interrupt 는 한 Port(GPx.0~7) 당 1 개의 핀만 interrupt 로 활성화 시킬 수 있다.

한 Port 당 2 개 이상 의 interrupt 는 동시에(함께) 설정 할 수 없다. 즉 8 비트 중 "1"로 설정하는 비트가 한 개만 존재 해야 한다. 두 개 이상 "1"로 설정 하면 아무런 비트도 설정 되지 않는다.

6.4.17 Port Path Select Registers (GPxPATHSEL)

Address: 0xFFFF_3038 / 0xFFFF_3078 / 0xFFFF_30B8 / 0xFFFF_30F8 / 0xFFFF_3138 / 0xFFFF_3178 / 0xFFFF_31B8 / 0xFFFF_31F8 / 0xFFFF_3238

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	GPx.y PATHSEL : GPx.y Path Select Bit 0 : Select Path synchronized 1 : Select Path asynchronous	00000000

7 PIN MUX

일반 입력 / 출력 (GPIO) 기능과 함께 핀 당 최대 세 가지 peripheral function 을 사용할 수 있다.

System controller 의 **4.5.21 Pin Selection Register(PSR) register** 설정에 따라 pinmux 위치가 변동 된다.

7.1 80 Pin Mux register

Register	bit	1st	2nd	3rd	4th (Default)
		00	01	10	11
GP0.x MUX 0x80043400	1:0	TIMER0_PWM			GP0.0
	3:2	UART2_RX	TIMER0_CAP		GP0.1
	5:4	UART2_TX			GP0.2
	7:6	UART3_RX	TIMER2_CAP		GP0.3
	9:8	UART3_TX	TIMER1_CAP		GP0.4
	11:10		TWI0_SDA		GP0.5
	13:12		TWI0_SCL		GP0.6
	15:14	TIMER1_PWM			GP0.7
GP1.x MUX 0x80043404	1:0	Ex_sf_csx_1	SPI0_CS#		GP1.0
	3:2	Ex_sf_dq[1]	SPI0_DO		GP1.1
	5:4	Ex_sf_dq[2]		TIMER3_CAP	GP1.2
	7:6	Ex_sf_dq[0]	SPI0_DI		GP1.3
	9:8	Ex_sf_clkout_1	SPI0_CLK		GP1.4
	11:10	Ex_sf_dq[3]		TIMER3_PWM	GP1.5
	13:12	UART1_TX			GP1.6
15:14	UART1_RX			GP1.7	
GP2.x MUX 0x80043408	1:0	UART4_TX			GP2.0
	3:2	UART4_RX			GP2.1
	5:4	UART5_RX	TIMER4_CAP		GP2.2
	7:6	UART5_TX			GP2.3
GP3.x MUX 0x8004340C	1:0	SWD_SCK(default)	UART5_RX		GP3.0
	3:2	SWD_SDA(default)	UART5_TX		GP3.1
GP4.x MUX 0x80043410	1:0	PWM_N0	TIMER2_PWM		GP4.0
	3:2	PWM_P0			GP4.1
	5:4	PWM_N1			GP4.2
	7:6	PWM_P1	TIMER4_PWM		GP4.3
GP5.x MUX 0x80043414	1:0	UART0_TX			GP5.0
	3:2	UART0_RX			GP5.1
	5:4				GP5.2
	7:6				GP5.3
	9:8	SPI1_cs#			GP5.4
	11:10	SPI1_SDO			GP5.5
	13:12	SPI1_SDI			GP5.6
15:14	SPI1_CLK			GP5.7	
GP6.x MUX	1:0				GP6.0
	9:8	TWI1_SDA			GP6.1
	11:10	TWI1_SCL			GP6.2
GP7.x MUX 0x8004341C	1:0		UART1_RX		GP7.0
	3:2		UART1_TX		GP7.1

7.2 64 Pin Mux register

Register	bit	1st	2nd	3rd	4th (Default)
		00	01	10	11
GP0.x MUX 0x80043400	1:0	TIMER0_PWM			GP0.0
	3:2	UART2_RX	TIMER0_CAP		GP0.1
	5:4	UART2_TX			GP0.2
	7:6	UART3_RX	TIMER2_CAP		GP0.3
	9:8	UART3_TX	TIMER1_CAP		GP0.4
	11:10	UART0_RX	TWI0_SDA		GP0.5
	13:12	UART0_TX	TWI0_SCL		GP0.6
	15:14	TIMER1_PWM			GP0.7
GP1.x MUX 0x80043404	1:0	Ex_sf_csx_1	SPI0_CS#		GP1.0
	3:2	Ex_sf_dq[1]	SPI0_DO		GP1.1
	5:4	Ex_sf_dq[2]	TWI1_SDA	TIMER3_CAP	GP1.2
	7:6	Ex_sf_dq[0]	SPI0_DI		GP1.3
	9:8	Ex_sf_clkout_1	SPI0_CLK		GP1.4
	11:10	Ex_sf_dq[3]	TWI1_SCL	TIMER3_PWM	GP1.5
	13:12	UART1_TX	SPI1_cs#		GP1.6
	15:14	UART1_RX	SPI1_SDO		GP1.7
GP2.x MUX 0x80043408	1:0	UART4_TX	SPI1_SDI		GP2.0
	3:2	UART4_RX	SPI1_CLK		GP2.1
	5:4	UART5_RX	TIMER4_CAP		GP2.2
	7:6	UART5_TX			GP2.3
GP3.x MUX 0x8004340C	1:0	SWD_SCK(default)	UART5_RX		GP3.0
	3:2	SWD_SDA(default)	UART5_TX		GP3.1
GP4.x MUX 0x80043410	1:0	PWM_N0	TIMER2_PWM		GP4.0
	3:2	PWM_P0			GP4.1
	5:4	PWM_N1			GP4.2
	7:6	PWM_P1	TIMER4_PWM		GP4.3
GP7.x MUX 0x8004341C	1:0		UART1_RX		GP7.0
	3:2		UART1_TX		GP7.1

8 INTERRUPT CONTROLLER

adLuna 는 32 개 채널의 인터럽트 입력을 가지며, 이 입력들은 Timer, SPI, TWI, UART 등과 같은 내부 장치에서 발생하는 32 개의 인터럽트로 구성된다.

8.1 Features

- 32 채널의 인터럽트
- 채널 별 인터럽트 Enable 기능
- 채널 별 인터럽트 Mask 기능
- 개별적으로 프로그램 가능한 인터럽트 우선순위

8.2 Functional Description

인터럽트의 순차 처리는 다음과 같은 과정을 통하여 이루어진다.

1. 각 인터럽트 소스들은 인터럽트 제어기에 인터럽트를 요청한다.
2. Interrupt Enable Register에 의해 선별된 후, Interrupt Pending Register에 저장한다.
3. 인터럽트 우선순위를 판단한 후, CPU에 인터럽트를 요청한다.
4. 인터럽트를 요청 받으면 CPU의 인터럽트가 비활성화되며 인터럽트 벡터 주소를 읽어서 해당 Interrupt Service Routine(ISR)으로 진입한다.
5. ISR 을 수행한다.
6. ISR 수행이 끝나면 Interrupt Pending Clear Register에 해당 Vector값을 씌으로써 Interrupt Pending Register에 저장된 인터럽트 값을 지운다.
7. ISR을 빠져나오면서 CPU의 인터럽트가 활성화된다.

인터럽트의 중첩 처리는 다음과 같은 과정을 통하여 이루어진다.

1. 각 인터럽트 소스들은 인터럽트 제어기에 인터럽트를 요청한다.
2. Interrupt Enable Register에 의해 선별된 후, Interrupt Pending Register에 저장한다.
3. 인터럽트 우선순위를 판단한 후, CPU에 인터럽트를 요청한다.
4. 인터럽트를 요청 받으면 CPU의 인터럽트가 비활성화되며 인터럽트 벡터 주소를 읽어서 해당 Interrupt Service Routine(ISR)으로 진입한다.
5. 인터럽트의 중첩을 허용하기 위해 Interrupt Pending Clear Register에 해당 Vector값을 씌으로써 Interrupt Pending Register에 저장된 인터럽트 값을 지우고 asm("set 13")을 통해 CPU의 인터럽트를 활성화 시킨다.
6. ISR을 수행한다.
7. 만약, 현재 ISR의 수행 도중 다시 인터럽트가 발생하면 중첩 처리가 허용되어 해당 ISR로 진입한다.
8. 새롭게 진입한 ISR의 수행이 끝나면 이전 ISR로 복귀하여 나머지 수행을 진행한다.
9. ISR 수행이 끝나면 완전히 빠져 나온다.

8.2.1 Interrupt Vector and Priority

인터럽트 우선순위는 EIRQ0가 가장 높다. 인터럽트 벡터 주소는 CPU가 32bit Addressing을 하기 때문에 각각 4bytes의 크기를 가진다.

Table 8-1 Interrupt Vector & Priority

<i>Index</i>	<i>Vector No.</i>	<i>Description</i>	<i>Vector Address</i>
31	0x3F	PMC interrupt	0x000000FC
30	0x3E	TWI 1 interrupt	0x000000F8
29	0x3D	Cap Over 0 interrupt, GPIO[4] interrupt	0x000000F4
28	0x3C	Timer 4 interrupt, GPIO[7] interrupt	0x000000F0
27	0x3B	Reserved	0x000000EC
26	0x3A	TWI0 interrupt, GPIO[3] interrupt	0x000000E8
25	0x39	UART 4ch interrupt	0x000000E4
24	0x38	Timer 3ch interrupt	0x000000E0
23	0x37	WDT interrupt	0x000000DC
22	0x36	PDBG interrupt, GPIO[5] interrupt	0x000000D8
21	0x35	UART 2ch interrupt	0x000000D4
20	0x34	SPI 1 interrupt	0x000000D0
19	0x33	GPIO[6] interrupt, Captuer Over 4 interrupt	0x000000CC
18	0x32	SPI interrupt, UART 5ch interrupt	0x000000C8
17	0x31	DMA [3] interrupt	0x000000C4
16	0x30	UART 1ch interrupt	0x000000C0
15	0x2F	UART 3ch interrupt	0x000000BC
14	0x2E	USB interrupt	0x000000B8
13	0x2D	ADC interrupt	0x000000B4
12	0x2C	DMA [2] interrupt	0x000000B0
11	0x2B	GPIO[1] interrupt	0x000000AC
10	0x2A	Timer 1ch interrupt, GPIO[8] interrupt	0x000000A8
9	0x29	DMA [1] interrupt	0x000000A4
8	0x28	UART 0ch interrupt	0x000000A0
7	0x27	GPIO [0] interrupt, Capture Over 2 interrupt	0x0000009C
6	0x26	DMA [0] interrupt	0x00000098
5	0x25	Timer 2ch interrupt	0x00000094
4	0x24	GPIO [2] interrupt,	0x00000090
3	0x23	Mixer interrupt	0x0000008C
2	0x22	Timer 0ch interrupt	0x00000088
1	0x21	Core timer interrupt	0x00000084
0	0x20	SWD interrupt	0x00000080

8.2.2 Interrupt Pending, Interrupt Active, ISR End

각 인터럽트의 발생상태는 Interrupt Pending Register 를 통해 확인할 수 있다. 현재 처리하고 있는 인터럽트는 Interrupt Active Register 를 통해서 알 수 있다. CPU 가 발생한 인터럽트를 받아 들이면 해당하는 Pending bit 을 자동적으로 clear 된다. 현재 수행하고 있는 Interrupt 는 Active 레지스터에 해당 bit 이 set 된다. 이 bit 은 ISR End 에 의해서 clear 된다.

또한 현재 발생한 인터럽트보다 높은 우선순위의 인터럽트가 Masking 되지 않은 상태로 Interrupt Pending Registers 에 저장되어 있을 경우에는 높은 우선순위의 인터럽트가 모두 Clear 될 때까지 Interrupt Pending Registers 에 저장되어 자신의 우선순위가 되기를 기다린다.

Interrupt Active Registers에 저장된 인터럽트들을 Clear하기 위해서는 ISR End를 통해 해당 인터럽트 벡터 번호 값을 Write하면 된다

8.2.3 Interrupt Enable

Interrupt Mask Registers 에 의해 Mask 되어 있는 인터럽트는 Interrupt Pending Registers 에 계속 저장되는데 비해, Interrupt Enable Registers(IENR)에 의해 Disable 된 인터럽트는 Interrupt Pending Registers 에 저장되지 않는다. 따라서 이 레지스터는 전혀 받아들이고 싶지 않은 인터럽트에 대해 Disable 하는데 사용한다.

8.2.4 Interrupt Mask Set/Clear Register

Set 이면 Request 가 Enable 되고, Clear 이면 Request 가 Disable 된다.

각 인터럽트는 Interrupt Mask Registers 에 의해 해당 인터럽트에 대한 Request 를 수행할 수 있다. Interrupt Mask Set bit 가 "1"일 경우에는 Interrupt Pending Register 에 저장된 Interrupt 를 CPU 로 요청하고, Interrupt Mask Clear bit 가 "1" 일 경우에는 Interrupt Pending Register 에 저장되어 있는 Interrupt 를 CPU 로 요청하지 못한다. 설정되지 않은 나머지 Interrupt 들은 요청될 수 있다.

Mask bit 가 "0"으로 설정된 인터럽트라도 Interrupt Pending Registers(IPR)에는 저장되기 때문에 Mask bit 을 "1"로 재설정하면 Interrupt Pending Registers 에 저장되어 있는 인터럽트가 우선순위에 의해 인터럽트를 다시 요청한다.

8.2.5 중첩 인터럽트 허용

중첩 인터럽트가 발생 했을 경우 현재 처리하고 있는 인터럽트보다 높은 인터럽트는 H/W 적으로 처리하도록 되어 있다. 우선 순위가 낮은 인터럽트는 Pending 되어 있다.

8.3 Register Description

8.3.1 Interrupt Service Routine End Register (ISREND)

Address : 0xFFFF_0000

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	W	ISR END Value (0x20 ~ 0x3F)	0xFF

* Interrupt Active Register를 Clear 하기 위해서는 Interrupt Vector No. 값으로 clear 해야 한다.
(Interrupt Vector No. 참고)

8.3.2 Interrupt Pending Register (INTPENDn)

Address : 0xFFFF_000C

Bit	R/W	Description	Default Value
31	R	Vector No. 0x3F Interrupt Pending bit	-
30	R	Vector No. 0x3E Interrupt Pending bit	-
29	R	Vector No. 0x3D Interrupt Pending bit	-
28	R	Vector No. 0x3C Interrupt Pending bit	-
27	R	Vector No. 0x3B Interrupt Pending bit	-
26	R	Vector No. 0x3A Interrupt Pending bit	-
25	R	Vector No. 0x39 Interrupt Pending bit	-
24	R	Vector No. 0x38 Interrupt Pending bit	-
23	R	Vector No. 0x37 Interrupt Pending bit	-
22	R	Vector No. 0x36 Interrupt Pending bit	-
21	R	Vector No. 0x35 Interrupt Pending bit	-
20	R	Vector No. 0x34 Interrupt Pending bit	-
19	R	Vector No. 0x33 Interrupt Pending bit	-
18	R	Vector No. 0x32 Interrupt Pending bit	-
17	R	Vector No. 0x31 Interrupt Pending bit	-
16	R	Vector No. 0x30 Interrupt Pending bit	-
15	R	Vector No. 0x2F Interrupt Pending bit	-
14	R	Vector No. 0x2E Interrupt Pending bit	-
13	R	Vector No. 0x2D Interrupt Pending bit	-
12	R	Vector No. 0x2C Interrupt Pending bit	-
11	R	Vector No. 0x2B Interrupt Pending bit	-
10	R	Vector No. 0x2A Interrupt Pending bit	-
9	R	Vector No. 0x29 Interrupt Pending bit	-
8	R	Vector No. 0x28 Interrupt Pending bit	-
7	R	Vector No. 0x27 Interrupt Pending bit	-
6	R	Vector No. 0x26 Interrupt Pending bit	-
5	R	Vector No. 0x25 Interrupt Pending bit	-
4	R	Vector No. 0x24 Interrupt Pending bit	-
3	R	Vector No. 0x23 Interrupt Pending bit	-
2	R	Vector No. 0x22 Interrupt Pending bit	-
1	R	Vector No. 0x21 Interrupt Pending bit	-
0	R	Vector No. 0x20 Interrupt Pending bit	-

* Interrupt Pending Register의 각 비트의 값은 해당 인터럽트가 발생하였음을 나타낸다. Interrupt Pending Register의 값은 CPU 가 받아 들이면 자동적으로 Clear된다. 해당하는bit의 Interrupt Active Register 가 set 된다

8.3.3 Interrupt Active Register (INTACTn)

Address : 0xFFFF_000C

Bit	R/W	Description	Default Value
31	R	Vector No. 0x3F Interrupt Active bit	-
30	R	Vector No. 0x3E Interrupt Active bit	-
29	R	Vector No. 0x3D Interrupt Active bit	-
28	R	Vector No. 0x3C Interrupt Active bit	-
27	R	Vector No. 0x3B Interrupt Active bit	-
26	R	Vector No. 0x3A Interrupt Active bit	-
25	R	Vector No. 0x39 Interrupt Active bit	-
24	R	Vector No. 0x38 Interrupt Active bit	-
23	R	Vector No. 0x37 Interrupt Active bit	-
22	R	Vector No. 0x36 Interrupt Active bit	-

21	R	Vector No. 0x35 Interrupt Active bit	-
20	R	Vector No. 0x34 Interrupt Active bit	-
19	R	Vector No. 0x33 Interrupt Active bit	-
18	R	Vector No. 0x32 Interrupt Active bit	-
17	R	Vector No. 0x31 Interrupt Active bit	-
16	R	Vector No. 0x30 Interrupt Active bit	-
15	R	Vector No. 0x2F Interrupt Active bit	-
14	R	Vector No. 0x2E Interrupt Active bit	-
13	R	Vector No. 0x2D Interrupt Active bit	-
12	R	Vector No. 0x2C Interrupt Active bit	-
11	R	Vector No. 0x2B Interrupt Active bit	-
10	R	Vector No. 0x2A Interrupt Active bit	-
9	R	Vector No. 0x29 Interrupt Active bit	-
8	R	Vector No. 0x28 Interrupt Active bit	-
7	R	Vector No. 0x27 Interrupt Active bit	-
6	R	Vector No. 0x26 Interrupt Active bit	-
5	R	Vector No. 0x25 Interrupt Active bit	-
4	R	Vector No. 0x24 Interrupt Active bit	-
3	R	Vector No. 0x23 Interrupt Active bit	-
2	R	Vector No. 0x22 Interrupt Active bit	-
1	R	Vector No. 0x21 Interrupt Active bit	-
0	R	Vector No. 0x20 Interrupt Active bit	-

* 현재 처리하고 있는 인터럽트가 설정된다. ISREND에 의해서 Clear 된다.

8.3.4 Interrupt Enable Register (INTENn)

Address : 0xFFFF_0010

Bit	R/W	Description	Default Value
31	R/W	Vector No. 0x3F Interrupt Enable bit	0
30	R/W	Vector No. 0x3E Interrupt Enable bit	0
29	R/W	Vector No. 0x3D Interrupt Enable bit	0
28	R/W	Vector No. 0x3C Interrupt Enable bit	0
27	R/W	Vector No. 0x3B Interrupt Enable bit	0
26	R/W	Vector No. 0x3A Interrupt Enable bit	0
25	R/W	Vector No. 0x39 Interrupt Enable bit	0
24	R/W	Vector No. 0x38 Interrupt Enable bit	0
23	R/W	Vector No. 0x37 Interrupt Enable bit	0
22	R/W	Vector No. 0x36 Interrupt Enable bit	0
21	R/W	Vector No. 0x35 Interrupt Enable bit	0
20	R/W	Vector No. 0x34 Interrupt Enable bit	0
19	R/W	Vector No. 0x33 Interrupt Enable bit	0
18	R/W	Vector No. 0x32 Interrupt Enable bit	0
17	R/W	Vector No. 0x31 Interrupt Enable bit	0
16	R/W	Vector No. 0x30 Interrupt Enable bit	0
15	R/W	Vector No. 0x2F Interrupt Enable bit	0
14	R/W	Vector No. 0x2E Interrupt Enable bit	0
13	R/W	Vector No. 0x2D Interrupt Enable bit	0
12	R/W	Vector No. 0x2C Interrupt Enable bit	0
11	R/W	Vector No. 0x2B Interrupt Enable bit	0
10	R/W	Vector No. 0x2A Interrupt Enable bit	0
9	R/W	Vector No. 0x29 Interrupt Enable bit	0
8	R/W	Vector No. 0x28 Interrupt Enable bit	0
7	R/W	Vector No. 0x27 Interrupt Enable bit	0
6	R/W	Vector No. 0x26 Interrupt Enable bit	0
5	R/W	Vector No. 0x25 Interrupt Enable bit	0
4	R/W	Vector No. 0x24 Interrupt Enable bit	0
3	R/W	Vector No. 0x23 Interrupt Enable bit	0
2	R/W	Vector No. 0x22 Interrupt Enable bit	0
1	R/W	Vector No. 0x21 Interrupt Enable bit	0
0	R/W	Vector No. 0x20 Interrupt Enable bit	0

* Interrupt Enable bit
 0 : Interrupt Disable and Pending Clear
 1 : Interrupt Enable

8.3.5 Interrupt Mask Status Register (INTMASKn)

Address : 0xFFFF_0014

Bit	R/W	Description	Default Value
31 : 0	R	Interrupt Mask Status Register	0x0000_0000

* 모든 Mask bit의 상태를 확인할 수 있다.

8.3.6 Interrupt Mask Set Register (INTMASKSETn)

Address : 0xFFFF_0014h

Bit	R/W	Description	Default Value
31	W	Vector No. 0x3F Interrupt Request Set bit	0
30	W	Vector No. 0x3E Interrupt Request Set bit	0
29	W	Vector No. 0x3D Interrupt Request Set bit	0
28	W	Vector No. 0x3C Interrupt Request Set bit	0
27	W	Vector No. 0x3B Interrupt Request Set bit	0
26	W	Vector No. 0x3A Interrupt Request Set bit	0
25	W	Vector No. 0x39 Interrupt Request Set bit	0
24	W	Vector No. 0x38 Interrupt Request Set bit	0
23	W	Vector No. 0x37 Interrupt Request Set bit	0
22	W	Vector No. 0x36 Interrupt Request Set bit	0
21	W	Vector No. 0x35 Interrupt Request Set bit	0
20	W	Vector No. 0x34 Interrupt Request Set bit	0
19	W	Vector No. 0x33 Interrupt Request Set bit	0
18	W	Vector No. 0x32 Interrupt Request Set bit	0
17	W	Vector No. 0x31 Interrupt Request Set bit	0
16	W	Vector No. 0x30 Interrupt Request Set bit	0
15	W	Vector No. 0x2F Interrupt Request Set bit	0
14	W	Vector No. 0x2E Interrupt Request Set bit	0
13	W	Vector No. 0x2D Interrupt Request Set bit	0
12	W	Vector No. 0x2C Interrupt Request Set bit	0
11	W	Vector No. 0x2B Interrupt Request Set bit	0
10	W	Vector No. 0x2A Interrupt Request Set bit	0
9	W	Vector No. 0x29 Interrupt Request Set bit	0
8	W	Vector No. 0x28 Interrupt Request Set bit	0
7	W	Vector No. 0x27 Interrupt Request Set bit	0
6	W	Vector No. 0x26 Interrupt Request Set bit	0
5	W	Vector No. 0x25 Interrupt Request Set bit	0
4	W	Vector No. 0x24 Interrupt Request Set bit	0
3	W	Vector No. 0x23 Interrupt Request Set bit	0
2	W	Vector No. 0x22 Interrupt Request Set bit	0
1	W	Vector No. 0x21 Interrupt Request Set bit	0
0	W	Vector No. 0x20 Interrupt Request Set bit	0

* Interrupt Request Set bit

0 : No Effect interrupt Mask.

1 : pending 인터럽트가 활성화되도록 허용 (interrupts sent to CPU).

8.3.7 Interrupt Mask Clear Register (INTMASKCLRn)

Address : 0xFFFF_0018

Bit	R/W	Description	Default Value
31	W	Vector No. 0x3F Interrupt Req. Clear bit	0
30	W	Vector No. 0x3E Interrupt Req. Clear bit	0
29	W	Vector No. 0x3D Interrupt Req. Clear bit	0
28	W	Vector No. 0x3C Interrupt Req. Clear bit	0
27	W	Vector No. 0x3B Interrupt Req. Clear bit	0
26	W	Vector No. 0x3A Interrupt Req. Clear bit	0
25	W	Vector No. 0x39 Interrupt Req. Clear bit	0
24	W	Vector No. 0x38 Interrupt Req. Clear bit	0
23	W	Vector No. 0x37 Interrupt Req. Clear bit	0
22	W	Vector No. 0x36 Interrupt Req. Clear bit	0
21	W	Vector No. 0x35 Interrupt Req. Clear bit	0
20	W	Vector No. 0x34 Interrupt Req. Clear bit	0
19	W	Vector No. 0x33 Interrupt Req. Clear bit	0
18	W	Vector No. 0x32 Interrupt Req. Clear bit	0
17	W	Vector No. 0x31 Interrupt Req. Clear bit	0
16	W	Vector No. 0x30 Interrupt Req. Clear bit	0
15	W	Vector No. 0x2F Interrupt Req. Clear bit	0
14	W	Vector No. 0x2E Interrupt Req. Clear bit	0
13	W	Vector No. 0x2D Interrupt Req. Clear bit	0
12	W	Vector No. 0x2C Interrupt Req. Clear bit	0
11	W	Vector No. 0x2B Interrupt Req. Clear bit	0
10	W	Vector No. 0x2A Interrupt Req. Clear bit	0
9	W	Vector No. 0x29 Interrupt Req. Clear bit	0
8	W	Vector No. 0x28 Interrupt Req. Clear bit	0
7	W	Vector No. 0x27 Interrupt Req. Clear bit	0
6	W	Vector No. 0x26 Interrupt Req. Clear bit	0
5	W	Vector No. 0x25 Interrupt Req. Clear bit	0
4	W	Vector No. 0x24 Interrupt Req. Clear bit	0
3	W	Vector No. 0x23 Interrupt Req. Clear bit	0
2	W	Vector No. 0x22 Interrupt Req. Clear bit	0
1	W	Vector No. 0x21 Interrupt Req. Clear bit	0
0	W	Vector No. 0x20 Interrupt Req. Clear bit	0

* Interrupt Request Clear bit

0 : No Effect Interrupt Mask.

1 : Pending 인터럽트가 활성화되는 것을 마스킹(interrupts not sent to CPU).

9 TICK TIMER

adLuna 은 MCU 에 밀접하게 붙은 64-bit Tick Timer 가 내장 되어있다.

9.1 Features

- 15-bit Pre-scaler
- 64-bit Timer/Counter
- Core timer는 CPU halt(halt3)되면, counter 또한 동작을 멈춘다.
CPU resume 되면 counter resume 된다.

9.2 Tick timer 15-bit Pre-scaler with clock source selection

Pre-scaler 는 15-bit Pre-scaler 를 통해 1/2 ~ 1/32768 배 분주 된 클럭을 생성하여 Timer/Counter 로 전달한다. Timer/Counter 는 Pre-scaler 를 통해 분주된 클럭을 선택하여 32-bit Counter 를 구동한다.

Pre-scaler 에서 분주되는 클럭의 정확한 위상이 필요할 경우에는 TPCON 레지스터의 CNTCLR 비트를 통하여 Pre-scaler counter 를 초기화한 후 사용한다.

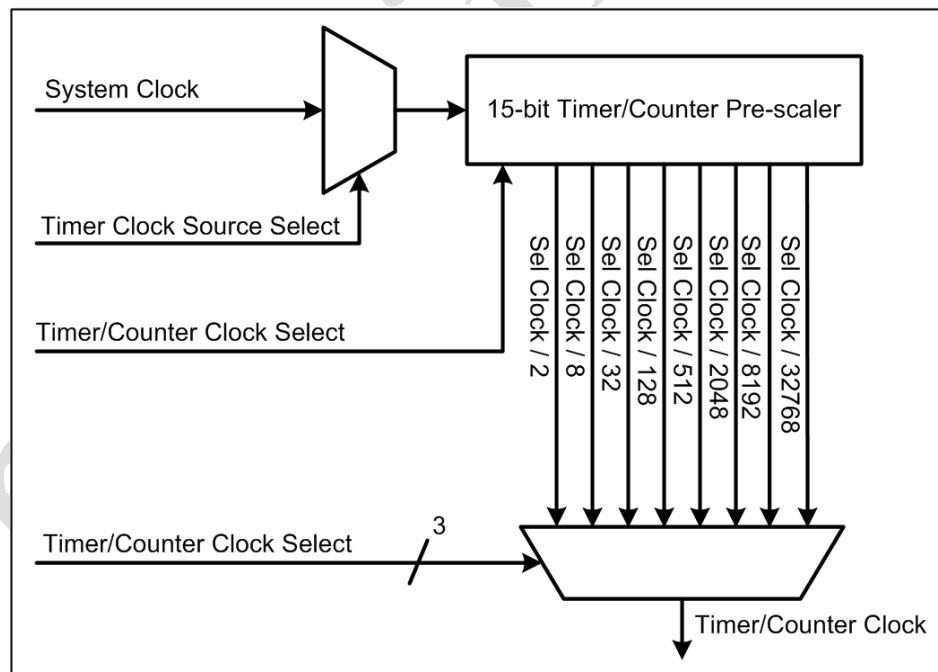


Figure 9-1 Pre-scaler Block Diagram

9.3 Tick Timer/Counter

Pre-scaler 에 의해 분주된 Clock 을 사용하여 설정된 Timer Counter register value 에서 매 clock 마다 counter value 을 “1” 씩 감소하여 0x0 에 도달하면 interrupt 를 발생하고, 다시 사용자가 설정한 Timer Counter register value 부터 “1”씩 감소 하기 시작한다. (Down Counter)

(TMCNT : 사용자가 설정한 timer counter register value)

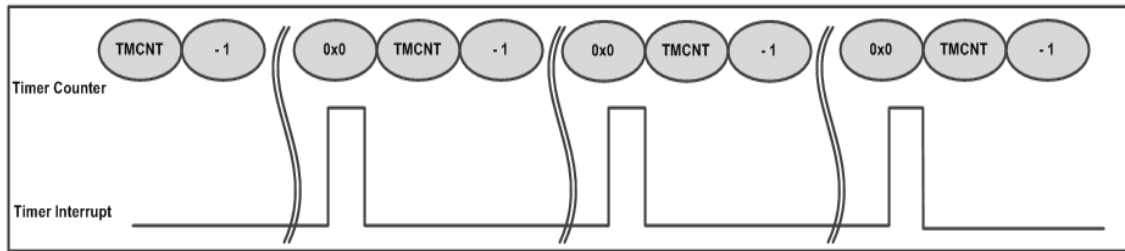


Figure 9-2 Timer Operation

Timer 주기는 선택된 클럭, Pre-scaler 그리고 Timer Counter 에 의해 결정된다.

$$Timer\ Period = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre\ -\ scaler\ Factor} \times (TMCNT) \ [sec] \quad \{Pre\ -\ scaler\ Factor \geq 3\}$$

$$Timer\ Period = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre\ -\ scaler\ Factor} \times (TMCNT + 1) \ [sec] \quad \{Pre\ -\ scaler\ Factor < 3\}$$

Timer Period Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Timer Counter Value (TMCNT) : 1000

$$\Rightarrow 1/12MHz \times 1024 \times 1000 = 85.333msec = 11.718Hz$$

Timer Counter 로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TMRST : 필요에 따라 Pre-scaler를 clear 한다.
- TMCON's PFSEL : Timer Counter에서 사용할 Clock을 결정한다.
- TMCON's TMEN : Timer Counter를 Enable 한다.
- TMCNT0 : Timer Counter의 시작 Counter(L) 값을 결정한다.
- TMCNT1 : Timer Counter의 시작 Counter(H) 값을 결정한다.

Timer Counter 는 다음 순서로 설정하여 동작시킨다.

- TMCNT0,1 설정
- TMCTRL 설정
- 필요에 따라 TMRST's CNTCLR 비트 설정

9.4 Tick Timer Control Registers

9.4.1 Timer Reset Control Register (TTMRST)

Address : 0xFFFF_1000

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	CNTCLR : "1"일 경우 Pre-scale Counter , Timer Counter를 Reset 한다	0
0	R	Timer counter 의reset 이루어 졌는지 확인 하는 bit 이다. 이 bit가 "0" 이 되면, counter가 정상적으로 reset이 된 것이다.	1

9.4.2 Tick Timer Control Registers (TTMCON)

Address : 0xFFFF_1004

Bit	R/W	Description	Default Value
31 : 4	R	Reserved	-
3 : 1	R/W	PFSEL : Pre-scale Factor Selection 000 : clock / 1 001 : clock / 2 010 : clock / 8 011 : clock / 32 100 : clock / 128 101 : clock / 2048 110 : clock / 8192 111 : clock / 32768	111
0	R/W	TMEN : Timer Enable bit 0 : Disable 1 : Enable	0

- Core break (Core debug)일 때, core timer의 counting 동작도 같이 멈춘다.
CPU resume 되면, 다시 core timer counting을 재개한다.
- Core halt(halt3) 일 때, core timer의 counting 동작도 같이 멈춘다.
CPU resume 되면, 다시 core timer counting을 재개한다.

9.4.3 Tick Timer Counter Registers0 (TTMCNT 0)

Address : 0xFFFF_1008

Bit	R/W	Description	Default Value
31 : 0	R/W	- Write : Timer Counter 값 설정 레지스터. - Read : 현재 카운터 값을 출력 한다. - 64bit counter 중 하위 32bit에 해당하는 counter ([31:0])	0xFFFFFFFFh

9.4.4 Tick Timer Counter Registers1 (TTMCNT 1)

Address : 0xFFFF_100C

Bit	R/W	Description	Default Value
31 : 0	R/W	- Write : Timer Counter 값 설정 레지스터. - Read : 현재 카운터 값을 출력 한다. - 64bit counter 중 상위 32bit에 해당하는 counter ([63:32])	0xFFFFFFFFh

9.5 Tick Timer Interrupt waveform

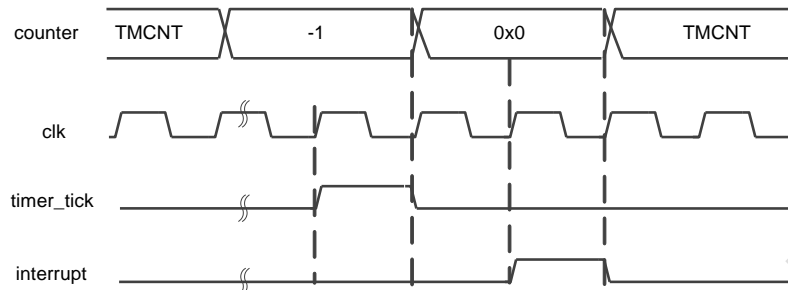


Figure 9-3 core timer interrupt waveform

* Tick timer 는 다운 카운터 이다. 설정된 값에서부터 down counting 을 시작하고 0 이 되면, interrupt 가 발생한다.

Figure 9-3. 에 도시 된 바와 같이, interrupt 가 발생 한 다음 counter 값은 설정된 값에서부터 다시 counting 을 시작한다.

10 WATCHDOG TIMER

Watchdog Timer 는 시스템 에러, 정상적으로 응답하지 않는 장치 또는 noise 와 같은 이유로 CPU 가 정상적인 동작을 하지 않을 때, 정상 상태로 복귀시키는 역할을 한다.

Watchdog Timer 가 Enable 되면 WDCNT 에 설정된 값에서 '1'씩 감소하여 WDCNT 값이 '0'이 되면 Watchdog Reset 이 발생한다.

Watchdog Reset 이 발생하면 WDTST bit 에 Watchdog Reset 이 발생한 상태가 저장된다.

일단 Watchdog Timer 가 설정되면 Time-out 이 되지 않게 하기 위해서는 32 비트의 Watchdog Counter 값이 '0'이 되지 않도록 주기적으로 WDCNT 을 재설정하여 Watchdog Reset 이 발생하지 않도록 해야 한다.

WDTMOD bit 를 Interrupt mode 로 설정하면, Watchdog Reset 은 발생하지 않고 Interrupt 를 발생시켜 WDCNT 에 설정된 값이 0 이 되었음을 알려준다.

Watchdog timer 는 Lock 기능이 있다. lock 일 때는 설정(WDCON) 값이 변경되지 않고, 기록된 값을 유지한다. Unlock 일 경우, 변경된 값(WDCON)이 적용된다.
(UnLock : 0x1ACCE551 write.)

10.1 Register Description

10.1.1 Watchdog Timer Control Register (WDTCTRL)

Address : 0x8003_2400

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	HALTEN : Watchdog timer halt enable bit 0: Disable 1: Enable 이 bit를 set하면 Halt3에 의해 core가 정지할 경우, counting도 정지한다. Wakeup에 의해 core가 다시 동작하면 재개된다.	0
6	R/W	BRKEN : Watchdog timer core break enable bit 0: Disable 1: Enable 이 bit를 set하면 Debugger를 통해 core break한 경우, counting도 정지한다. Resume에 의해 core가 다시 동작하면 재개된다.	0
5	R	WDTLOCK : Watchdog timer 잠금 상태를 나타낸다. 0 : Lock 상태. 1 : Unlock 상태.	0
4	R	WDTST : Watchdog timer 상태 비트. watchdog timer가 reset mode, 일 경우 0 : No watchdog reset 1 : Watchdog reset 상태 비트는 read 동작에 의해 clear된다.	0
3 : 2	R	Reserved	-
1	R/W	WDTMOD : Watchdog timer의 mode를 결정 한다. 0 : Reset mode 1 : Interrupt mode	0
0	R/W	WDTEN : Watchdog timer enable bit 0 : Disable 1 : Enable	0

* unlock 일 경우에만, 설정 값을 write할 수 있다

10.1.2 Watchdog Timer Counter Value Register (WDTCNT)

Address : 0x8003_2404

Bit	R/W	Description	Default Value
31 : 0	R/W	Watchdog timer counter 32-bit value. Down-counter	0xFFFF_FFFF

* unlock 일 경우에만, 설정 값을 write할 수 있다

10.1.3 Watchdog Timer Lock Value Register (WDTLOCK)

Address : 0x8003_2408h

Bit	R/W	Description	Default Value
31 : 0	RW	Watchdog Timer Lock 32-bit Value. (Unlock = 0x1ACCE551) Read시, Lock : 0x00000001 Unlock : 0x00000000	0x00000001h

10.2 Operational Flow Diagrams

- * Watch dog timer에 대한 Flow chart이다. Lock register에 0x1ACCE551 value를 write해줘야만 watch dog timer setting이 가능하다. (Unlock 상태에서만 counter value와 control register setting이 가능)
- * Control register의 [1] bit가 0 or 1에 따라 reset mode, interrupt mode 선택이 가능하다.
- * Watch dog timer는 down counter로써 counter값이 0이 됐을 시, reset or interrupt를 발생시킨다. interrupt 발생 후, watch dog timer 는 상태를 유지 한다.
(주기적인 동작은 지원하지 않는다.)
- * interrupt 발생 후, watch dog timer interrupt service routine에서 watch dog timer disable후, enable(control write) 동작에 의해, 재개 한다.

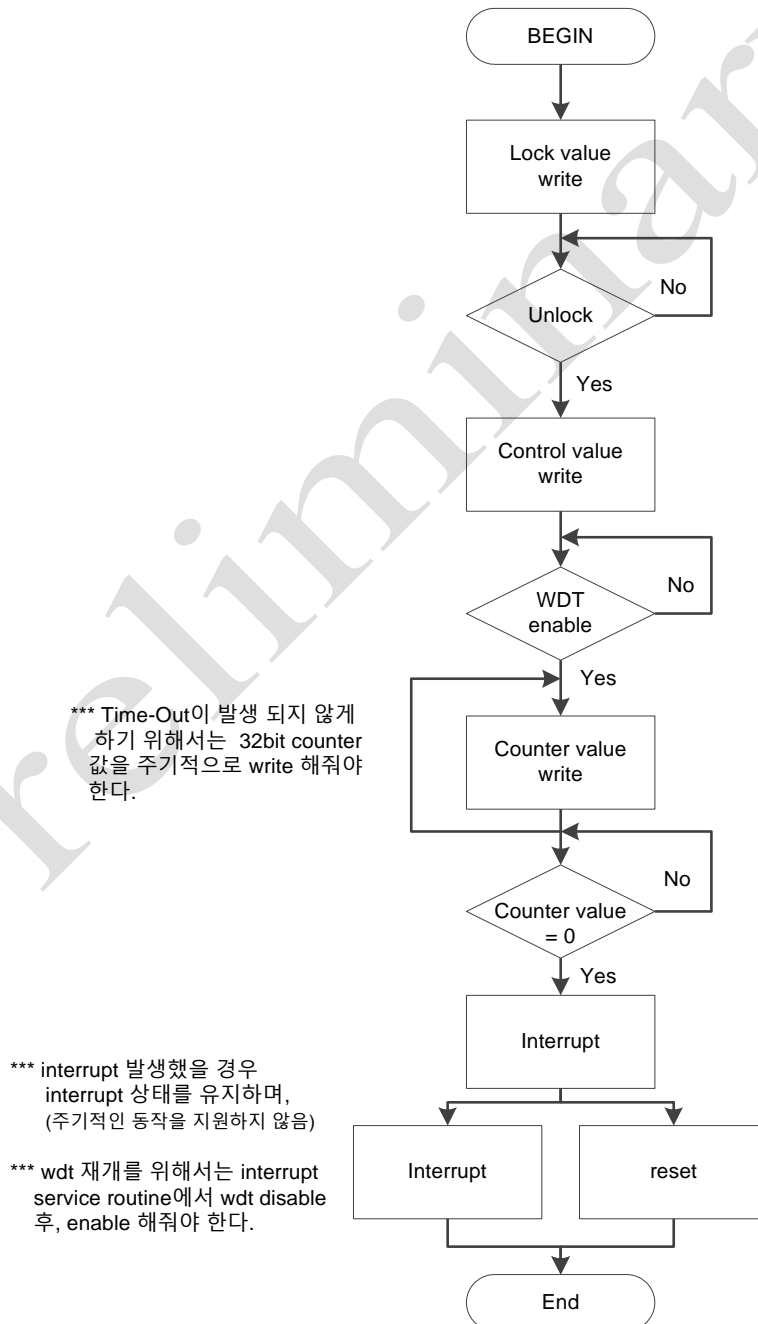


Figure 10-1 Operational flow

11 TIMERS

adLuna 은 Timer/Counter, Capture, PWM 기능을 가진 32-bit Timer/Counter 를 5 채널 내장하였다.

11.1 Features

- 15-bit Pre-scale
- 32-bit Timer/Counter
- 32-bit Capture
- 32-bit PWM
- 32-bit Timer Counter Wave-Out

11.2 Functional Description

11.2.1 15-bit Pre-scaler with clock source selection

Pre-scaler 는 System Clock 과 External Clock 핀을 통해 외부로부터 받아들인 입력을 CLKSEL 비트를 통해 선택한 후, 15-bit Pre-scaler 를 통해 1/2 ~ 1/32768 배 분주 된 클럭을 생성하여 Timer/Counter 로 전달한다. Timer/Counter 는 Pre-scaler 를 통해 분주된 클럭을 선택하여 32-bit Counter 를 구동한다.

Pre-scaler 에서 분주되는 클럭의 정확한 위상이 필요할 경우에는 TPxCON 레지스터의 CNTCLR 비트를 통하여 Pre-scaler counter 를 초기화한 후 사용한다.

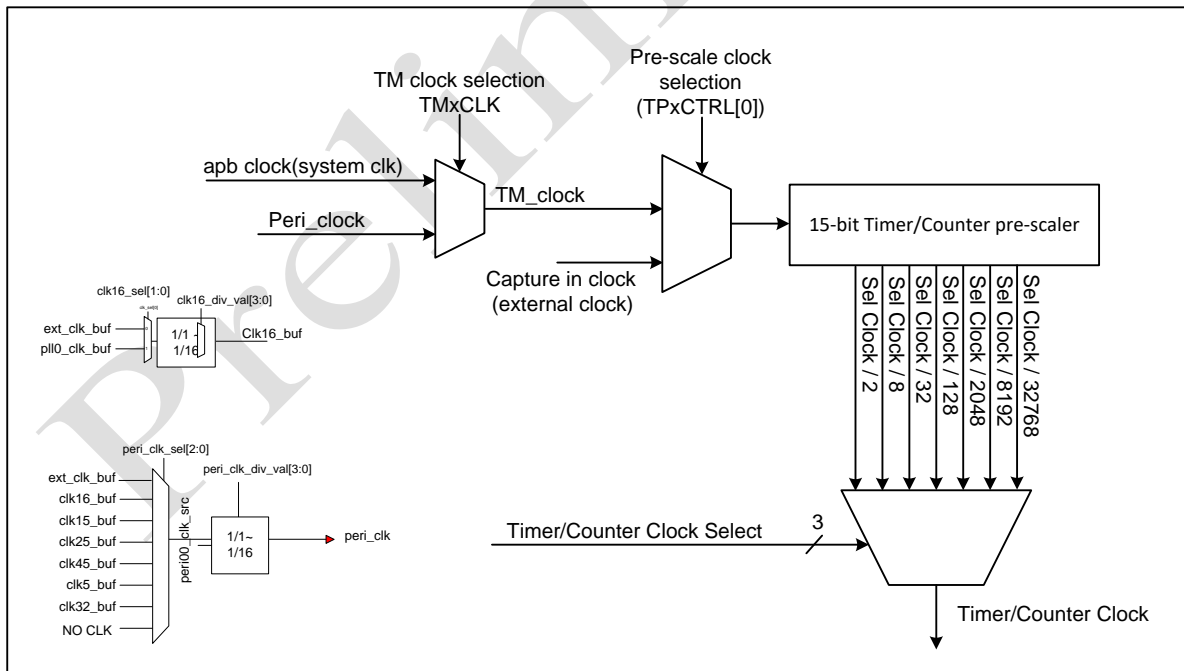


Figure 11-1 Pre-scaler Block Diagram

11.2.2 Timer/Counter

Pre-scaler 에 의해 분주된 Clock 을 사용하여 0x0 의 초기값에서 매 클럭 마다 카운터 값을 “1” 씩 증가하여 사용자가 설정한 Timer Counter 레지스터 값에 도달하면 다시 0x0 이 되면서 인터럽트를 발생한다.

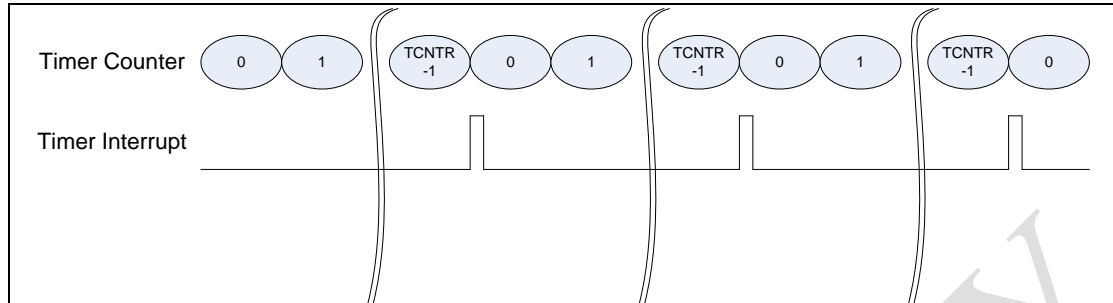


Figure 11-2 Timer Operation

Timer 주기는 선택된 클럭, Pre-scaler 그리고 Timer Counter 에 의해 결정된다.

$$Timer\ Period = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre-scaler\ Factor} \times (TMCNT) [sec] \quad \{Pre-scaler\ Factor \geq 3\}$$

$$Timer\ Period = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre-scaler\ Factor} \times (TMCNT + 1) [sec] \quad \{Pre-scaler\ Factor < 3\}$$

Timer Period Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Timer Counter Value (TMCNT) : 1000

$$\Rightarrow 1/12MHz \times 1024 \times 1000 = 85.333msec = 11.718Hz$$

Timer Counter 로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCON : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCON's TMOD : Timer Counter 모드를 설정한다.
- TMxCON's WAVE : Timer Counter의 주기로 생성된 클럭을 출력유무를 결정한다.
- TMxCON's PFSEL : Timer Counter에서 사용할 Clock을 결정한다.
- TMxCON's TMEN : Timer Counter를 Enable 한다.
- TMxCNT : Timer Counter의 최대 Counter 값을 결정한다.

Timer Counter 는 다음 순서로 설정하여 동작시킨다.

- TPxCON 설정
- TMxCNT 설정
- TMxCTRL 설정
- 필요에 따라 TPxCTRL's CNTCLR 비트 설정

11.2.3 Pulse Width Modulation (PWM)

PWM 은 programmable 한 duty 와 주기의 펄스 신호를 출력하기 위한 제어기 이다.

Pre-scaler 에서 설정한 Clock 을 통해 동작하며 PWM Period 레지스터 값의 주기로 카운트를 반복하면서 사용자가 설정한 형태의 파형을 출력한다.

PWM 의 출력 펄스는 32 비트 카운터의 값이 PWM Duty, PWM Period 레지스터 값에 이를 때마다 레벨이 반전되어 출력 파형이 만들어진다. PWM 의 출력횟수는 PWM Pulse Number 레지스터에 의해 결정되며 펄스의 출력횟수에 다르면 PWM Interrupt 를 발생한다. 그러나 PWM Interrupt 가 발생하더라도 별도의 설정이 없을 경우에는 PWM 출력이 계속 생성된다. 따라서 PWM Pulse 를 멈추기 위해서는 Timer Interrupt 에서 PWM 을 Disable 해야 한다.

$$PWM \text{ Pulse Period} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (TMCNT) [\text{sec}] \quad \{\text{Pre-scaler Factor} \geq 3\}$$

$$PWM \text{ Pulse Period} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (TMCNT + 1) [\text{sec}] \quad \{\text{Pre-scaler Factor} < 3\}$$

PWM Period Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- PWM Period Value(TMxCNT) : 10
- PWM Duty Value : 6

$$\Rightarrow 1/12\text{MHz} \times 1024 \times 10 = 0.853\text{msec} = 1.171\text{KHz}$$

PWM 으로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCTRL's TMOD : PWM 모드로 설정한다.
- TMxCTRL's PWML : PWM 출력의 시작 레벨을 결정한다.
- TMxCTRL's PFSEL : PWM에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN : PWM을 Enable 한다.
- TMxCNT : PWM의 주기를 결정한다.
- TMxDUT : PWM의 Duty를 결정한다.
- TMxPUL : PWM의 Pulse 횟수를 결정한다. PWM Pulse의 횟수가 이 레지스터 값에 도달하면 PWM interrupt가 발생 한다. PWM Output One Period Generation bit(TMxCTRL[6])가 enable 일 경우, 설정 값에 도달 하면 PWM 출력은 disable 된다.

PWM 은 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCNT 설정
- TMxDUT 설정
- TMxPUL 설정
- 필요에 따라 TPxCTRL's CNTCLR 설정

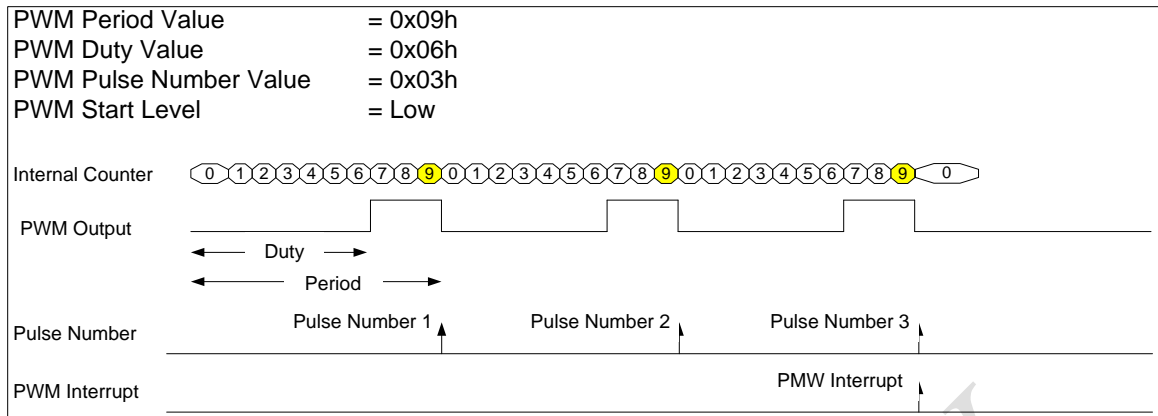


Figure 11-3 PWM Operation

**** Special Case**

Duty 100% 와 0% 설정인 경우의 PWM wave 출력은 다음과 같다.

* period 100% ,Duty 100% ,start level = low
PWM out = "0" level

* period 100% ,Duty 0% ,start level = low
PWM out = "1" level

* period 100% ,Duty 100% ,start level = high
PWM out = "1" level

* period 100% ,Duty 0% ,start level = high
PWM out = "0" level

11.2.4 Capture

Capture 기능은 Pre-scale 에서 설정한 Clock 을 기준으로 하여 외부 입력을 측정한다.

외부입력은 Low/High Pulse, Only Low Pulse, Only High Pulse, Falling to Falling Period, Rising to Rising Period 의 5 가지 형태의 펄스 주기를 측정할 수 있다.

Capture mode 로 Timer 를 Enable 할 때는 첫 번째로 Capture 하는 값은 신호가 변하는 중간의 값이기 때문에 무시하여야 한다.

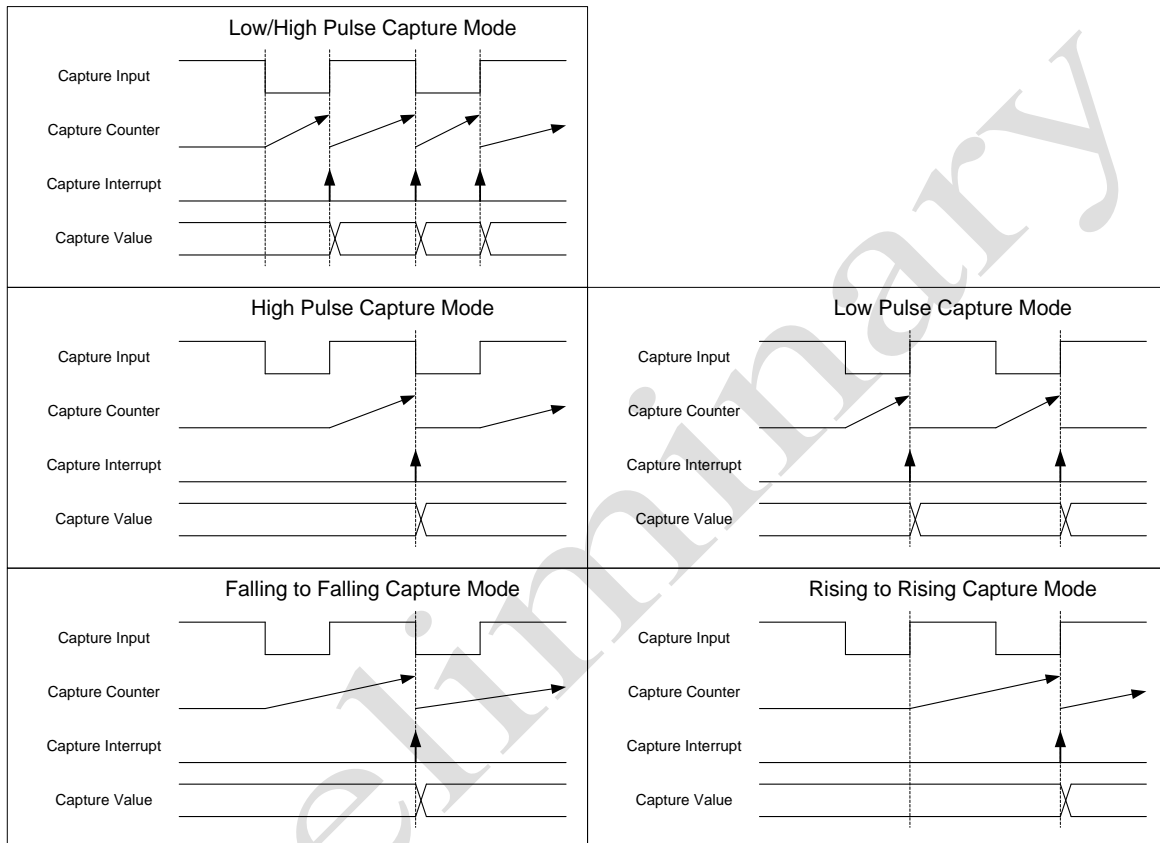


Figure 11-4 Capture Mode Operation

Capture 주기는 다음과 같이 측정된다.

$$\text{Capture Signal Width Time} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (\text{OCA} + 1) [\text{sec}]$$

Capture Time Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Capture Value(OCA) : 9

$$\Rightarrow 1/12\text{MHz} \times 1024 \times 10 = 0.853\text{msec}$$

Capture 모드로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCTRL's TMOD : Capture 모드로 설정한다.
- TMxCTRL's CAPMOD : Capture Pulse 형태를 결정한다.
- TMxCTRL's PFSEL : Capture에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN : Capture를 Enable 한다.

Capture 는 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCTRL 설정
- 필요에 따라 TPxCTRL's CNTCLR 설정
- TMxDUT를 읽어서 Capture 주기 확인
- TMxCTRL's OVST를 읽어서 Overflow 유무 확인

11.3 Address Description

TIMER 0, 1 Channel	0x8003_0800 / 0x8003_0820
TIMER 2, 3 channel	0x8004_0800 / 0x8004_0820
TIMER 4 channel	0x8002_0000

11.4 Register Description

	channel 0	channel 1	channel n
TPxCTRL	0x00	0x20	0x20 * n + 0x00
TMxCTRL	0x04	0x24	0x20 * n + 0x04
TMxCNT	0x08	0x28	0x20 * n + 0x08
TMxDUT	0x0c	0x2c	0x20 * n + 0x0c
TMxPUL	0x10	0x30	0x20 * n + 0x10
TMxCLK	0x14	0x34	0x20 * n + 0x14
TMxUPDATE	0x18	0x38	0x20 * n + 0x18

11.5 Register Description

11.5.1 Timer Pre-scale Control Registers (TPxCTRL)

Address : 0x00

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	CNTCLR : Pre-scale Counter and Timer Counter Reset When this bit is "1", the Timer Pre-scale and Counter will be reset.	0
0	R/W	CLKSEL : Pre-scale Clock Selection 0 : System clock 1 : CAPx	0

* CAPx는 Timer 채널 별로 할당되어 있다

11.5.2 Timer Control Registers (TMxCTRL)

Address : 0x04

Bit	R/W	Description	Default Value
31 : 19	R	Reserved	-
18	R/W	HALTEN : Core Halt Enable bit 0: Disable 1: Enable 이 bit를 set하면 Halt3에 의해 core가 정지할 경우, counting도 정지한다. Wakeup에 의해 core가 다시 동작하면 재개된다..	0
17	R/W	BRKEN : Core Break Enable bit 0: Disable 1: Enable 이 bit를 set하면 Debugger를 통해 core break한 경우, counting도 정지한다. Resume에 의해 core가 다시 동작하면 재개된다.	0
16	R/W	DMAREQEN : Timer request(DMA) Enable bit 0: Timer는 설정된 주기마다 interrupt만 요청한다. 1: Timer의 설정된 주기마다 interrupt가 일어나면, DMA에 request 신호를 요청하게 된다.	0
15 : 14	R/W	TMOD : Timer/Counter Mode 00 : Timer 01 : PWM 1x : Capture	00
13	R	Reserved	-
12	R	OVST : Capture Overflow Status bit Read시 Overflow status bit가 clear된다.	0
11	R	Reserved	0
10 : 8	R/W	CAPMOD : Capture Mode Selection 00x : Low/High Pulse Capture mode 010 : Low Pulse Capture mode 011 : High Pulse Capture mode 10x : Falling to Falling Period Capture mode 11x : Rising to Rising Period Capture mode	000
7	R/W	IUE : Immediately Update Enable 0: Counter Register에 Write한 값이 이전에 설정된 Period가 완료된 후 적용된다. 1: Counter Register에 write하는 즉시, Period나 duty가 적용된다.	1
6	R/W	PWMO : PWM Output One Period Generation 0 : Disable 1 : Enable	0
5	R/W	PWML : PWM Output Start Level 0 : Start Level is Low 1 : Start Level is High	0
4	R/W	TMOU : Timer Wave Output Generation 0 : Disable 1 : Enable	0
3 : 1	R/W	PFSEL : Pre-scale Factor Selection 000 : 1/2 001 : 1/8 010 : 1/32 011 : 1/128 100 : 1/512 101 : 1/2048 110 : 1/8192 111 : 1/32768	111
0	R/W	TMEN : Timer/Counter or PWM Enable 0 : Disable 1 : Enable	0

* PWM Output One Period Generation : PWM 모드로 동작할 때, 주기를 설정한 개수만큼 발생시키는 bit이다.

11.5.7 TIMER Write/Read update check Register (TMxUPDATE)

Address : 0x18

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	Read Update: timer read update clear bit 독립된 clock을 사용하는 timer 동작 시, 정상적인 값을 인가 받을 경우 1로 setting된다. 1을 write 했을 경우 update bit를 clear 할 수 있다. 0 : Read 동작을 수행할 수 없음. 1 : Read 동작으로 정상적인 값이 backup register에 있을 경우 1로 setting 된다. 이 bit를 확인 후 read동작을 수행하여야 한다.	0x0
0	R/W	Write Update: timer write update clear bit 독립된 clock을 사용하는 timer 동작 시, 정상적인 값을 인가 받을 경우 1로 setting된다. 1을 write 했을 경우 update bit를 clear 할 수 있다. 0 : Write 동작이 정상적으로 이루어 지지 않았음. 1: write 동작으로 인해 값을 정상적으로 인가 받았을 경우 라면 1로 setting된다. Update bit를 clear하기 위해서는 1로 write 해줘야한다.	0x0

*** Write/ Read 동작.

Ex)

TMCON에 대한 write 동작 후, read 동작 수행.

```

pokel(TMCON, 0x00000003);           // TMCON 0x03 write.
while(! (peek(TMUPDATE) & 0x00000001)); // 정상적인 값이 write 됐는지 확인.
pokel(TMUPDATE, 0x00000001);       // write update bit clear.

peek(TMCON);                       // read 동작 전 해당 address 접근
while(! (peek(TMUPDATE) & 0x00000002)); // backup register에 data 준비 됐는지 확인.
printf(" TMCON = %x \r\n", peek(TMCON)); // TMCON에 대한 0x03 date read.
pokel(TMUPDATE, 0x00000002);       // read 동작에 대한 update bit clear.
    
```

12 COPROCESSOR

adLuna 의 Coprocessor 는 메모리 관리를 위한 Memory Management Unit(MMU) 과 I-Cache 기능 블록을 포함하며, 이들 기능 블록들과 기타 부가 기능 블록에 대한 제어를 담당 한다.

12.1 Features

- Memory Management Unit
 - Real Memory mode
- 2 Way Set Associative Harvard Cache
 - 8KBytes I-Cache
 - Write Through
 - 16 Bytes / Line
 - LRU Replacement
 - Cache Invalidation by Software
- 4 Words Deep Write Buffer (FIFO)

Real Memory mode 는 CPU 가 4GB 크기의 선형 메모리 영역을 위해 예약된 일부 메모리 영역만 접근할 수 있으며, CPU 의 주소는 실제 메모리 주소와 일치한다.

Table 12-1 Real Memory map

Address Range	Sector Number	Size
0x0000_0000~0x003F_FFFF	Flash	4MBytes
0x1000_0000~0x1000_07FF (Memory Bank0)	Internal SRAM for Instruction	2KBytes
0x1000_0800~0x1001_3FFF (Memory Bank0~2)	Internal SRAM for Data	78KBytes

*** 위의 flash memory 영역은 4Mbyte 기준으로 표기 됨.

(2Mbyte 기준일 경우, 0x0000_0000~0x001F_FFFF 이며, 512K 일 경우, 0x0000_0000~0x0007_FFFF이다)

12.2 Coprocessor Description

Table 12-2 Coprocessor Register Description

Register	R/W	Description
SCPR15	R	System Coprocessor Status Register
	W	Master Command Register
SCPR14	R/W	Supervisor Stack Point Register
SCPR13	R/W	User Stack Pointer
SCPR12	R/W	Vector Base Register
SCPR11	W	Invalidate Cache Line and Lock Register
SCPR10	-	Reserved
SCPR9	R/W	Memory Bank Configuration Register
SCPR8	R/W	Sub-Bank Configuration Register
SCPR7	R/W	Reserved
SCPR6	R/W	Reserved
SCPR5	R/W	Sub-Bank Address Register
SCPR4	R/W	General Access Point Data Register
SCPR3	R/W	General Access Point Index Register
SCPR2	R/W	Reserved
SCPR1	R/W	Reserved
SCPR0	R/W	Reserved

12.3 Coprocessor Control Registers

12.3.1 System Coprocessor Status Register (SCPR15)

Bit	R/W	Description	Default Value
31	R	System Co-Processor Access Right (Privileged) Coprocessor이 접근 권한을 나타낸다. 0 : Supervisor/User Accessible 1 : Supervisor Access only	1
30 : 28	R	Coprocessor Type	001
27 : 25	R	Coprocessor Subtype	000
24 : 19	R	Reserved	-
18	R	L1 Cache Presented 0 : Presented 1 : Not Presented	0
17	R	L1 Cache Snooping Capability 0 : Support Snooping 1 : Not support Snooping	1
16 : 7	R	Reserved	-
6	R	Misalign Correction Support for Data Access 0 : Not support Misalign Correction 1 : Support Misalign Correction	0
5 : 2	R	SCP Rending Exception Number 0000 : Inst. Fetch - Access Violation 0010 : Privilege Violation Exception 0011 : Data Access - Address Misalignment 0100 : Data Access - Access Violation 1000 : Inst. Fetch - Address Misalignment 1111 : N/A	1111
1	R	SCP Pending Exception status 0 : No Pending Exception 1 : Pending Exception Exist	0
0	R	Reserved	-

12.3.2 Master Command Register (SCPR15)

Bit	R/W	Description	Default Value
31 : 6	W	Reserved	-
5 : 2	W	End of Exception 0000 : Inst. Fetch - Access Violation 0010 : Privilege Violation Exception 0011 : Data Access - Address Misalignment 0100 : Data Access - Access Violation 1000 : Inst. Fetch - Address Misalignment 1111 : Privilege Violation Exception	1111
1 : 0	W	Reserved	-

12.3.3 Supervisor Stack Point Register (SCPR14)

Bit	R/W	Description	Default Value
31 : 2	R/W	Supervisor Stack Pointer	0x0000_0000
1 : 0	R/W	Always 0	00

12.3.4 User Stack Point Register (SCPR13)

Bit	R/W	Description	Default Value
31 : 2	R/W	User Stack Pointer	0x0000_0000
1 : 0	R/W	Always 0	00

12.3.5 Vector Base Register (SCPR12)

Bit	R/W	Description	Default Value
31 : 2	R/W	Vector Base for Exception	0x0000_0000
1 : 0	R/W	Always 0	00

12.3.6 Invalidate Cache Line and Lock Register (SCPR11)

Bit	R/W	Description	Default Value
31 : 7	W	Invalidation Target Address/Way	-
6 : 4	W	Invalidation Target Address/Way	-
3	W	Invalidation Mode 0 : Address Based Invalidation 1 : Way Based Invalidation	-
2	W	Copy-back Selection in Invalidation 0 : Invalidation without Copy-back 1 : Invalidation with Copy-back if need	-
1	W	Cache Line Locking in Invalidation 0 : Invalidation without Locking 1 : Invalidation with Locking	-
0	W	Cache Type in Invalidation 0 : I-Cache 1 : D-Cache	-

12.3.7 Memory Bank Configuration Register (SCPR9)

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	0
15	R/W	Always 0	0
14	R/W	Memory Bank 3 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
13 : 12	R/W	Memory Bank 3 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
11	R/W	Always 0	0
10	R/W	Memory Bank 2 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
9 : 8	R/W	Memory Bank 2 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
7	R/W	Always 0	0
6	R/W	Memory Bank 1 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
5 : 4	R/W	Memory Bank 1 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
3	R/W	Always 0	0
2	R/W	Memory Bank 0 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
1 : 0	R/W	Memory Bank 0 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00

12.3.8 General Access Point Data Register (SCPR4)

Bit	R/W	Description	Default Value
31 : 0	R/W	General Access Point Data Register value that is configured at SCPR3	0x0000_0000

12.3.9 General Access Point Index Register (SCPR3)

Bit	R/W	Description	Default Value
31 : 0	R/W	General Access Point Index - Core Debugging Information 0x0000_0000 : Backup IR 0x0000_0001 : Backup ER 0x0000_0002 : Backup PC 0x0000_0010 : Backup EAD - System Coprocessor Debugging Information 0x0000_0303 : Inst. Bus Error Address 0x0000_0304 : Data Bus Error Address - Cache Lock Information 0x0000_0500 : Inst. Lock Condition 0x0000_0501 : Data Lock Condition - Memory Bank Management Information 0x0000_0600 : Inst. MBMB Violation Address 0x0000_0601 : Data MBMB Violation Address - Internal SRAM Configuration Information 0x0000_0700 : Global Control Reg. Address Local Control Registers 0x0000_0701 : Local I-Control Reg.0 Address 0x0000_0711 : Local I-Control Reg.1 Address 0x0000_0721 : Local I-Control Reg.2 Address 0x0000_0731 : Local I-Control Reg.3 Address 0x0000_0704 : Local D-Control Reg.0 Address 0x0000_0714 : Local D-Control Reg.1 Address 0x0000_0724 : Local D-Control Reg.2 Address 0x0000_0734 : Local D-Control Reg.3 Address Local Start Address Registers 0x0000_0702 : Local I-Start Reg.0 Address 0x0000_0712 : Local I-Start Reg.1 Address 0x0000_0722 : Local I-Start Reg.2 Address 0x0000_0732 : Local I-Start Reg.3 Address 0x0000_0705 : Local D-Start Reg.0 Address 0x0000_0715 : Local D-Start Reg.1 Address 0x0000_0725 : Local D-Start Reg.2 Address 0x0000_0735 : Local D-Start Reg.3 Address Local End Address Registers 0x0000_0703 : Local I-End Reg.0 Address 0x0000_0713 : Local I-End Reg.1 Address 0x0000_0723 : Local I-End Reg.2 Address 0x0000_0733 : Local I-End Reg.3 Address 0x0000_0706 : Local D-End Reg.0 Address 0x0000_0716 : Local D-End Reg.1 Address 0x0000_0726 : Local D-End Reg.2 Address 0x0000_0736 : Local D-End Reg.3 Address	0x0000_0000

13 UART

adLuna 의 UART 는 RS-232C 인터페이스의 기능을 보유한 일반적인 PC 및 I/O device 와 직렬 비동기 통신을 위한 다양한 제어기능을 가진 6 채널 UART(Universal Asynchronous Receiver/ Transmitter) Controller 가 내장되어 있다.

13.1 Features

- Compatible with standard 16450/16550 UARTs
- Support Smart Card Interface (ISO7816)
- Support IrDA Interface
- Fully programmable serial-interface protocols
 - 5,6,7,8-bit characters
 - Even, odd or no-parity, stick parity generation and detection
 - 1, 1.5, 2 stop bit generation
 - Fractional Baud rate generator
- Line break generation and detection
- False start bit detection
- Prioritized transmit, receive and line status control interrupts
- Independent 16 characters transmit and receive 16Bytes FIFOs
- 5 Ch. UARTs

13.2 Block Diagram

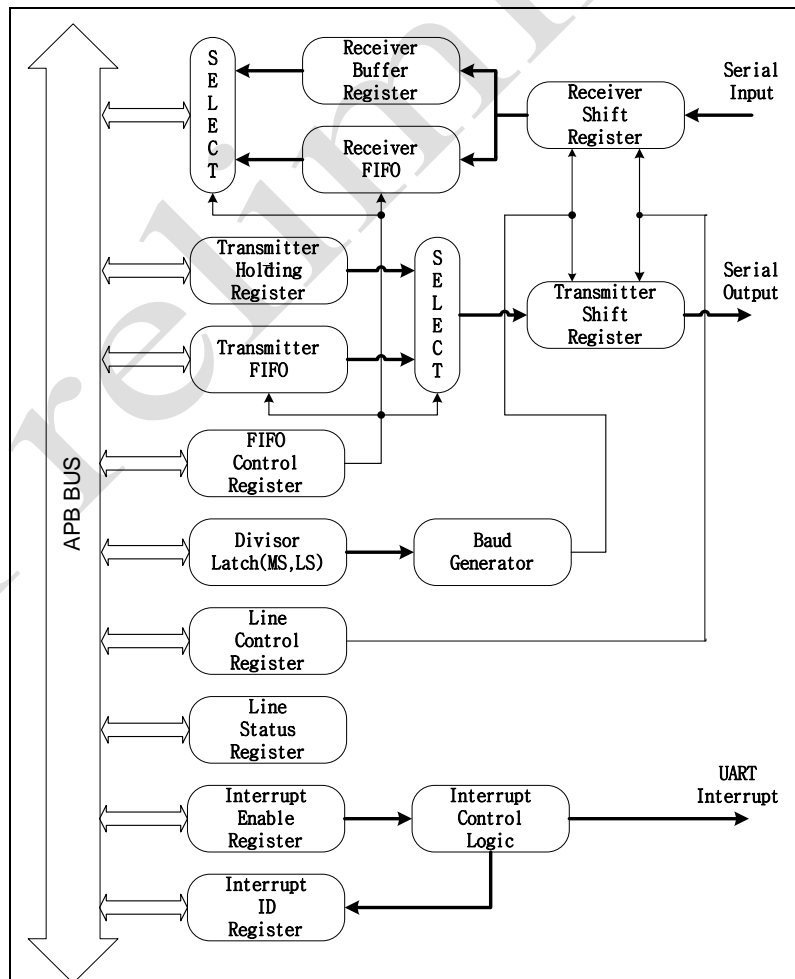


Figure 13-1 UART Block Diagram

13.3 Functional Description

13.3.1 Serial Data Format

adLuna 의 UART 에서는 ULCRn[4:0] 비트의 레지스터 설정으로 UART 통신 Serial Data Format 에 대한 변경이 가능하다. 다음 표는 ULCRn[4:0] bit 의 Register 설정으로 변경 가능한 데이터 포맷에 대한 설명이다.

ULCRn[4:0]	Description
00010 No Parity / 1 Stop bit / 7 Data bit	
00011 No Parity / 1 Stop bit / 8 Data bit	
00110 No Parity / 2 Stop bit / 7 Data bit	
00111 No Parity / 2 Stop bit / 8 Data bit	
11010 Even Parity / 1 Stop bit / 7 Data bit	
11011 Even Parity / 1 Stop bit / 8 Data bit	

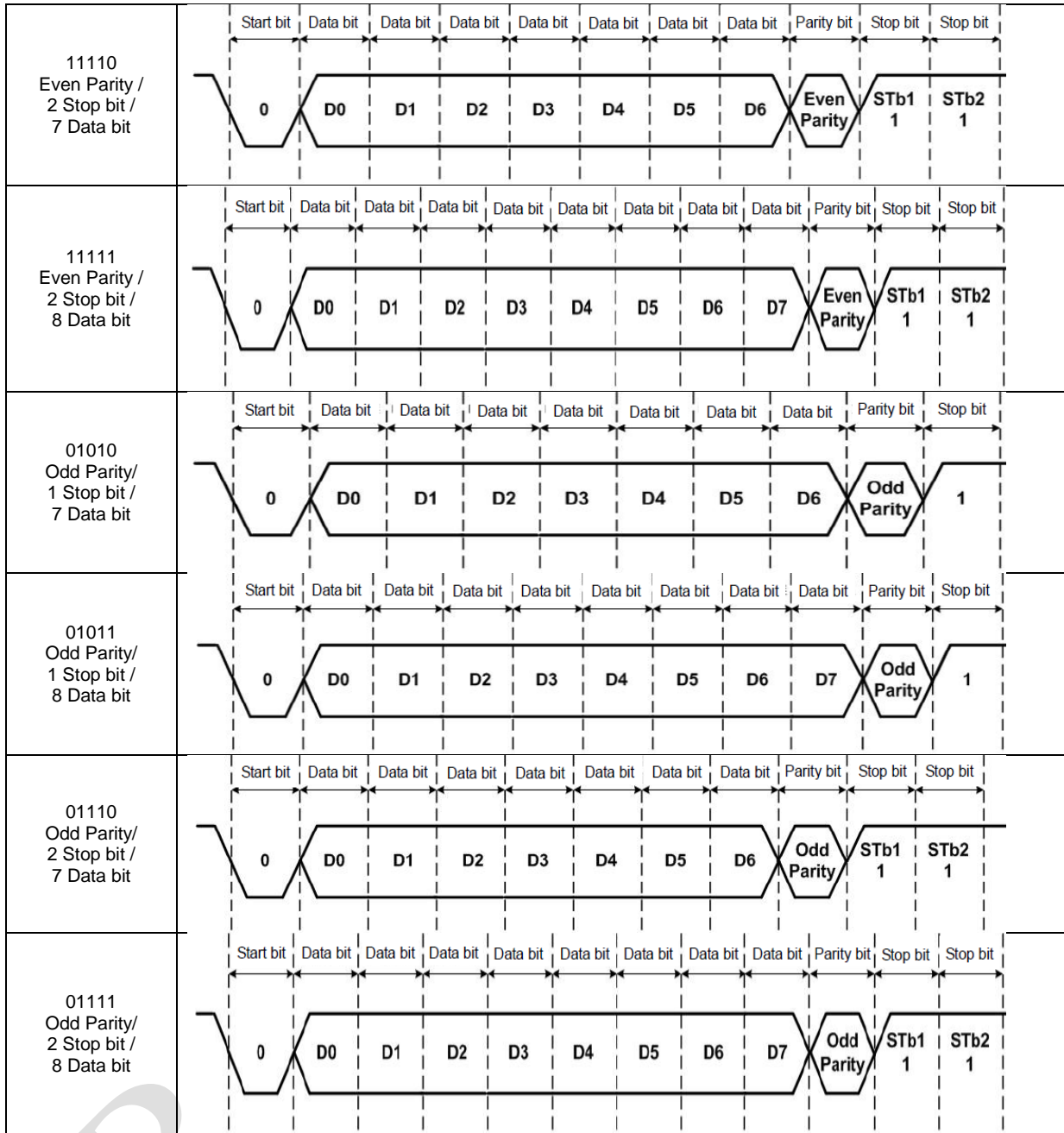


Figure 13-2 UART LCR Register Setting and Serial Data Format

13.3.2 UART Baud Rate

TX/RX Baud Rate 은 아래 식으로 계산된다.

$$UART \text{ Baud Rate} = \frac{f_{PCLK}}{16 \times UDL}$$

UART Divisor Latch Value (UDL) = UDL_M[7:0] << 8 + UDL_L[7:0]

Table 13-1 UART Baud Rate

f_{PCLK} (MHz)		1.024	2.048	5.6448	11.2896	24.0	48.0	62.0
2400 bps	UDL	27	53	147	294	625	1250	1615
	ERR(%)	1.23	0.63	0.00	0.00	0.00	0.00	0.03
4800 bps	UDL	-	27	74	147	313	625	807
	ERR(%)	-	1.23	0.68	0.00	0.16	0.00	0.04
9600 bps	UDL	-	-	37	74	156	313	404
	ERR(%)	-	-	0.68	0.68	0.16	0.16	0.09
14400 bps	UDL	-	9	25	49	104	208	268
	ERR(%)	-	1.23	2.00	0.00	0.16	0.16	0.03
19200 bps	UDL	-	-	18	37	78	156	202
	ERR(%)	-	-	2.08	0.68	0.16	0.16	0.09
38400 bps	UDL	-	-	9	18	39	78	101
	ERR(%)	-	-	2.08	2.08	0.16	0.16	0.41
57600 bps	UDL	-	-	6	12	26	52	67
	ERR(%)	-	-	2.08	2.08	0.16	0.16	1.07
115200bps	UDL	-	-	3	6	13	26	34
	ERR(%)	-	-	2.08	2.08	0.16	0.16	1.07

*ERR 이 2.2% 이상에서는 UART 동작의 안정성을 보장 받을 수 없다.

정수 UDL 만을 사용한 Baud Rate 설정은 느린 시스템 클럭에서 안정적인 데이터 전송을 기대하기 어렵다. 본 UART는 FDL 레지스터를 통해 6비트 해상도(1/64 단위)의 소수점 설정이 가능하다

Fractional Divider Latch Value (FDL) = $\{(\text{float}(\text{PCLK}/16*\text{BPS})) - (\text{int}(\text{PCLK}/16*\text{BPS}))\} * 64 + 0.5$

Table 13-2 UART Fractional Baud Rate

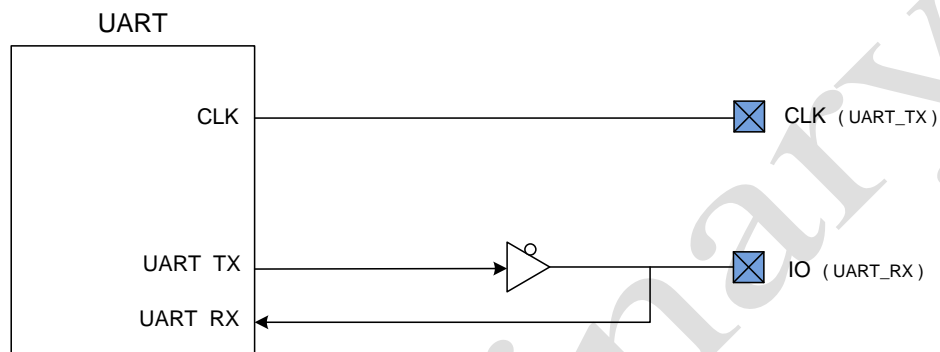
f_{PCLK} (MHz)		1.024	2.048	5.6448	11.2896	24.0	48.0	62.0
2400 bps	FDL	43	21	0	0	0	0	37
	ERR(%)	0.01	0.00	0.00	0.00	0.00	0.00	0.00
4800 bps	FDL	21	43	32	0	32	0	19
	ERR(%)	0.03	0.01	0.00	0.00	0.00	0.00	0.00
9600 bps	FDL	43	21	48	32	16	32	41
	ERR(%)	0.07	0.03	0.00	0.00	0.00	0.00	0.00
14400 bps	FDL	28	57	32	0	11	21	6
	ERR(%)	0.15	0.01	0.00	0.00	0.00	0.00	0.00
19200 bps	FDL	-	43	24	48	8	16	53
	ERR(%)	-	0.07	0.00	0.00	0.00	0.00	0.00
38400 bps	FDL	-	21	12	24	4	8	58
	ERR(%)	-	0.15	0.00	0.00	0.00	0.00	0.00
57600 bps	FDL	-	14	8	16	3	5	18
	ERR(%)	-	0.15	0.00	0.00	0.01	0.01	0.01
115200bps	FDL	-	-	4	8	1	3	41
	ERR(%)	-	-	0.00	0.00	0.04	0.01	0.01

13.3.3 Smart Card Interface

본 UART는 ISO7816 T0 프로토콜에 기반한 비동기 반이중 문자 통신을 지원함으로써 스마트 카드 또는 접촉식 IC 카드의 인터페이스 기능을 제공한다

14.3.3.1 Smart Card 핀 할당

접촉식 IC카드에서 물리적으로 접촉하는 핀은 전원 핀을 제외한 3핀 (CLK, IO, RST) 이며 본 UART는 CLK핀 , IO핀을 제공한다. IC 카드 초기화를 위한 RST 핀은 GPIO를 사용한다
CLK , IO 핀은 아래 그림처럼 UART의 TX, RX 핀에 할당되어 있다

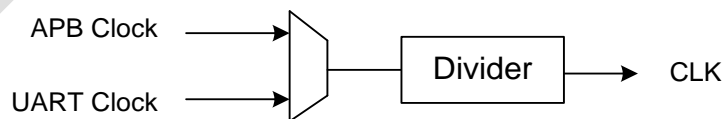


14.3.3.2 Data Format 설정

IC 카드에 전송되는 문자 포맷은 시작비트 , 데이터 8비트 , Even Parity 비트 , 종료비트로 구성된다.
14.3.1 에 나온 UART의 직렬 데이터 포맷은 이를 포함한 다양한 포맷을 지원하므로 이에 해당하는 포맷으로 UxLC 레지스터를 설정한다
문자와 문자 사이에 간격인 Guard Time 은 하드웨어로 지원하지 않으며 사용자 프로그램에 의존한다

14.3.3.3 CLK 주파수 설정

IC 카드에 전송되는 CLK 는 IO 핀을 통해 전송되는 문자들의 기준 클럭이 된다.
CLK는 APB 클럭 또는 UART 전용 클럭을 소스로 하여 분주된 클럭이 사용된다.



CLK 주파수 설정은 APB Clock 또는 UART Clock의 주파수를 설정하고 Divider 의 분주비를 설정하여 이루어진다.

IC 카드 초기화 과정에서 ATR 문자를 받기 위한 CLK 주파수는 1 ~ 5Mhz 이며 ATR 이후 주파수 변경이 가능하다

14.3.3.4 ETU 설정

IO핀을 통해 전송되는 문자의 1비트 시간 간격을 ETU 라고 한다.
 본 UART는 ETU 설정을 Baudrate 레지스터를 사용하여 설정한다
 ETU 에 대한 표현식은 아래와 같다

$$ETU = \frac{16 \times UDL}{CLK_{freq}}$$

CLK_{freq} : CLK 핀의 주파수 , UDL : Baudrate 설정값 (소수자리 포함)

예를 들어 ATR 문자를 받는 초기 $ETU = \frac{372}{CLK_{freq}}$ 가 된다

이때 $16 \times UDL = 372$ 가 되며

$UDL = 372 / 16 = 23.25$, 소수자리 까지 설정해야 한다

$UxDLL = 0x17$, $FDL = 0x9$ ($UDL = 23$, $FDL = 0.25$) 를 설정한다.

14.3.3.5 Error Detection

IO 핀을 통해 전송되는 문자의 오류를 감지하는 것이 가능하다

수신된 문자에 오류가 있으면 이를 상태 레지스터 $UxLS$ 에 기록하여 사용자에게 알려준다

오류의 종류는 Parity Error, Frame Error, Break Interrupt 세가지 이다.

수신 문자에서 오류 발생시 즉각적인 Error 시그널 전송을 통한 Character repetition 기능은 지원하지 않는다
 수신 문자 재전송은 Command 재전송을 통해 이루어지며 오류의 발생에 따른 조치들은 사용자 프로그램에 의존한다

13.4 Register Summery

Table 13-3 UART Register Summery

Bit No.	DLAB = 0 0x00	DLAB = 0 0x00	DLAB = 0 0x04	DLAB = 0 0x08	DLAB = X 0x08	DLAB = X 0x0C	DLAB = X 0x14	DLAB = 1 0x00	DLAB = 1 0x04
	Receiver Buffer Register	Transmitter Holding Register	Interrupt Enable Register	Interrupt Ident. Register	FIFO Control Register	Line Control Register	Line Status Register	Divisor Latch (LSB)	Divisor Latch (MSB)
	RBR	THR	IER	IIR	FCR	LCR	LSR	DLL	DLM
	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W
0	Data Bit 0	Data Bit 0	Enable Received Data Available Interrupt	"0" if Interrupt Pending	FIFO Enable	Word Length Select Bit 0	Data Ready	Bit 0	Bit 0
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt	Interrupt ID Bit 0	RCVR FIFO Reset	Word Length Select Bit 1	Overrun Error	Bit 1	Bit 1
2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt	Interrupt ID Bit 1	XMIT FIFO Reset	Number of Stop Bits	Parity Error	Bit 2	Bit 2
3	Data Bit 3	Data Bit 3	0	Interrupt ID Bit 2	0	Parity Enable	Framing Error	Bit 3	Bit 3
4	Data Bit 4	Data Bit 4	0	0	Reserved	Even Parity Select	Break Interrupt	Bit 4	Bit 4
5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity	Transmitter Holding Register	Bit 5	Bit 5
6	Data Bit 6	Data Bit 6	0	FIFOs Enabled	RCVR Trigger(LSB)	Set Break	Transmitter Empty	Bit 6	Bit 6
7	Data Bit 7	Data Bit 7	0	FIFOs Enabled	RCVR Trigger(MSB)	Divisor Latch Access Bit (DLAB)	Error in RCVR FIFO	Bit 7	Bit 7
<p>* DLAB = LCR[7](Divisor Latch Access Bit) * FIFO Control Register : - DLAB = 0 : Register Write - DLAB = 1 : Register Read * Address 0x10(0x30), 0x18(0x38), 0x1C(0x3C)는 16550 UART 표준과의 호환성을 위해 Reserved 되었다</p>									

13.5 Address Description

UART 0, 1 channel	0x8003_0000 / 0x8003_0020
UART 2, 3 channel	0x8004_0000 / 0x8004_0020
UART 4, 5 channel	0xA002_1000 / 0xA002_1020

13.6 Register Description

13.6.1 UART Channel Receiver Buffer Registers (UxRB)

Address : 0x00

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	R	Receive Buffer Data	-

* DLAB가 "0" 일 때 Access 가능하다.

13.6.2 UART Channel Transmitter Holding Registers (UxTH)

Address : 0x00

Bit	R/W	Description	Default Value
31: 8	W	Reserved.	-
7 : 0	W	Transmit Holding Data	-

* DLAB가 "0" 일 때 Access 가능하다.

13.6.3 UART Channel Interrupt Enable Registers (UxIE)

Address : 0x04

Bit	R/W	Description	Default Value
31: 3	R	Reserved.	-
2	RW	RLSIEN : Receiver Line Status Interrupt Enable bit 0 : Disable 1 : Enable	0
1	RW	THEIEN : Transmitter Holding Empty Interrupt Enable bit 0 : Disable 1 : Enable	0
0	RW	RDAIEN : Received Data Available Interrupt Enable bit 0 : Disable 1 : Enable	0

* DLAB가 "0" 일 때 Access 가능하다.

13.6.4 UART Channel Interrupt Identification Register (UxII)

Address : 0x08

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	R	FIFOST : FIFOs Enabled Status bit. 00 : not in FIFO mode 11 : FIFO mode	00
5 : 4	R	Reserved	0
3 : 0	R	INTID : UART Interrupt ID (Note, UART Interrupt Control Function)	0001

* DLAB가 "0" 일 때만 Read Mode로 Access 가능하다.

Table 13-4 UART Interrupt Control Function

Interrupt Identification Register				Priority Level	Interrupt Type	Interrupt Source	Interrupt Reset Condition
Bit 3	Bit 2	Bit 1	Bit 0				
0	0	0	1	-	None	None	-
0	1	1	0	Highest	Receiver Line Status	Overrun Error or Parity Error Framing Error or Break Interrupt	Reading the Line Status Register
0	1	0	0	Second	Received Data Available	Receiver Data Available or Trigger Level Reached	Reading the Receiver Buffer Register or the FIFO Drops Below the Trigger Level
1	1	0	0	Second	Character Timeout Indication	No Characters have been removed from or input to the RCVR FIFO during the last 4 Char. times, and there is at least 1 Char. in it during this Time	Reading the Receiver Buffer Register
0	0	1	0	Third	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR Register (if source of interrupt) or Writing into the Transmitter Holding Register

13.6.5 UART Channel FIFO Control Register (UxFC)

Address : 0x08

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	RW	RFTL : Receiver FIFO Trigger Level 00 : 1 Byte 01 : 4 Byte 10: 8 Byte 11 : 14 Byte	00
5 : 3	R	Reserved	-
2	RW	XFR : XMIT FIFO Reset XFR가 "1" 일 때, XMIT FIFO 내의 모든 데이터는 Reset 된다. 그러나 Shift Register 내의 데이터는 Reset 되지 않는다.	0
1	RW	RFR : RCVR FIFO Reset RFR가 "1" 일 때, RCVR FIFO 내의 모든 데이터는 Reset 된다, 그러나 Shift Register 내의 데이터는 Reset 되지 않는다.	0
0	RW	FIFOEN : FIFO Enable Bit 0 : 16450 UART Mode1 : Enables FIFO	0

* DLAB가 "0" 일 때는 Write Mode 이고, DLAB가 "1" 일 때는 Read Mode 이다.

13.6.6 UART Channel Line Control Register (UxLC)

Address : 0x0C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	RW	DLAB : Divisor Latch Access Bit DLAB이 "1" 일 때, Divisor Latch Registers의 Read/Write와 FIFO Control Register의 Read가 가능하다.	0
6	RW	SB : Set Break SB가 "1" 일 때, Serial Data Output에 Logic "0"이 출력된다. SB는 내부 Transmitter Logic에는 영향을 미치지 않으며, 단지 Serial Output에만 영향을 미친다.	0
5	RW	SP : Stick Parity 0 : Disables Stick Parity 1 : PEN, EPS, SP가 "1"일 때, Parity Bit "0" PEN, SP가 "1"이고, EPS가 "0" 일 때, Parity Bit "1"	0
4	RW	EPS : Even Parity Select 0 : Select Odd Parity 1 : Select Even Parity	0
3	RW	PEN : Parity Enable Bit 0 : Disables Parity 1 : Enables Parity	0
2	RW	STB : Number of Stop Bit 0 : 1 Stop bit 1 : 2 Stop bits(만약, WLS Bit에서 5 Bits/Character를 선택했다면, 1.5 Stop bits 을 갖는다.)	0
1 : 0	RW	WLS : Word Length Select 00 : 5 Bits/Character 01 : 6 Bits/Character 10 : 7 Bits/Character 11 : 8 Bits/Character	00

13.6.7 UART Smart Card Interface Register (UxSCI)

Address : 0x10

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	RW	Clock Enable 0: Clock Output Disable 1: Clock Output Enable CLK 핀으로 나가는 클럭 출력을 설정한다	0
6	R	Reserved	-
5	RW	IO Pin Input enable 0 : input disable 1 : input enable IO핀 으로 들어오는 문자를 수신할 때 설정한다 문자 송신을 하는 경우에도 설정 가능하다 이때는 IO pin 의 출력 신호가 입력되므로 전송 오류를 확인할 수 있다	0
4	RW	IO Pin output enable 0 : output disable 1 : output enable IO 핀을 통해 문자를 송신할 때 설정한다 IO 핀의 방향을 출력으로 설정하여 TX Buffer 에 저장된 값이 IO 핀을 통해 출력될 수 있다.	0
3 : 0	RW	Divider configuration 0000 : PCLK 0001 : PCLK/2 0010 : PCLK/4 0100 : PCLK/8 1000 : PCLK/16 스마트 카드로 전송되는 CLK 의 분주비를 설정한다. 동작 클럭이 UART 전용 클럭이면 UART 전용 클럭을 분주한다	00

13.6.8 UART Channel Line Status Register (UxLS)

Address : 0x14

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	R	EIRF : Error in RCVR FIFO FIFO 모드가 아닌 경우 EIRF는 항상 "0"이다. FIFO 모드에서 EIRF는 RCVR FIFO 내에서 OE, PE, FE, BI 중 어느 하나라도 "1"이 설정되면, "1"이 된다. EIRF는 만약 FIFO 내에 연속적인 에러가 없다면, LSR 레지스터를 읽었을 때 Clear("0")된다.	0
6	R	TEMP : Transmitter Empty FIFO 모드가 아닌 경우 TEMT는 Transmitter Holding Register (THR)와 Transmitter Shift Register(TSR)이 모두 Empty일 때 "1"이 된다. THR 또는 TSR에 데이터가 있으면 Clear된다. FIFO 모드에서는, TEMT는 Transmitter FIFO와 TSR이 모두 Empty일 때 "1"이 된다.	1
5	R	THRE : Transmitter Holding Register Empty FIFO 모드가 아닌 경우 THRE는 THR의 데이터가 TSR로 전송 되어 Empty가 되었을 때 "1"이 되며, THR에 전송을 위한 새로운 데이터를 쓸 수 있다. FIFO 모드에서는 Transmit FIFO가 Empty일 때 THRE가 "1"이 되며, 적어도 하나의 Byte라도 Transmit FIFO에 써지면 Clear된다. 만약 THRE interrupt(ETHREI) 가 "1"이고 THRE가 "1"이라면 Interrupt가 발생한다.	1
4	R	BINT : Break Interrupt : 수신되는 입력 데이터가 Full-word 전송 시간 동안 "0"일 때 BI는 "1"이 된다. Full-word 전송 시간은 Start, Data, Parity 그리고 Stop 비트 전송을 위한 전체 시간을 의미한다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용되며, BI가 발생했을 때 FIFO에는 "0"이 써진다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
3	R	FERR : Framing Error FE는 수신되는 입력 데이터가 유효한 Stop 비트를 가지지 않았을 때 "1"이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
2	R	PERR : Parity Error PE는 수신되는 입력 데이터가 LCR 레지스터에 의해 선택된 Parity 비트와 같지 않을 때 "1"이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
1	R	OERR : Overrun Error OE는, FIFO 모드가 아닌 경우, RBR 내의 데이터를 읽어가기 전에 새로운 데이터가 써진 경우 "1"이 된다. FIFO 모드에서는 FIFO가 Full 상태에서 Receiver Shift Register(RSR)에 새로운 Full-word가 들어왔을 때 "1"이 된다. 이 경우 RSR은 새로운 데이터로 계속 갱신이 되지만, FIFO로 전송은 되지 않는다. CPU가 LSR을 읽어 올 때 Clear 된다	0
0	R	DRDY : Data Ready DR은 수신된 데이터가 RBR 또는 FIFO에 써졌을 때 "1"이 된다. RBR 또는 FIFO 내의 모든 데이터가 CPU에 의해 읽혀졌을 때 Clear 된다.	0

13.6.9 UART Channel IrDA Control Register (UxIRC)

Address : 0x18

Bit	R/W	Description	Default Value
31: 6	R	Reserved.	-
5	RW	IrDA Rx Inversion	0
4	RW	IrDA Rx Enable	0
1	RW	IrDA Tx Inversion	0
0	RW	IrDA Tx Enable	0

13.6.10 UART Channel Divisor Latch LSB Register (UxDLL)

Address : 0x00

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	RW	Divisor Latch Least Significant Byte	0x00

* DLAB가 "1" 일 때 Access 가능하다.

13.6.11 UART Channel Divisor Latch MSB Register (UxDLM)

Address : 0x04

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	RW	Divisor Latch Most Significant Byte	0x00

* DLAB가 "1" 일 때 Access 가능하다.

13.6.12 UART Channel Divisor Latch Fractional Register (UxDLF)

Address : 0x1c

Bit	R/W	Description	Default Value
31: 6	R	Reserved.	-
5 : 0	RW	Divisor Latch Fractional Byte	0x00

* DLAB가 "1" 일 때 Access 가능하다.

13.6.13 UART Channel Interface Control Register (UxIFC)

Address : 0x1c

Bit	R/W	Description	Default Value
31: 6	R	Reserved.	-
5	RW	DMA Request Enable at Tx Data Empty	0
4	RW	DMA Request Enable at Rx Data Ready	0
3 : 2	R	Reserved	0
1 : 0	RW	Interface select 00 : UART 01 : ISO7816 10 : IRDA 11 : Reserved	00

* DLAB가 "0" 일 때 Access 가능하다.

14 DMA

14.1 Features

- AMBA AHB Specification 과 호환.
- 4 채널 지원. 각 채널 별로 DMA 전송이 가능하다
- 16 포트 DMA Request 지원.
DMAC 는 Peripheral 을 위한 16 포트의 DMA Request 신호를 제공하고 있다.
- Single Request 와 Burst Request 신호를 제공.
Peripheral 에게 제공되는 DMA Request 신호는 Single Request 와 Burst Request 신호 두 종류를 제공하며 두 가지 모두 사용할 수 있다.
- 4가지 DMA 전송 지원.
memory-to-memory, Memory-to-peripheral, peripheral-to-memory peripheral-to-peripheral 전송을 지원한다.
- Auto Reload 기능을 이용한 Scatter 와 Gather 기능을 지원한다.
- Linked list를 이용한 Scatter 와 Gather 기능을 지원한다.
- 채널별 Priority는 하드웨어로 고정되어 있다. 채널 0 가 가장 높은 Priority를 갖고 채널 7이 가장 낮은 Priority를 갖게 된다.
- 2개의 AHB Master를 내장하여 Multi Layer AHB Bus를 지원하고 있다.
- Programmable Burst Size를 제공하고 있다. 사용자는 DMA 전송의 효율성을 높이기 위하여 Burst Size를 설정한다. Burst Size는 Peripheral 안에 있는 FIFO 크기의 절반으로 설정하는 것이 일반적이다.
- 각 채널별로 4 Word FIFO를 내장하고 있다.
- 각 채널별로 분리된 DMA Error Interrupt 와 DMA Terminal Count Interrupt(전송 종료 인터럽트)를 가지고 있다.
- Interrupt Enable 비트 지원.
DMA Error Interrupt 와 DMA Terminal Count Interrupt(전송 종료 인터럽트)에 대한 Enable 비트를 가지고 있다.

14.2 Block Description

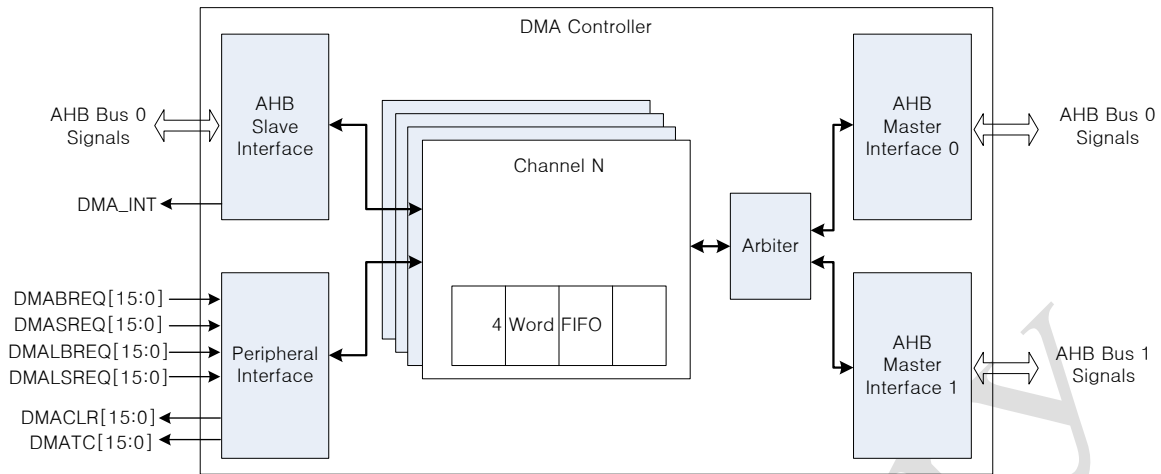


Figure 14-1 DMA Block Diagram

DMA 는 4 개의 채널을 가지고 있다. 각 채널은 Source Peripheral 에서 Destination Peripheral 로 전송되는 단 방향의 데이터 흐름을 제어하며 내부에 4x4 byte FIFO 를 내장하고 있다.

AHB Master Interface 는 채널로부터 들어오는 데이터의 전송 요청을 받아서 AHB Bus 에서 데이터 전송을 수행하는 역할을 한다. 내부에 2 개의 AHB Master Interface 가 내장되어 있어 서로 다른 버스에 연결할 수 있다. 그래서 Source Peripheral 과 Destination Peripheral 이 다른 버스에 연결되어 있더라도 둘 사이의 데이터 전송이 가능하다.

Arbiter 는 각 채널에서 발생하는 데이터 전송 요청을 우선순위에 따라 AHB Master Interface0 또는 AHB Master Interface1 에 전달하며 어느 AHB Master Interface 를 사용할 지는 요청되는 데이터의 Address 에 의해 결정된다.

AHB Slave Interface 는 채널마다 할당되어 있는 레지스터 등을 설정하고 인터럽트를 요청하는 역할을 한다.

Peripheral Interface 는 Peripheral 들이 요청하는 DMA Request 신호를 받아서 각 채널의 Peripheral Selection 비트에 의해 선택된 신호를 해당 채널로 전달하게 된다. 최대 16 개의 DMA Request 신호를 받을 수 있으며 채널 입장에서는 Source DMA Request 신호 와 Destination DMA Request 신호로 구분하여 2 개의 DMA Request 신호를 받을 수 있다

14.3 Functional Description

14.3.1 DMA Operation

- Transfer Hierarchy

DMA 전송은 그림 2 와 같은 3 단계의 계층 구조를 갖는다.

최상위 단계의 전송을 DMA Transfer 라 정의한다. DMA Transfer 전송은 DMA 가 전송하는 전체 데이터의 양을 의미하며 Control 레지스터에 있는 Transfer Size 로 전송량을 결정하게 된다.

차상위 단계 전송을 Burst Transaction 으로 정의한다. Burst Transaction 에서 전송하는 데이터의 양은 Control 레지스터에 있는 Burst Size 로 설정하게 되며 보통 Peripheral 들의 FIFO 크기에 맞추어 설정한다. 일반적인 Peripheral 들은 메모리처럼 필요한 모든 데이터를 한번에 전송하지 못하므로 Peripheral 내부의 FIFO 단위로 쪼개서 전송하게 된다. 한가지 주의할 사항은 여기서 설정하는 Burst size 가 AMBA Burst transfer 의 burst size 가 아니라는 점이다.

최하위 단계 전송은 AMBA Burst Transfer 이다. Burst Transaction 은 AMBA Burst Transfer 단위로 나뉘어진다. 이 단계의 전송에서 사용자가 설정하는 부분은 없으며 하드웨어적으로 관리된다.

사용자는 Burst Size 보다 적은 Transfer Size 값을 설정하는 것이 가능하다. 이러한 경우 Burst Transaction 은 설정된 Transfer size 양만 전송되며 DMA 전송이 종료된다.

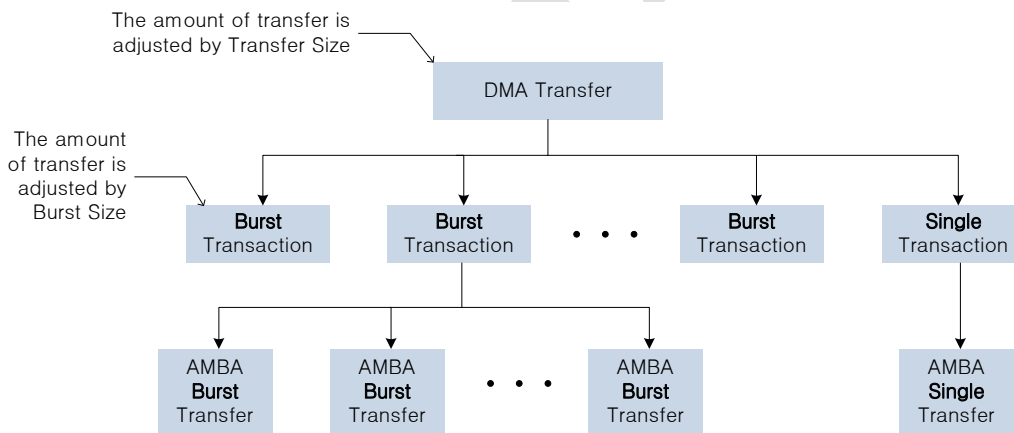


Figure 14-2 DMA Transfer hierarchy

- Transfer type

사용자는 DMA 설정에서 데이터 전송의 종류(Transfer type)를 지정해야 한다. Transfer Type 은 아래의 4 가지 중에 하나가 된다.

1. Memory to Memory
2. Memory to Peripheral
3. Peripheral to Memory
4. Source Peripheral to Destination Peripheral

Memory to Memory 의 의미는 Source Address 가 Memory 이고 Destination Address 도 Memory 로 지정한 경우를 말한다.

Memory to Peripheral 의 의미는 Source Address 는 Memory 이고 Destination Address 는 Peripheral 로 지정한 경우이다. 즉 메모리에 있는 데이터를 Peripheral 의 버퍼 등으로 옮기는 것을 뜻한다.

이렇게 사용자가 Transfer Type 을 지정하는 이유는 handshake 과정이 필요한지 아닌지를 DMA 에게 알려주기 위함이다. DMA 는 메모리가 아닌 Peripheral 과의 데이터 전송을 수행할 때에는 Handshake 방식으로 진행한다. 메모리가 아닌 Peripheral 들은 데이터 전송을 위한 준비 과정과 시간이 필요하며 데이터 전송량도 한정되어 있다. Handshake 방식은 Peripheral 이 데이터가 준비되었을 때만 DMAC 가 데이터를 전송하도록 유도하므로 필요한 방식이다. 하지만 Peripheral 이 메모리인 경우는 언제나 Access 가 가능하므로 이러한 handshake 과정은 필요하지 않다.

따라서 사용자는 Transfer type 을 지정하여 Peripheral 과의 데이터 전송에서 handshake 방식이 필요한지 아닌지를 알려주어야 한다.

- Flow Controller

Flow controller 란 DMA 전송량을 결정하는 모듈을 말한다. Flow Controller 는 DMAC 또는 Peripheral 중에 하나로 정해진다. 만약 DMAC 가 Flow controller 가 되면 DMA 전송량은 Transfer Size 에 설정된 값으로 결정된다.

또한 Peripheral 이 Flow Controller 역할을 할 수 있다. 이러한 경우 DMAC 는 Peripheral 의 Request 신호에 맞추어 데이터를 전송하게 하게 되며 Transfer size 에 설정된 값들은 무시된다. DMA 전송을 종료하기 위해서는 마지막 데이터를 요구할 때 Last Request 신호를 보내면 된다. DMAC 가 Last Request 신호를 받게 되면 마지막 요청에 대한 데이터 전송을 수행한 후에 DMA 전송이 종료된다.

14.3.2 Linked List Operation

- LLI

LLI(Linked List Item)는 DMA 전송을 위해 필요한 기본적인 정보들을 담고 있는 배열이다. LLI 가 담고 있는 내용은 Source Address, Destination Address, Next LLI Address, Control 정보 이렇게 4 가지 이다. Linked List Operation 은 DMAC 가 첫 번째 LLI 를 읽어서 내부 레지스터들을 갱신한 후 DMA 전송을 수행하고 종료되면 Next LLI 주소를 통해 다음 번 LLI 를 읽어 들이는 방식으로 동작한다. 아래의 그림은 LLI 의 구조를 설명하는 그림이다.

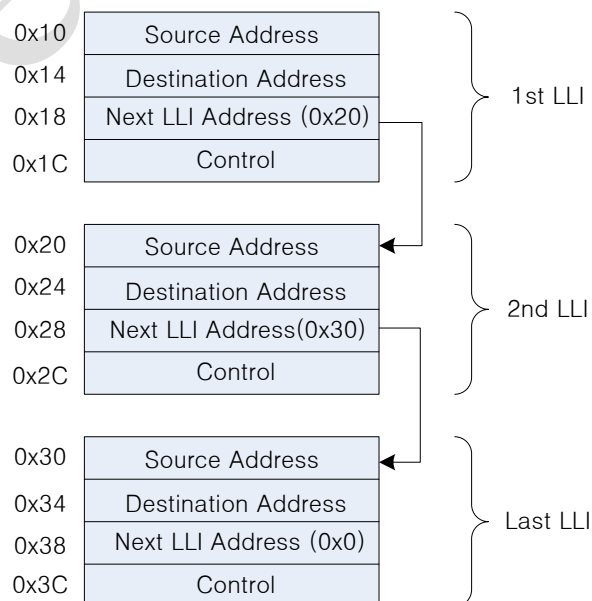


Figure 14-3 Linked list

마지막 LLI 는 항상 Next LLI Address 에 0x0 을 쓰도록 약속되어 있다. DMAC 는 Next LLI Address 가 0x0 임을 확인하면 현재 읽은 LLI 가 마지막임을 알게 된다. 그러므로 LLI 가 실제 주소 0x0 에 놓이면 수행되지 않으므로 주의해야 한다.

- **Multi Block Transfer**

LLI 로 기술되어 있는 데이터를 전송하는 경우를 Multi Block Transfer 라고 부르기도 한다. 즉 하나의 LLI 가 전송하는 데이터를 Block 이라고 정의하며 LLI 의 개수는 Block 의 개수가 된다. 또한 Block 사이즈는 각각의 LLI 에 포함된 Control 레지스터의 Transfer Size 로 정의된다. 아래의 그림은 Multi Block Transfer 에 대한 계층 구조를 보여주고 있다.

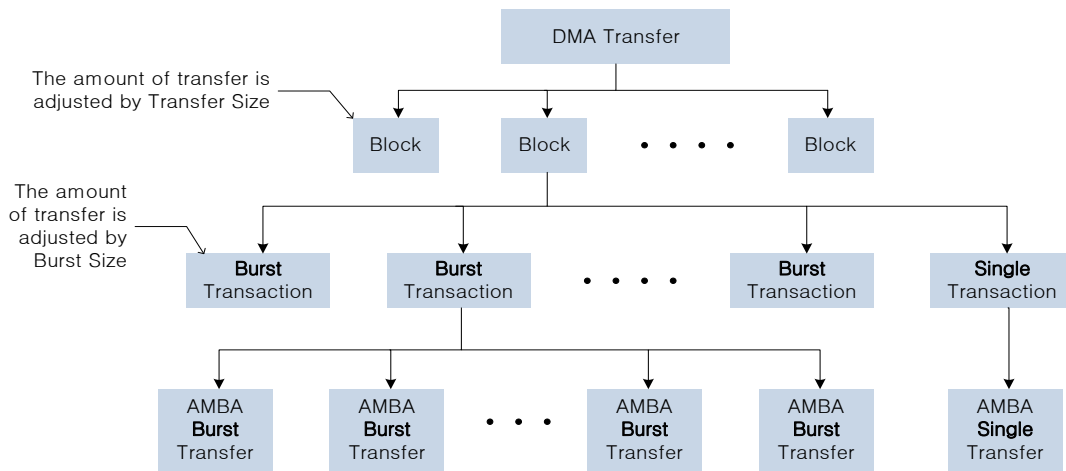


Figure 14-4 Multi Block Transfer

- **Scatter & Gather with Liked list**

Scatter 는 한 덩어리로 모여있는 데이터를 DMA 전송을 통하여 분산시키는 것을 의미하며 Gather 는 그 반대의 의미로써 흩어져있는 데이터를 한 군데로 모으는 것을 말한다. LLI 를 이용하면 Scatter 와 Gather 기능을 수행할 수 있다.

아래의 그림은 LLI 를 사용하여 Gather 기능을 수행하는 예를 보여준다. 예제의 LLI 의 내용은 그림처럼 사각형 형태로 저장된 데이터를 Peripheral 로 옮기는 Gather 작업을 수행하고 있다.

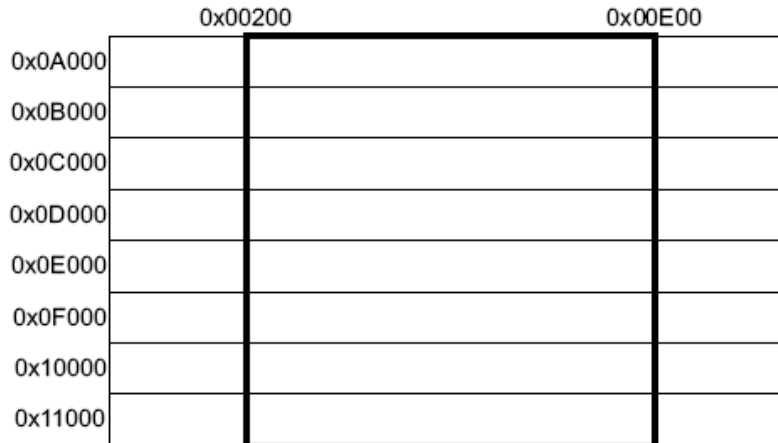


Figure 14-5 Gathering by using LLI

LLI 의 위치는 0x20000 에서 시작한다.

첫 번째 LLI 내용

Source Address: 0x0A200
 Destination Address: Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x20010

두 번째 LLI 내용

Source Address: 0x0B200
 Destination Address : Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x20020

⋮
 ⋮

마지막 LLI 내용

Source Address: 0x11200
 Destination Address: Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x0

14.3.3 Auto Reload Operation

Auto Reload Operation 의 기본 동작은 DMA 전송이 완료되었을 때 Control 레지스터를 다시 Reload 하여 DMA 전송을 반복하는 것이다. 반복 회수는 Auto Reload count 레지스터 값으로 정하게 된다. Auto Reload 가 1 회 발생할 때 Auto Reload Count 값이 1 씩 감소하며 0 이 되면 Auto Reload 는 발생하지 않는다. Auto Reload Operation 은 별도의 모드 설정이 없으며 DMA 전송이 완료되었을 때 Auto Reload Count 레지스터가 0 이 아니면 Auto Reload 를 수행하는 방식이다.

- Transfer Hierarchy

Auto Reload Operation 은 Linked List Operation 처럼 Multi Block Transfer 로 분류된다. Block 의 개수는 Auto Reload count + 1 이 되고 Block 의 데이터 전송량은 Transfer size 로 설정된다.

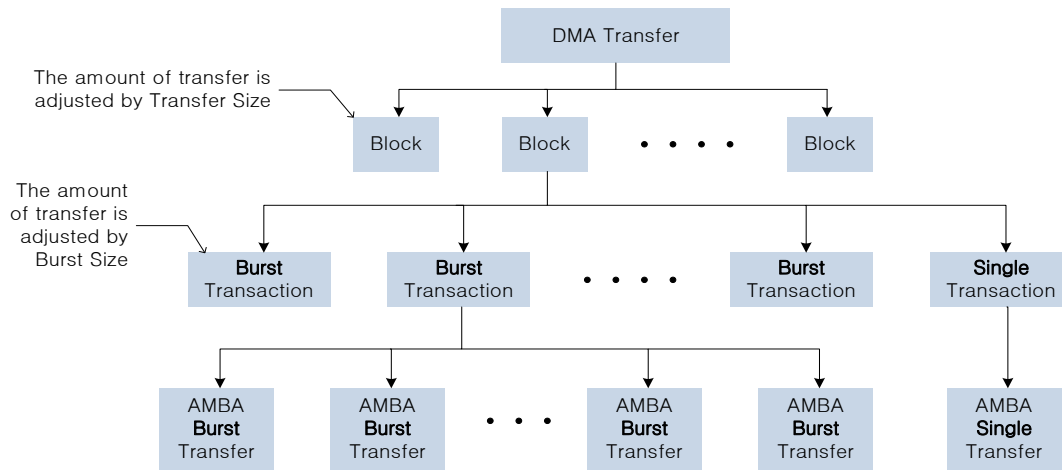


Figure 14-6 Auto Reload Operation Transfer Hierarchy

- Scatter with Auto reload

아래의 그림은 Auto Reload Operation 을 통하여 Scatter 기능을 보여주는 예제이다. Destination Scatter Address 는 Block 전송이 완료될 때마다 Destination Block 의 시작 주소를 일정 간격으로 띄우는 역할을 한다. 사용자는 이 레지스터를 통하여 Destination Block 간의 간격을 둠으로써 Scatter 기능을 구현하게 된다.

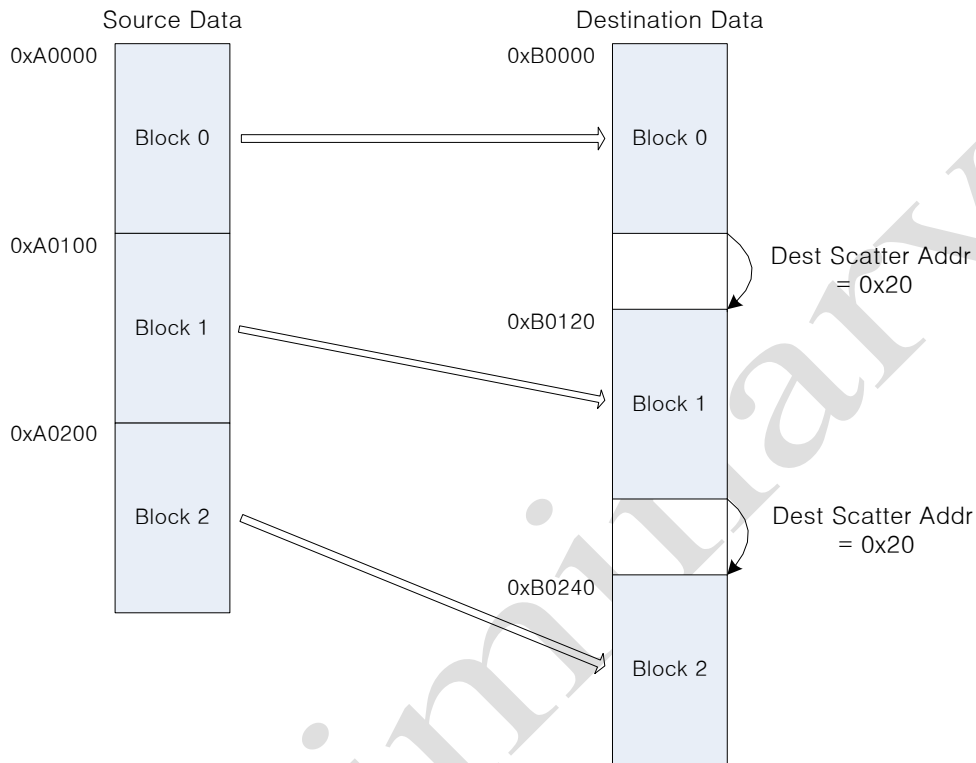


Figure 14-7 Scatter with Auto Reload Operation

레지스터 설정

Source Address: 0xA0000
 Destination Address: 0xB0000
 Source and Destination transfer width: 32bit
 Source and Destination burst Size: 4 burst
 Transfer Size: 0x40
 Auto Reload Count: 2
 Destination scatter Address: 0x20

- **Gather with Auto reload**

아래의 그림은 Auto Reload Operation 을 사용한 Gather 기능을 보여주는 예제이다. Source Gather Address 는 블록 전송이 완료될 때마다 Source 블록의 시작 주소를 일정 간격으로 띄우는 역할을 한다. 사용자는 이 레지스터를 통하여 Source Block 간의 간격을 둬으로써 Gather 기능을 구현하게 된다.

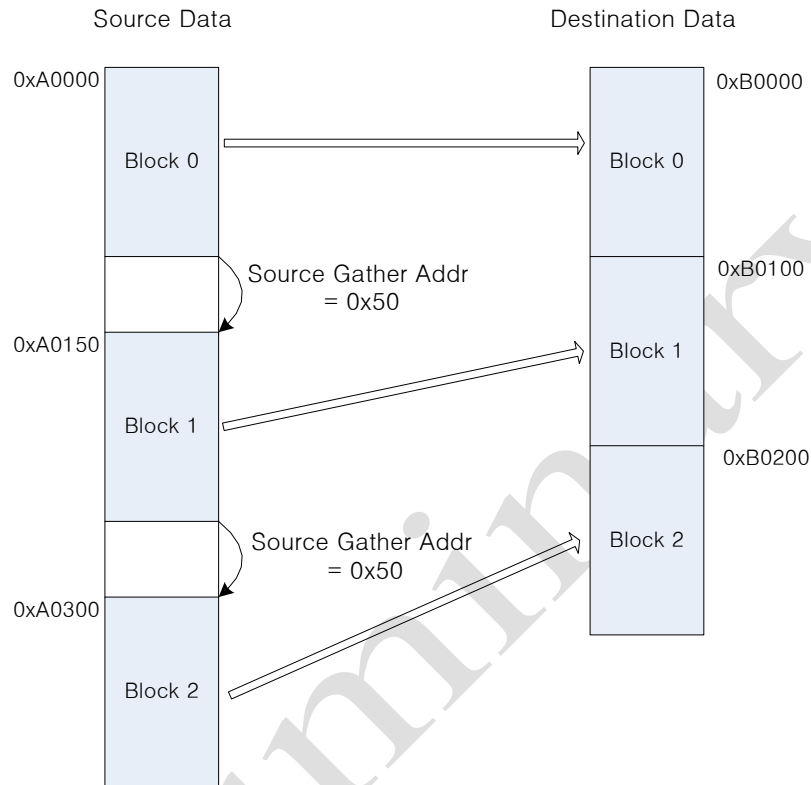


Figure 14-8 Gather with Auto Reload Operation

Register 설정

Source Address: 0xA0000
 Destination Address: 0xB0000
 Source and Destination transfer width: 32bit
 Source and Destination burst Size: 4 burst
 Transfer Size: 0x40
 Auto Reload Count: 2
 Source gather Address: 0x50

14.3.4 Peripheral Interface

- Hand Shake Signals

DMA Request 신호와 DMA Clear 신호는 DMA 가 메모리가 아닌 Peripheral 과의 데이터 전송에서 Handshake 방식으로 데이터를 전송하는 데 사용하는 신호이다.

DMA Request 신호는 Peripheral 이 DMAC 에게 데이터 전송을 요청할 때 사용하는 신호이며 4 가지가 있다. (아래의 그림 참조) Peripheral 은 이중 하나를 선택하여 Request 를 하며 동시에 여러 개를 Request 하는 것은 허용하지 않는다.

DMA Clear 신호는 DMA Request 신호에 대한 응답으로 DMAC 가 Peripheral 에 보내는 신호이다.

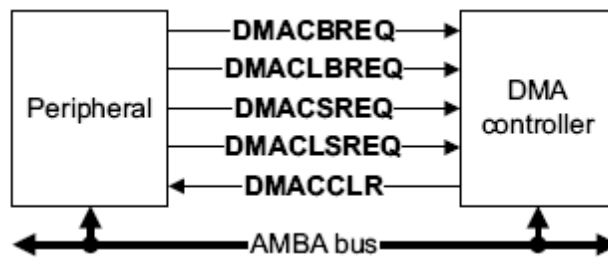


Figure 14-9 DMA Handshake Signals

- DMABREQ
Burst Request 신호. 이 신호가 Active 되면 DMAC 에 의해 Burst Transaction 이 발생하며 전송되는 데이터의 양은 Burst Size 에서 정해진다.
- DMASREQ
Single Request 신호. 이 신호는 Active 되면 DMAC 에 의해 Single Transaction 이 발생한다.
- DMALBREQ
Last Burst Request 신호. Peripheral 이 Flow Control 을 역할을 하도록 설정하였을 때 마지막 DMA Burst Request 신호임을 알리는 신호이다. DMALBREQ 신호가 Active 되면 마지막 Burst Transaction 이 발생하고 DMA 전송이 종료된다.
- DMALSREQ
Last Single Request 신호. Peripheral 이 Flow Control 을 역할을 하도록 설정하였을 때 마지막 DMA Single Request 신호임을 알리는 신호이다. DMALSREQ 신호가 Active 되면 마지막 Single Transaction 이 발생하고 DMA 전송이 종료된다.
- DMACLR
DMA Clear 신호. Peripheral 이 요청하는 4 가지 Request 신호를 inactive 시키는 신호이다.

- Time diagram of DMA Request

Peripheral 이 Request 를 보내면 DMAC 는 Program 된 Burst Size 만큼 데이터를 전송한 후에 DMA Clear 신호를 보내게 된다. 이때 모든 전송이 종료된 경우에는 DMATC(DMA Terminal Count: DMA 전송 종료) 신호도 동시에 Active 된다. 이 신호를 통하여 Peripheral 은 DMA 전송이 종료 되었는지 체크 할 수 있다.

Peripheral 이 DMA Clear (DMACLR)신호를 받게 되면 DMA Request 신호를 Inactive 상태로 만들게 된다. 만약 DMA Clear 신호가 오기 전에 Peripheral 스스로 DMA Request 신호를 Inactive 상태로 만들면 문제가 발생하게 된다. 또한 Next DMA Request 신호를 보낼 때에는 현재 DMA Clear 신호가 Inactive 상태일 때만 가능하다.

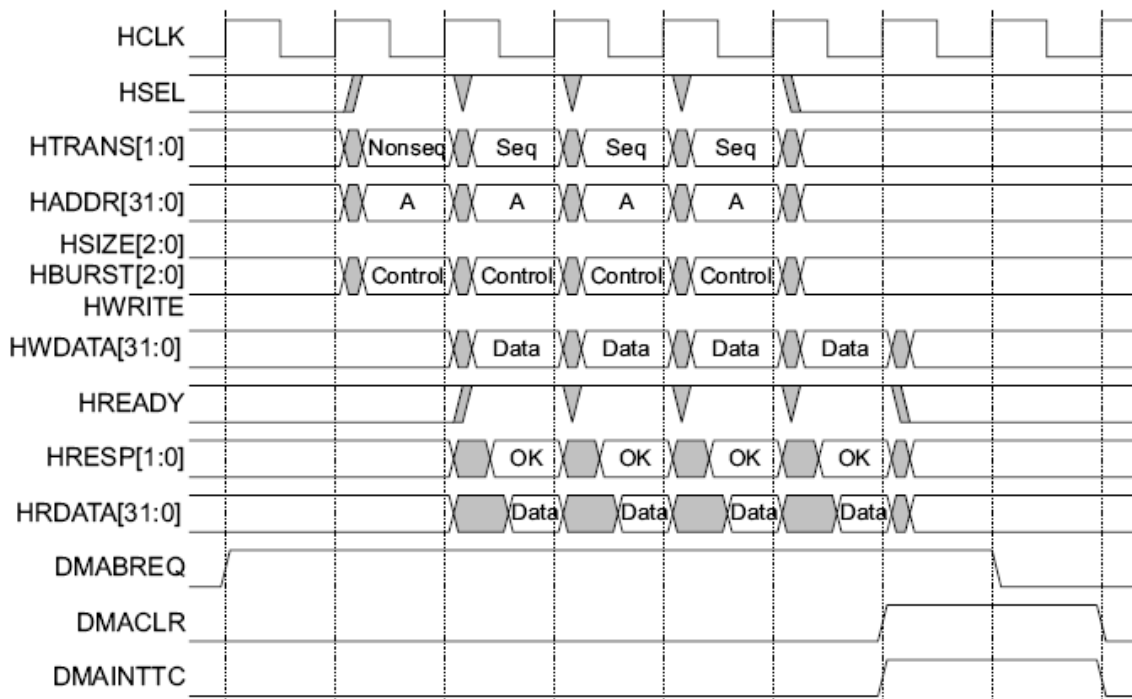


Figure 14-10 Time Diagram of DMA Request

14.4 Register Description

14.4.1 DMA Interrupt Status (DMAIntStatus)

Address: 8000_1400

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Interrupt Status of Channel 각 채널에서 발생할 수 있는 Interrupt의 발생 유무를 알려준다. ex) 0번 비트가 set 인 경우 0번 채널 인터럽트 발생 1번 비트가 set 인 경우 1번 채널 인터럽트 발생 인터럽트는 2종류가 있으므로 DMATCIS와 DMATCIC를 읽어서 인터럽트의 종류를 확인해야 한다.	0

14.4.2 DMA Terminal Count Interrupt Status (DMATCIntStatus)

Address: 8000_1404

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Terminal Count Interrupt Status of Channel 각 채널의 Terminal Count 인터럽트 발생 유무를 알려준다.	0

14.4.3 DMA Terminal Count Interrupt Clear (DMATCIntClr)

Address: 8000_1408

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Terminal Count Interrupt Clear 각 비트는 해당 채널의 Terminal count 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

14.4.4 DMA Error Interrupt Status (DMAErrorIntStatus)

Address: 8000_140C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Error Interrupt Status of Channel 각 채널의 DMA 전송 에러 인터럽트에 대한 발생 유무를 알려준다.	0

14.4.5 DMA Error Interrupt Clear (DMAErrorIntClr)

Address: 8000_1410

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Error Interrupt Clear 각 비트는 해당 채널의 DMA 전송 에러 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

14.4.6 DMA Block Interrupt Status (DMABlockIntStatus)

Address: 8000_1414

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Block Interrupt Status of Channel 각 채널의 DMA Block 인터럽트에 대한 발생 유무를 알려준다.	0

14.4.7 DMA Block Interrupt Clear (DMABlockIntClr)

Address: 8000_1418

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Block Interrupt Clear 각 비트는 해당 채널의 DMA Block 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

14.4.8 DMA Raw Terminal Count Interrupt Status (DMARawTCIntStatus)

Address: 8000_141C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Raw Terminal Count Interrupt Status of Channel Interrupt Enable 비트로 Disable 된 각 채널의 Terminal Count 인터럽트가 발생되었는지를 알려준다	0

14.4.9 DMA Raw Error Interrupt Status (DMARawErrorIntStatus)

Address: 8000_1420

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Error Interrupt Status of Channel Interrupt Enable 비트로 Disable 된 각 채널의 에러 인터럽트에 대한 발생 유무를 알려준다.	0

14.4.10 DMA Enabled Channel Status (DMAEnbldChn)

Address: 8000_1424

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Enabled Channel Status 각 비트는 해당 채널의 DMA 가 Enable 되어 있는지를 알려준다.	0

14.4.11 DMA Software Burst Request (DMASoftBReq)

Address: 8000_1428

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Burst Request 소프트웨어적으로 DMA Burst Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear 는 자동으로 이루어진다.	0

14.4.12 DMA Software Single Request (DMASoftSReq)

Address: 8000_142C

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Single Request 소프트웨어적으로 DMA Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

14.4.13 DMA Software Last Burst Request (DMASoftLBReq)

Address: 8000_1430

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Last Burst Request 소프트웨어적으로 DMA Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

14.4.14 DMA Software Last Single Request (DMASoftLSReq)

Address: 8000_1434

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Last Single Request 소프트웨어적으로 DMA Last Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Last Single Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

14.4.15 Channel Source Address Register (ChnSrcAddr)

Address: 8000_1500 / 8000_1520 / 8000_1540 / 8000_1560
8000_1580 / 8000_15A0

Bit	R/W	Description	Default Value
31 : 0	RW	Source Address 각 채널의 Source Address를 설정하는 레지스터이다. 또한 설정된 값은 Source transfer Width에 따라 Align이 맞아야 한다. Source Address는 채널에서 데이터 전송이 진행됨에 따라 자동으로 증가한다. 그래서 이 레지스터는 언제나 앞으로 전송해야 할 데이터의 Address를 지시하고 있게 된다. 하지만 해당 채널이 동작중인 상태에서 이값을 읽는 것은 의미가 없다. 왜냐하면 프로그램이 Read 하는 순간 에도 채널은 계속 진행하고 있기 때문이다. 다만 해당 채널이 종료된 후 이 레지스터를 체크하면 읽어야 할 데이터가 모두 읽었는지는 확인해볼 수 있다.	0

14.4.16 Channel Destination Address Register (ChnDstAddr)

Address: 8000_1504 / 8000_1524 / 8000_1544 / 8000_1564
8000_1584 / 8000_15A4

Bit	R/W	Description	Default Value
31 : 0	RW	<p>Destination Address</p> <p>각 DMA 채널의 Destination Address를 설정하는 레지스터이다. 또한 설정된 값은 Destination transfer Width에 따라 Align이 맞아야 한다. Destination Address는 채널에서 데이터 전송이 진행됨에 따라 자동으로 증가한다. 그래서 이 레지스터는 언제나 앞으로 전송되는 데이터가 저장되는 주소를 지시하고 있게 된다.</p> <p>하지만 채널이 동작 중인 상태에서 이 값을 읽는 것은 의미가 없다. 왜냐하면 프로그램이 Read 하는 순간 해당 채널은 계속 진행되고 있기 때문이다. 다만 채널이 종료된 후 이 레지스터를 체크하면 읽어야 할 데이터가 모두 읽었는지는 확인해 볼 수 있다.</p>	0

14.4.17 Channel Linked List Item Register (ChnLLI)

Address: 8000_1508 / 8000_1528 / 8000_1548 / 8000_1568
8000_1588 / 8000_15A8

Bit	R/W	Description	Default Value
31 : 2	RW	<p>Linked List Item Address</p> <p>각 DMA 채널의 첫 번째 Linked List Item 이 위치한 곳의 시작 주소를 지정하는 레지스터이다. 이 레지스터가 0x0이 아닌 값으로 설정되고 채널이 Enable 되면 DMAC는 이 주소에 위치한 첫 번째 Linked List Item 을 Load 하여 내부 레지스터들을 갱신하고 Linked List Operation을 수행한다.</p> <p>Default Value는 Linked List Operation이 수행하지 않는다.</p>	0
1 : 0	R	Reserved	0

14.4.18 Channel Control Register (ChnCntrl)

Address: 8000_150C / 8000_152C / 8000_154C / 8000_156C
8000_158C / 8000_15AC

Bit	R/W	Description	Default Value								
31 : 30	R	Reserved	-								
29	RW	<p>Destination Increment</p> <p>설정되면 Destination 어드레스가 데이터 전송에 따라 자동으로 증가한다</p>	0								
28	RW	<p>Source Increment</p> <p>설정하게 되면 Source 어드레스가 데이터 전송에 따라 자동으로 증가한다</p>	0								
26 : 24	RW	<p>Destination transfer width</p> <table border="0"> <tr> <td>000 : 8bit</td> <td>100 : Reserved</td> </tr> <tr> <td>001 : 16bit</td> <td>101 : Reserved</td> </tr> <tr> <td>010 : 32bit</td> <td>110 : Reserved</td> </tr> <tr> <td>011 : Reserved</td> <td>111 : Reserved</td> </tr> </table> <p>Destination 측 data width를 설정하는 비트이다. Source transfer width와 다르게 설정하는 것이 가능하다.</p> <p>만약 Destination transfer width < Source transfer width 인 경우 Transfer size 설정에 주의한다. (Program Consideration 참조)</p>	000 : 8bit	100 : Reserved	001 : 16bit	101 : Reserved	010 : 32bit	110 : Reserved	011 : Reserved	111 : Reserved	0
000 : 8bit	100 : Reserved										
001 : 16bit	101 : Reserved										
010 : 32bit	110 : Reserved										
011 : Reserved	111 : Reserved										
23	R	Reserved									
22 : 20	RW	<p>Source transfer width</p> <table border="0"> <tr> <td>000 : 8bit</td> <td>100 : Reserved</td> </tr> <tr> <td>001 : 16bit</td> <td>101 : Reserved</td> </tr> </table>	000 : 8bit	100 : Reserved	001 : 16bit	101 : Reserved	0				
000 : 8bit	100 : Reserved										
001 : 16bit	101 : Reserved										

		010 : 32bit 110 : Reserved 011 : Reserved 111 : Reserved Source 에서 전송하는 data width를 설정하는 비트이다.	
19	R	Reserved	
18 : 16	RW	Destination burst size 000 : 1 100 : 32 001 : 4 101 : 64 010 : 8 110 : 128 011 : 16 111 : 256 Destination 측 Peripheral 에서 수행하는 Burst Transaction 의 크기를 지정한다. AHB Burst Size와 유사하나 그것을 포함하는 상위 레벨의 Transaction 이다. (Transfer Hierarchy 참조) Destination이 Memory인 경우에도 동일한 Burst size로 접근한다.	0
15	R	Reserved	
14 : 12	RW	Source burst size 000 : 1 100 : 32 001 : 4 101 : 64 010 : 8 110 : 128 011 : 16 111 : 256 Source측 Peripheral에서 수행하는 Burst Transaction의 크기를 지정한다 AHB Burst Size와 유사하나 그것을 포함하는 상위 레벨의 Transaction 이다. (Transfer Hierarchy 참조) Source가 Memory인 경우에도 동일한 Burst Size로 접근한다.	0
11 : 0	RW	Transfer Size DMAC가 Flow Control 역할을 할 때 DMA 채널이 전송하는 데이터의 전체 양을 의미한다. 전송 단위는 Byte가 아니고 Source Transfer Width 가 된다. 즉 전체 전송량을 계산식은 다음과 같다 $(\text{Transfer size}) \times (\text{source transfer width})$ 이 값은 사용자가 설정한 값에서 데이터 전송이 수행 될 때마다 1씩 줄어들게 되고 0 이 되면 DMA 전송이 종료된다. 따라서 DMA 전송 중에 이 값을 읽게 되면 앞으로 전송 종료까지 남은 데이터의 양을 확인할 수 있다. DMAC 가 Flow Controller 가 아닌 경우 이 값은 무시되지만 Program에 서는 이 값을 0으로 설정해야 한다.	000

14.4.19 Channel Configuration Register (ChnCfg)
Address: 8000_1510 / 8000_1530 / 8000_1550 / 8000_1570
8000_1590 / 8000_15B0

Bit	R/W	Description	Default Value																											
31 : 22	R	Reserved	0																											
21	RO	FIFO Active 0 : 해당 채널의 FIFO 내에 데이터가 비어있음 1 : 해당 채널의 FIFO 내에 데이터가 남아있음	-																											
20	RW	Halt 0 : enable DMA request 1 : ignore DMA request. 사용자는 이 비트를 사용하여 FIFO에 아무런 데이터도 남기지 않고 깨끗하게 DMA 채널을 Disable 할 수 있다.	0																											
19	RW	Lock 이 비트를 설정하면 Locked transfer를 수행하게 된다	0																											
18	RW	Block Interrupt Enable Multi Block Transfer 전송에서 Block 전송을 끝냈을 때 발생하는 인터럽트에 대한 Enable 비트이다. Block Interrupt 가 발생하면 DMA는 Block Interrupt가 Clear 될 때까지 Next Block 전송을 진행하지 않는다.	0																											
17	RW	Terminal count interrupt Enable DMA 전송 종료 인터럽트에 대한 Enable 비트이다..	0																											
16	RW	Interrupt error Enable DMA Error 인터럽트에 대한 Enable 비트이다.	0																											
15	R	Reserved	0																											
14 : 12	RW	Flow Control <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>Value</th> <th>Transfer type</th> <th>Flow controller</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>Memory-to-Memory (Default)</td> <td>DMA</td> </tr> <tr> <td>001</td> <td>Memory-to-Peripheral</td> <td>DMA</td> </tr> <tr> <td>010</td> <td>Peripheral-to-Memory</td> <td>DMA</td> </tr> <tr> <td>011</td> <td>Source peripheral-to-destination peripheral</td> <td>DMA</td> </tr> <tr> <td>100</td> <td>Source peripheral-to-destination peripheral</td> <td>Dst. Peri.</td> </tr> <tr> <td>101</td> <td>Memory-to-Peripheral</td> <td>Peripheral</td> </tr> <tr> <td>110</td> <td>Peripheral-to-Memory</td> <td>Peripheral</td> </tr> <tr> <td>111</td> <td>Source peripheral-to-Destination peripheral</td> <td>Src. Peri.</td> </tr> </tbody> </table> <p>This bit determines both Transfer type and Flow Controller.</p>	Value	Transfer type	Flow controller	000	Memory-to-Memory (Default)	DMA	001	Memory-to-Peripheral	DMA	010	Peripheral-to-Memory	DMA	011	Source peripheral-to-destination peripheral	DMA	100	Source peripheral-to-destination peripheral	Dst. Peri.	101	Memory-to-Peripheral	Peripheral	110	Peripheral-to-Memory	Peripheral	111	Source peripheral-to-Destination peripheral	Src. Peri.	0
Value	Transfer type	Flow controller																												
000	Memory-to-Memory (Default)	DMA																												
001	Memory-to-Peripheral	DMA																												
010	Peripheral-to-Memory	DMA																												
011	Source peripheral-to-destination peripheral	DMA																												
100	Source peripheral-to-destination peripheral	Dst. Peri.																												
101	Memory-to-Peripheral	Peripheral																												
110	Peripheral-to-Memory	Peripheral																												
111	Source peripheral-to-Destination peripheral	Src. Peri.																												
11 : 8	RW	Destination Peripheral 16 개의 DMA Request 중 하나를 선택하는 비트이다. DMA request peri 사용 결정은, 4. System Controller 4.4.21 DMA Request Selection Register(DMARSR) 설정에 의해 결정 된다. 0000 : dma 0 req 0001 : dma 1 req 0010 : dma 2 req 0011 : dma 3 req 0100 : dma 4 req 0101 : dma 5 req 1101 : dma 13 req 1110 : dma 14 req 1111 : dma 15 req	0																											
7 : 4	RW	Source Peripheral 16 개의 DMA Request 중 하나를 선택하는 비트이다. DMA request peri 사용 결정은, 4. System Controller 4.4.21 DMA Request Selection Register(DMARSR) 설정에 의해 결정 된다. 0000 : dma 0 req 0001 : dma 1 req 0010 : dma 2 req 0011 : dma 3 req 0100 : dma 4 req 0101 : dma 5 req 1101 : dma 13 req 1110 : dma 14 req 1111 : dma 15 req	0																											
3 : 1	R	Reserved	0																											
0	RW	Channel Enable 채널을 활성화 시키는 비트이다. 사용자가 DMA 전송을 시작하기 위해	0																											

		<p>이 비트를 Set 하게 되면 설정한 대로 데이터 전송이 시작되고 모든 전송이 완료되면 자동으로 Clear 된다.</p> <p>Auto Clear 조건은 다음과 같다.</p> <ul style="list-style-type: none"> - 일반 DMA 전송의 완료 - Linked List Operation 완료 - Auto Reload Operation 완료 - Error 발생에 의한 종료 <p>사용자는 활성화 되어 있는 채널을 강제로 종료할 수도 있다. 강제 종료는 Enable 비트를 clear 하면 된다. 하지만 채널 FIFO에 남아있는 데이터는 사라지게 된다.</p>	
--	--	--	--

14.4.20 Channel Source Gather Address Register (ChnSrcGaAddr)

Address: 8000_1514 / 8000_1534 / 8000_1554 / 8000_1574
8000_1594 / 8000_15B4

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	RW	Auto Reload Source Address	
		이 비트가 설정되면 Auto Reload 발생시 Source Address 가 초기 설정했던 Source Address로 Reload 된다.	
15 : 0	RW	Source Gather Address	0
		Auto Reload가 수행될 때 Source Address에 Source Gather Address 가 더해진다.	

14.4.21 Channel Destination Scatter Address Register (ChnDstScaAddr)

Address: 8000_1518 / 8000_1538 / 8000_1558 / 8000_1578
8000_1598 / 8000_15B8

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	RW	Auto Reload Destination Address	
		Auto Reload가 수행될 때 Destination Address 가 초기 설정했던 값으로 Reload 된다.	
15 : 0	RW	Destination Scatter Address	0
		Auto Reload가 수행될 때 Destination Address에 Destination Scatter Address가 더해진다.	

14.4.22 Channel Auto Reload Count Register (ChnAutoReloadCnt)

Address: 8000_151C / 8000_153C / 8000_155C / 8000_157C
8000_159C / 8000_15BC

Bit	R/W	Description	Default Value
31 : 22	R	Reserved	-
21	RW	Uncountable Auto Reload	
		설정하게 되면 Auto Reload Count의 값과 상관없이 Auto Reload가 무제한 이루어진다.	
20 : 0	RW	Auto Reload Count	0
		사용자는 이곳에 Auto Reload 회수를 설정하여 DMA 전송을 반복한다. Auto Reload count는 설정된 값에서 Block 전송이 완료되었을 때 (Transfer Size가 0이 되었을 때) 1씩 줄어들며 Auto reload count가 0이 되면 Auto Reload Operation이 종료된다.	

14.5 Program Guide

14.5.1 Summary of Register

Name	Address	Type	Description
DMAIntStatus	0x000	R	DMA Interrupt Status
DMATCIntStatus	0x004	R	DMA Terminal Count Interrupt Status
DMATCIntClr	0x008	W	DMA Terminal Count Interrupt Clear
DMAErrorIntStatus	0x00C	R	DMA Error Interrupt Status
DMAErrorIntClr	0x010	W	DMA Error Interrupt Clear
DMABlockIntStatus	0x014	R	DMA Block Interrupt Status
DMABlockIntClr	0x018	W	DMA Block Interrupt Clear
DMARawTCIntStatus	0x01C	R	DMA Raw Terminal Count Interrupt Status
DMARawErrorIntStatus	0x020	W	DMA Raw Error Interrupt Status
DMAEnbldChns	0x024	R	DMA Enabled Channels
DMASoftBReq	0x028	RW	DMA Software Burst Request
DMASoftSReq	0x02C	RW	DMA Software Single Request
DMASoftLBReq	0x030	RW	DMA Software Last Burst Request
DMASoftLSReq	0x034	RW	DMA Software Last Single Request
ChnSrcAddr	0x100	RW	Channel Source Address
ChnDestAddr	0x104	RW	Channel Destination Address
ChnLLI	0x108	RW	Channel Linked List Item
ChnCntrl	0x10C	RW	Channel Control
ChnCfg	0x110	RW	Channel Configuration
ChnSrcGaAddr	0x114	RW	Channel Source Gather Address
ChnDestScatAddr	0x118	RW	Channel Destination Scatter Address
ChnAutoReloadCnt	0x11C	RW	Channel Auto Reload Count

14.5.2 Programming Sequence

- **DMA Operation (Memory to Memory)**
- 사용할 채널을 선택
- 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
- 해당 채널의 Destination Address 설정 (ChnDstAddr 레지스터)
- 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntrl 레지스터)
- 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntrl 레지스터)
- 해당 채널의 Transfer size(DMA 전송량)를 설정 (ChnCntrl 레지스터)
- 해당 채널을 Enable 함 (ChnCfg 레지스터)
- 전송 완료를 확인 (DMAEnbldChns 레지스터)
- 종료

- **DMA Operation (Memory to Peripheral)**
- 사용할 채널을 선택
- 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
- 해당 채널의 Destination Address 설정, Peri의 주소 (ChnDstAddr 레지스터)
- 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntrl 레지스터)
- 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntrl 레지스터)
- 해당 채널의 Transfer size(DMA 전송량)를 설정 (ChnCntrl 레지스터)
- 해당 채널의 Transfer Type 지정 (ChnCfg 레지스터)
- 해당 채널을 Enable 함 (ChnCfg 레지스터)
- 전송 완료를 확인 (DMAEnbldChns 레지스터)

- 종료

- **Linked List Operation (Memory to Memory)**
 Linked List Item은 미리 준비되어 있다고 가정한다.
 1. 사용할 채널을 선택
 2. 첫 번째 LLI 의 주소를 지정 (ChnLLI 레지스터)
 3. 해당 채널을 Enable 함 (ChnCfg 레지스터)
 4. 전송 완료를 확인 (DMAEnbldChns 레지스터)
 5. 종료

- **Auto Reload Operation Program (Memory to Memory)**
 - 사용할 채널을 선택
 - 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
 - 해당 채널의 Destination Address 설정 (ChnDstAddr 레지스터)
 - 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntrl 레지스터)
 - 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntrl 레지스터)
 - 해당 채널의 DMA 전송량을 지정 (ChnCntrl 레지스터)
 - 해당 채널의 Auto Reload Count 설정 (ChnAutoReloadCnt 레지스터)
 - 해당 채널을 Enable 함 (ChnCfg 레지스터)
 - 전송 완료를 확인 (DMAEnbldChns 레지스터)
 - 종료

14.5.3 Program Consideration

사용자 프로그램은 다음과 같은 고려 사항을 반영되어야 한다.

1. 채널이 Enable된 후에는 채널의 레지스터들을 변경하지 말아야 한다. 채널이 Enable되면 DMA 전송이 진행 중이므로 전송 도중 레지스터 값 변경은 문제를 발생시킬 수 있다. 따라서 사용자가 채널의 레지스터들을 변경 하기 위해서는 채널이 Disable 상태인지 확인한 후에 설정해야 한다.
2. Source transfer width 가 Destination transfer width 보다 작은 경우 DMA 전송량은 Destination transfer width 의 배수가 되도록 설정해야 한다. 왜냐하면 DMA 전송량은 Source측에서 Read하는 데이터의 양(Source width x Transfer size)으로 계산되는데 DMA 전송량이 Destination width x N으로 되지 못하면 Destination으로 Write하는 데이터 양이 부족하거나 남을 수 있기 때문이다.
3. Linked List Item은 0x0 번지에 위치할 수 없다.

15 SPI (SERIAL PERIPHERAL INTERFACE)

adLuna 에 내장된 2CH SPI 는 동기 직렬 버스를 통해 외부의 장치나 다른 CPU 와 데이터 교환을 한다.

고속 SPI 전송을 위해 8Bytes 의 FIFO 를 내장하여 Mbps 속도의 전송에서도 CPU 에 부담을 주지 않고 수행할 수 있다.

adLuna 의 SPI 는 Master Mode 와 Slave Mode 를 모두 지원한다.

15.1 Features

- Full duplex mode. Three-wired synchronous Transfer
- Master or Slave Operation
- Programmable clock polarity and phase
- End of transmission interrupt flag
- Write collision flag protection
- Master-master mode fault protection capability
- 8Bytes FIFO

15.2 Block Diagram

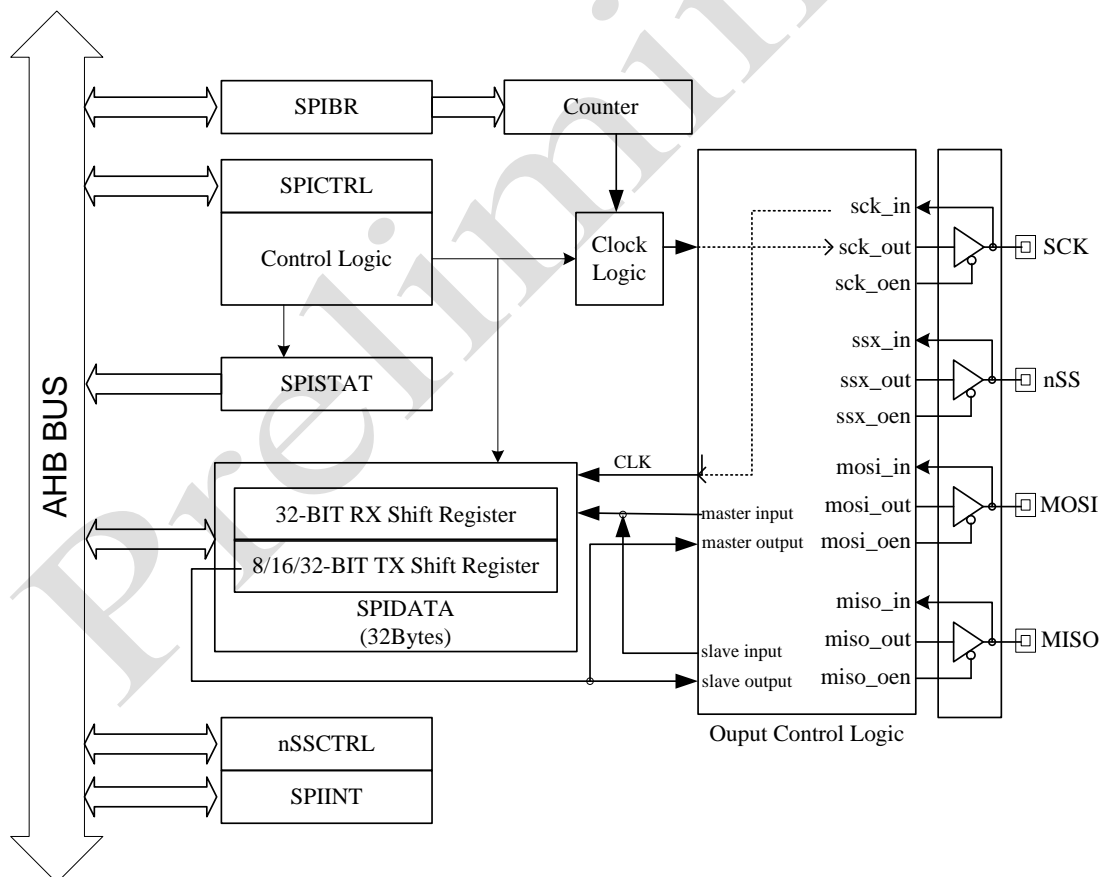


Figure 15-1 SPI Block Diagram

15.3 Functional Description

클럭 제어 회로에서 클럭의 극성 선택과 두 개의 클럭 프로토콜의 선택을 통해서 대부분의 동기 직렬 주변 장치와의 호환이 이루어진다. SPI 가 Master 로 설정되면 소프트웨어적으로 256 개의 다양한 시리얼 클럭을 만들 수 있다.

SPI 는 데이터 전송 동작과 데이터 수신 동작이 동시에 이루어진다. 두 시리얼 데이터 라인에서 정보의 샘플링(sampling)과 쉬프팅(shifting)은 시리얼 클럭 라인에 의해 동기 된다. Slave SPI 디바이스의 개별적인 선택은 Slave 선택 라인을 통해 할 수 있다. 선택되지 않은 Slave 디바이스는 SPI 버스의 동작에 영향을 주지 않는다. Master SPI 디바이스에서는 Slave 선택 라인은 다중 Master 버스 충돌을 나타내는데 사용될 수 있다.

에러검출 회로는 프로세서끼리의 연결을 위해 사용된다. 전송 동작 중에 시리얼 쉬프터 레지스터에 데이터를 쓰게 되면 쓰기 충돌이 발생한다. 다중 Master 모드 실패 검출은 한 개 이상의 CPU 가 동시에 버스 Master 가 되려고 시도할 때 출력 드라이버를 disable 시킨다.

15.3.1 SPI Pins

SPI 에는 MISO, MOSI, SCK, nSS, 네 개의 양방향 핀이 있다. SPI 컨트롤 레지스터의 WOMP 비트가 각각의 핀의 출력 동작에 대해 Open Drain 출력 이나 CMOS 출력을 결정하게 된다.

SPI 컨트롤 레지스터의 MSTR 비트에 의해 Master 또는 Slave 동작이 결정되고 이에 따라 핀의 동작이 결정된다

Table 15-1 SPI Pin Functions

<i>Pin Name</i>	<i>Mode</i>	<i>Function</i>
Master in, slave out(MISO)	Master	Provides serial data input to the SPI
	Slave	Provides serial data output from the SPI
Master out, slave in (MOSI)	Master	Provides serial output from the SPI
	Slave	Provides serial input to the SPI
serial clock(SCK)	Master	Provides clock output from the SPI
	Slave	Provides clock input to the SPI
Slave select(nSS)	Master	Output : Selects slave devices
	Slave	Input : chip select for SPI

15.3.2 SPI Operating Modes

SPI 는 Master 나 Slave 모드에서 동작한다. Master 모드는 CPU 가 데이터 전송을 주관할 경우에 사용된다. Slave 모드는 외부 디바이스에 의해 CPU 에 시리얼 전송이 이루어지는 경우에 사용된다. 컨트롤 레지스터의 MSTR 비트에 의해 Master 나 Slave 동작이 선택된다.

Master Mode

SPICTRL 의 MSTR 비트를 설정하면 Master 모드 동작이 선택된다. Master 모드에서는 시리얼 전송을 초기화 할 수 있고 외부에서의 초기화된 전송에 응답하지 않는다.

Master 모드에서는 MISO 핀이 시리얼 데이터 입력으로 사용되고 MOSI 핀은 시리얼 데이터 출력으로 사용된다. 특정한 응용 분야에 따라 하나 또는 둘 다 필요할 수 있다.

SPI 를 Master 모드에서 사용하려면 다음 과정을 거쳐야 한다.

1. SPICTRL 레지스터에 BAUD, CPHA, CPOL, SIZE, MSBF, WOMP 의 값을 할당한다
2. Master 동작을 위해 MSTR 비트 설정한다.
3. Set SPIEN bit to enable SPI.
4. SPI 을 enable 하도록 SPIEN 비트를 설정한다.
5. Slave 디바이스를 enable 한다.
6. 전송을 시작하기 위해 적당한 데이터를 SPIDATA 레지스터에 쓰기를 한다.
7. SPI 는 전송이 끝나면 SPISTAT 레지스터의 SPIF 플래그를 HW 적으로 설정한다. SPIF 가 인가되면 인터럽트 요청이 발생된다. SPIF 가 설정되어 있는 상태에서 SPISTAT 레지스터를 읽고 SPIDATA 레지스터에 쓰기 나 읽기 동작이 일어나면 SPIF 플래그는 자동적으로 클리어 된다.

데이터 전송은 내부에서 만든 시리얼 클럭(SCK)에 동기 된다. SPICTRL 레지스터의 CPHA 와 CPOL 비트들은 클럭의 위상과 극성을 제어한다. CPU 가 MOSI 핀에서 데이터를 보내는 SCK edge 와 MISO 핀을 통해 들어오는 데이터의 latch 하는 SCK edge 는 CPHA 와 CPOL 에 의해 결정된다.

Slave Mode

SPICTRL 레지스터의 MSTR 비트를 "0"으로 설정하면 Slave 모드로 동작한다. Slave 모드에서는, SPI 는 시리얼 전송을 초기화 할 수 없다. 전송은 외부 버스 Master 에 의해 초기화 된다. Slave 모드는 특히 다중 Master SPI 버스에서 사용된다. 주어진 시간에 단 하나의 디바이스만이 버스 Master 가 될 수 있기 때문이다.

Slave 모드에서는 시리얼 데이터 출력을 위해 MISO 핀이 사용되고, 시리얼 데이터 입력을 위해 MOSI 핀이 사용된다. 특정한 응용분야에 따라서 둘 다 또는 하나의 핀만 필요하다. SCK 는 입력 시리얼 클럭 이다. nSS 가 인가되면 Slave 로 선택된다.

데이터 전송을 위해 데이터 레지스터에 쓰기를 한다. Slave 모드에서는 SCK, MOSI, and nSS 는 입력이고 MISO 는 출력이 된다.

CPHA, CPOL, SIZE, MSBF, WOMP 의 설정을 위해 컨트롤 레지스터에 값을 쓴다. MSTR 비트 클리어 함으로써 Slave 동작을 선택한다. SPIEN 를 설정하여 SPI 를 enable 시킨다. Slave 모드의 디바이스에서는 BAUD 의 값은 SPI 동작에 영향을 미치지 않는다.

SPIEN 가 설정되고 MSTR 이 클리어 되면, nSS 핀 입력의 “Low” 상태가 Slave 모드 동작을 초기화 한다. nSS 핀 은 오로지 입력으로만 사용된다.

데이터의 바이트나 워드 전송 후에 SPI 는 SPIF 플래그를 설정한다. 컨트롤 레지스터의 SPIE 비트가 설정되어 있으면, SPIF 가 인가되면 인터럽트요청이 발생한다.

전송은 외부에서 발생한 SCK 에 동기 된다. CPHA 와 CPOL 은 Slave CPU 가 MOSI 핀을 통해 들어오는 데이터를 래치 하거나 MISO 핀을 통해 나가는 데이터의 클럭의 Edge 를 결정한다.

15.3.3 Data Transfer Timing

CPHA='0'이고 MSB 시작인 모드에서 1Byte 데이터 전송 타이밍도를 보여준다. SCK 의 두개의 형태의 파형을 나타나 있다. 하나는 CPOL 인 '0'인 경우이고 다른 하나는 CPOL 이 '1' 인 경우이다. 이 타이밍도는 Master 와 Slave 가 SCK, MISO 와 MOSI 핀으로 직접 연결되어 있으므로 Master 타이밍도 또는 Slave 타이밍도로 볼 수 있다. MISO 신호는 Slave 에서의 출력이고 MOSI 신호는 Master 의 출력 신호이다. nSS 신호는 Slave 로의 칩 선택 신호이다.

Master 일 때 SPDR 에 데이터를 쓰면 전송이 초기화 된다. Slave 는 nSS 가 falling edge 일 때 전송을 초기화 한다. SCK 신호는 첫 번째 SCK cycle 의 반주기까지 inactive 상태로 남아있다. 전송 완료를 나타내는 SPIF 비트는 8 번째 SCK cycle 의 끝에서 set 된다. CPHA='0'일 때는 nSS 가 low 였다가 1 바이트 전송 후 짧은 시간 내에 Inactive (High)된다. Slave 는 nSS 가 low 일 때 data register 에 값을 write 하면 write collision error 가 발생한다.

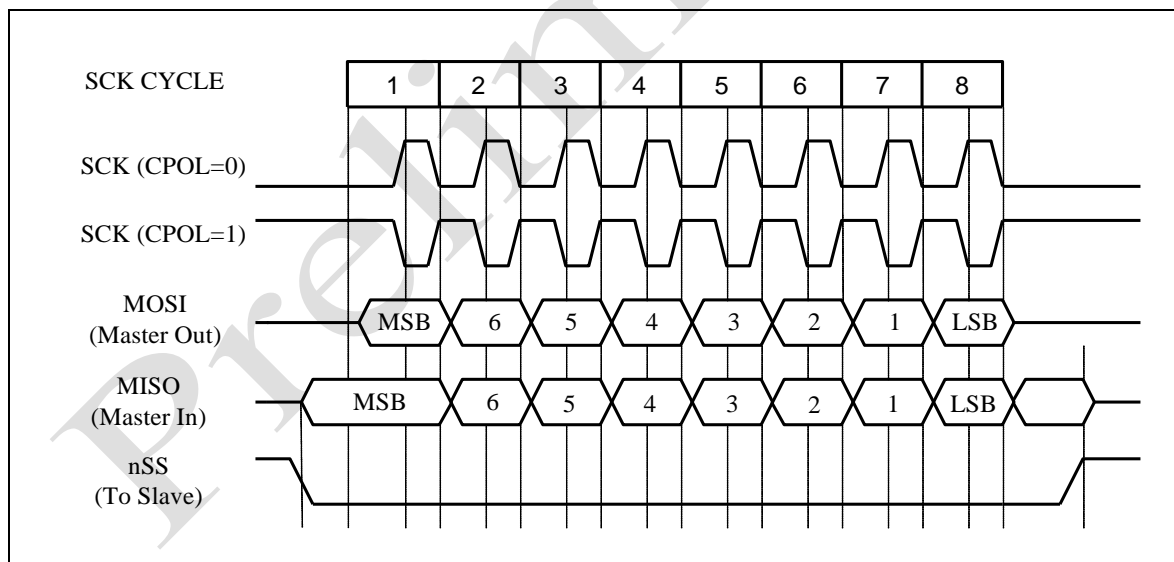


Figure 15-2 Transfer Timing when CPHA = '0'

CPHA='1'인 경우의 전송 타이밍도 이다. SCK 는 마지막 8 번째 cycle 의 반주기 에서 inactive 된다. SPIF 비트는 8 번째 SCK cycle 의 종단에서 set 된다. 8 번째 SCK cycle 의 중간주기에서 마지막 edge 가 생기기 때문에 Slave 는 8 번째 SCK cycle 의 중간에서 마지막 데이터를 sample 한 후에 수신 완료한다. nSS 는 1Byte 전송 마치고 어느 정도 시간 동안 충분히 low 를 유지한다. 따라서 CPU 가 전송 상태를 Polling 하여 연속으로 전송하는 경우에는 계속 low 상태를 유지하게 된다.

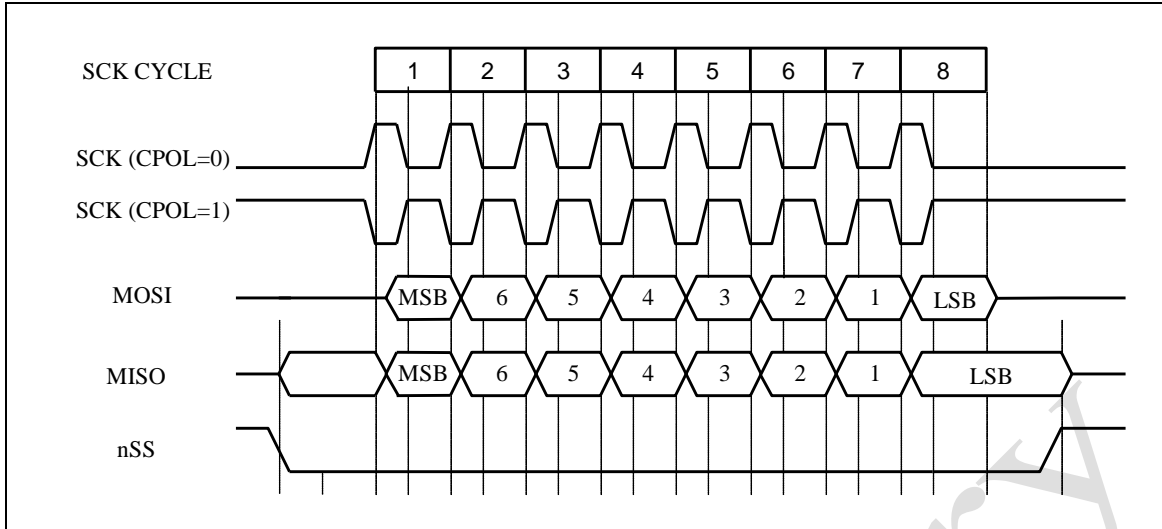


Figure 15-3 Transfer Timing when CPHA = '1'

15.3.4 SCK Phase and Polarity Control

컨트롤 레지스터의 두 개의 비트가 SCK 의 위상과 극성을 결정한다. 클럭 극성(CPOL) 비트는 클럭의 극성 (High or Low)을 선택한다. 클럭 위상 비트 CPHA 는 전송 타이밍에 영향을 주는 두 가지 전송 형태 중 하나를 선택한다. 클럭의 위상과 극성은 Master 와 Slave 모두 동일하여야 한다. 어떤 경우에는 전송 사이에 위상과 극성을 바꾸어 Master 디바이스가 Slave 디바이스와 다른 조건으로 데이터를 주고 받을 수도 있다. SPI 의 이러한 유연성은 거의 모든 동기 시리얼 주변장치와의 직접적인 연결을 가능하게 한다.

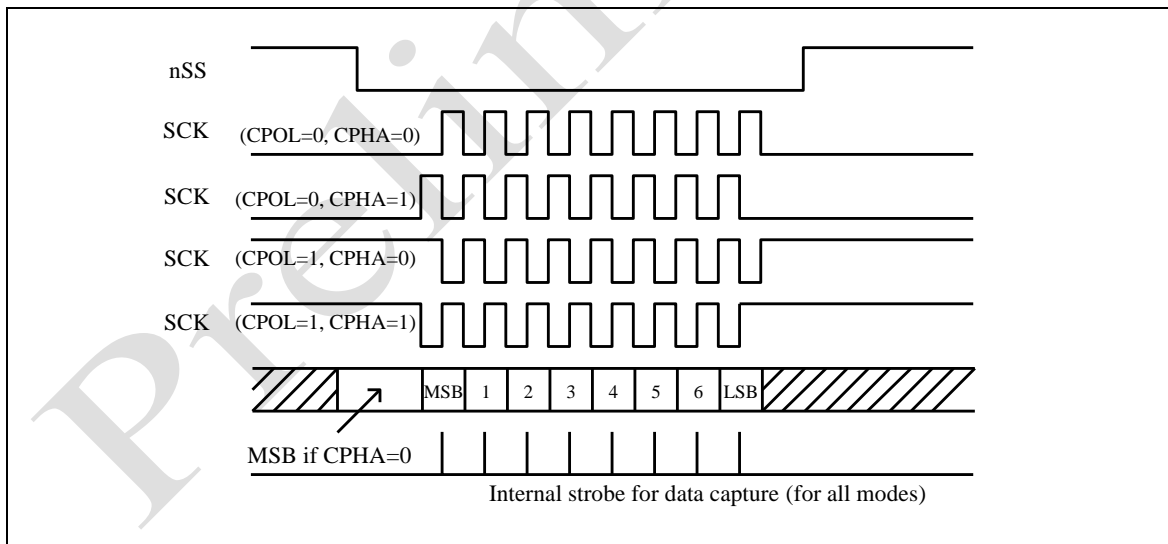


Figure 15-4 SCK Phase and Polarity

15.3.5 SPI Serial Clock Baud Rate

SPI Baud rate 는 SPBR 레지스터에 1 에서 255 까지의 값을 저장하여 설정할 수 있다. Slave Mode 에서의 외부 SPI Master 가 제공하는 SCK 를 받아들이기 때문에 SPIBRR 레지스터의 값의 설정에 영향을 받지 않는다. 그러나 Slave Mode 에서 동작할 수 있는 최대 속도는 System Clock 에 영향을 받는다.

$$\text{SCK Baud Rate} = \frac{f_{AHB_clk}}{2 \times (\text{SPIBR} + 1)}$$

or

$$\text{SPIBR} = \frac{f_{AHB_clk}}{2 \times \text{SCKBaudRate}} - 1$$

15.3.6 Open-Drain Output for Wired-OR

Multiple SPI Master 가 아니면 SPI 버스 출력이 Open-Drain 을 지원할 필요는 없다. Open-Drain 출력이 필요할 경우 SPICTRL 레지스터의 WOMP 비트를 설정하여 Open-Drain 출력을 제공하도록 할 수 있다. Open-Drain 으로 설정할 경우 각각의 출력 라인에 반드시 pull-up 저항을 달아야 한다

15.3.7 Transfer Size and Direction

SPICTRL 레지스터의 SPISIZE 비트는 전송크기 8/16/32 비트를 선택한다. SPICTRL 레지스터의 MSBF 비트는 데이터 전송의 시작을 MSB(MSBF=1)나 LSB 부터 하도록 한다

15.3.8 Write Collision

전송 진행 중에 SPIDATA 레지스터에 쓰기를 시도하면 쓰기충돌이 발생한다

15.3.9 MODE Fault

SPI system 이 Master 로 설정되고, nSS signal input line 이 assert 되었을 때, mode fault error 가 발생하면, SPISTAT 의 MODF bit 이 set 된다. Master device 만 MODF 를 발생시킬 수 있으며, 다른 SPI device 가 master 가 되려고 할 때 발생한다.

15.3.10 Interrupt

SPIF Interrupt

FIFO 에 저장된 데이터와 TX Shift 레지스터가 모두 비워지면 발생하고, SPI 전송이 완료되었음을 의미한다. SPI 전송이 완료되었음을 확인할 수 있는 Interrupt 이다.

MODF Interrupt

Mode fault 가 일어나면 발생한다. Mode fault 란 여러 개의 Master 가 존재하는 경우 둘 이상의 Master 가 데이터를 전송하는 경우를 말한다.

nSS Interrupt

nSS port 신호를 감지하여 변화가 생기면 발생한다.

TX_FIFO_FULL, TX_FIFO_EMPTY, RX_FIFO_FULL, RX_FIFO_EMPTY

- TX_FIFO_FULL: 8Byte의 내부 FIFO 가 모두 채워졌음을 의미한다. 이 상태에서 TX FIFO에 데이터를 더 채우게 되면, 잘못된 데이터 전송이 이루어진다.
- TX_FIFO_EMPTY: TX FIFO에 채워졌던 데이터가 모두 전송 되었음을 의미한다. 그러나 아직 TX Shift 레지스터가 비워지지 않았기 때문에 SPI 전송이 완료된 것은 아니다.
- RX_FIFO_FULL: RX_FIFO가 모두 채워졌음을 의미한다.
- RX_FIFO_EMPTY: RX_FIFO 가 모두 비워졌음을 의미한다.

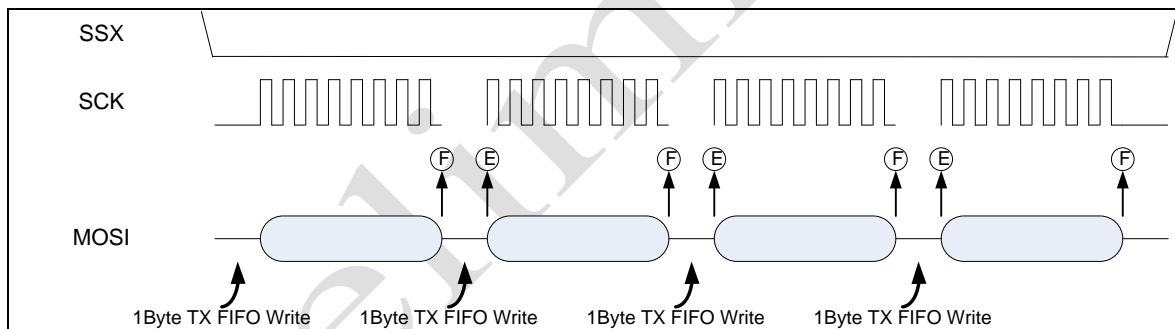


Figure 15-5 1-Byte Transfer vs. Status and Interrupt

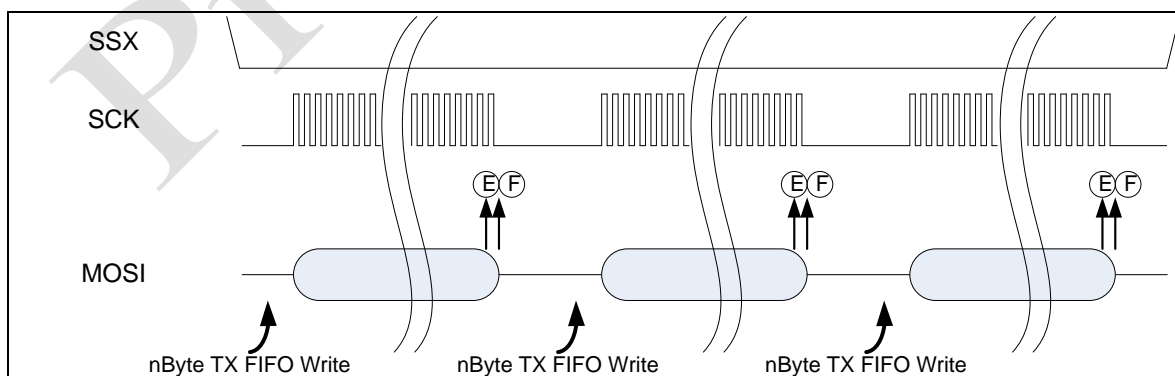


Figure 15-6 n-Bytes Transfer vs. Status and Interrupt

15.4 Register Description

SPI 0 Channel	0x8000_1800
SPI 1, channel	0x8000_2800

15.4.1 SPI Control Register (SPICTRL)

Address : 0x00

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	SPIEN : SPI Enable 0 : SPI is disabled. 1 : SPI is enabled	0
6	R/W	WOMP : Wired-OR Mode for SPI Pins 0 : Outputs have normal CMOS drivers. 1 : Open-drain drivers	0
5	R/W	MSTR : Master/Slave Mode Select 0 : Slave operation 1 : Master operation	0
4	R/W	CPOL : Clock Polarity 0 : The inactive state value of SCK is logic level zero 1 : The inactive state value of SCK is logic level one. ※ Warning Mode Supported : CPOL=0, CPHA=0 (00mode), CPOL=1, CPHA=1 (11mode). Not Supported : CPOL=0, CPHA=1 (01mode), CPOL=1, CPHA=0 (10mode).	0
3	R/W	CPHA : Clock Phase 0 : Data captured on the leading edge of SCK and changed on the trailing edge of SCK. 1 : Data is changed on the leading edge of SCK and captured on the trailing edge of SCK. ※ Warning Mode Supported : CPOL=0, CPHA=0 (00mode), CPOL=1, CPHA=1 (11mode). Not Supported : CPOL=0, CPHA=1 (01mode), CPOL=1, CPHA=0 (10mode).	0
2	R/W	MSBF : Most Significant Bit First 0 : Serial data transfer starts with LSB. 1 : Serial data transfer starts with MSB.	0
1 : 0	R	Reserved	0

15.4.2 SPI Baud Rate Register (SPIBR)

Address : 0x04

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	R/W	Serial Clock Baud Rate $SCK = \frac{f_{AHB_clk}}{2 \times (SPIBR + 1)}$ Master Mode SCK ≤ AHB Clock / 2 Slave Mode SCK ≤ AHB Clock / 4	0xFF

15.4.3 SPI Status Register (SPISTAT) Address : 0x08

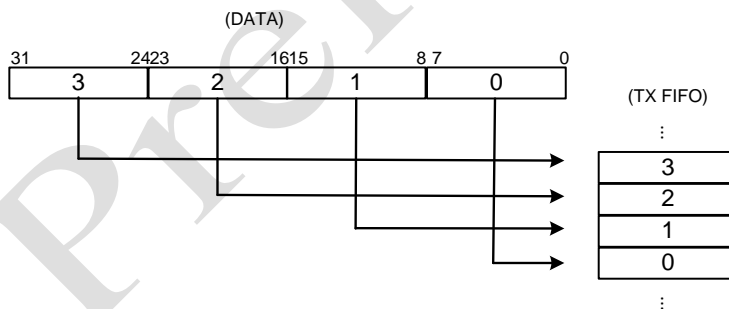
Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	SPIF : SPI Finished Flag 0 : SPI is not finished. 1 : SPI is finished.	0
6	R	WCOL : Write Collision 0 : No attempt to write to the SPDR happened during the serial transfer. 1 : Write collision occurred.	0
5	R	MODF : Mode Fault Flag 0 : Normal operation 1 : Another SPI node requested to become the network SPI master while the SPI was enabled in master mode	0
4	R	nSS : Slave Select Flag 0 : Current Value of nSS port is low 1 : Current Value of nSS port is high	0
3	R	STXF : TX FIFO Full Status bit 0 : FIFO_TX is not full 1 : FIFO_TX is full	0
2	R	STXE : TX FIFO Empty Status bit 0 : FIFO_TX is not empty 1 : FIFO_TX is empty	0
1	R	SRXF : RX FIFO Full Status bit 0 : FIFO_RX is not full 1 : FIFO_RX is full	0
0	R	SRXE : RX FIFO Empty Status bit 0 : FIFO_RX is not empty 1 : FIFO_RX is empty	0

15.4.4 SPI Data Register (SPIDATA) Address : 0x0C

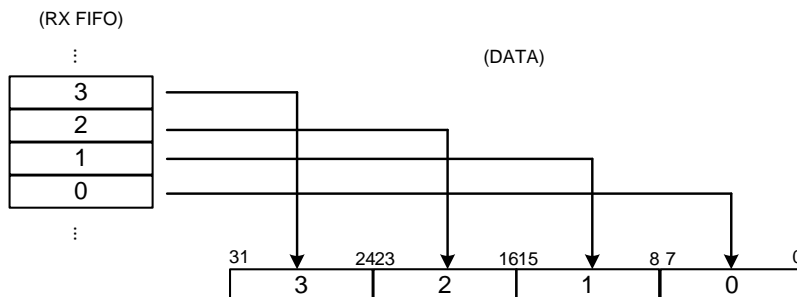
Bit	R/W	Description	Default Value
31 : 0	R/W	SPI Data At 8-bit transfer mode - MSB of Data is SPDR[7] LSB of Data (received or transmit) is SPDR[0] in any transfer mode	0x0000_0000

- At 32-bit transfer Mode Process

- TX

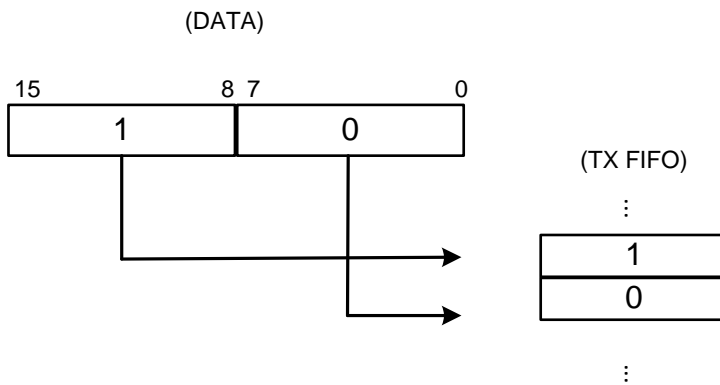


- RX



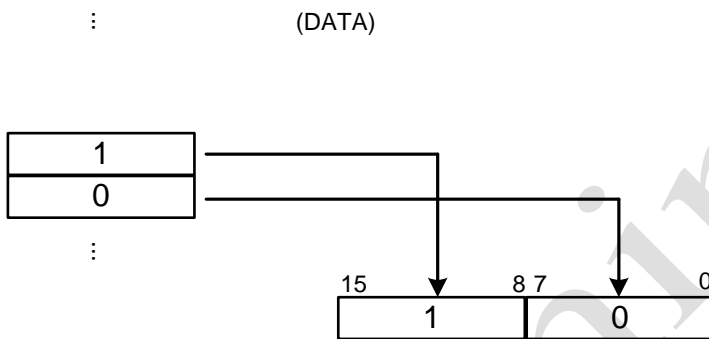
- At 16-bit transfer Mode Process

- Tx



- Rx

(RX FIFO)



15.4.5 SPI nSS Control Register (nSSCTRL)

Address : 0x10

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	RW	nSSCON : nSS Output Level	1

15.4.6 SPI Interrupt Mask Register (SPIINT)

Address : 0x14

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	RW	SPIFE : SPIF Interrupt en/disable SPIF Interrupt occurs when transfer has completed. 0 : SPIF interrupt is disabled 1 : SPIF is enabled	0
6	RW	MODFE : MODFI Interrupt en/disable MODFI Interrupt occurs when two more master use data line. 0 : MODFI interrupt is disabled 1 : MODFI is enabled	0
5	R	Reserved	0
4	RW	nSSEN : nSS Interrupt en/disable nSS Interrupt occurs when nSS signal has changed. 0 : nSS Interrupt is disabled 1 : nSS Interrupt is enabled	0
3	RW	STXFE : FIFO_TX_FULL Interrupt en/disable FIFO_TX_FULL Interrupt occurs when FIFO_TX is full 0 : FIFO_TX_FULL Interrupt is disabled 1 : FIFO_TX_FULL Interrupt is enabled	0
2	RW	STXEE : FIFO_TX_EMPTY Interrupt en/disable FIFO_TX_EMPTY Interrupt occurs when FIFO_TX is empty 0 : FIFO_TX_EMPTY Interrupt is disabled 1 : FIFO_TX_EMPTY Interrupt is enabled	0
1	RW	SRXFE : FIFO_RX_FULL Interrupt en/disable FIFO_RX_FULL Interrupt occurs when FIFO_RX is full 0 : FIFO_RX_FULL Interrupt is disabled 1 : FIFO_RX_FULL Interrupt is enabled	0
0	RW	SRXEE : FIFO_RX_EMPTY Interrupt en/disable FIFO_RX_EMPTY Interrupt occurs when FIFO_RX is empty 0 : FIFO_RX_EMPTY Interrupt is disabled 1 : FIFO_RX_EMPTY Interrupt is enabled	0

16 TWI (TWO WIRED INTERFACE)

adLuna 은 범용 TWI 버스와 인터페이스를 위해 2CH TWI 제어를 내장한다. TWI 는 SCL 과 SDA 신호를 가진다.

16.1 Features

- Master transmitter mode
- Master receive mode
- Slave transmitter mode
- Slave receive mode
- Software programmable clock frequency
- Software programmable acknowledge bit
- Interrupt driven data-transfers
- Start/Stop/Repeated Start/Acknowledge generation
- Multi master operation

16.2 Block Diagram

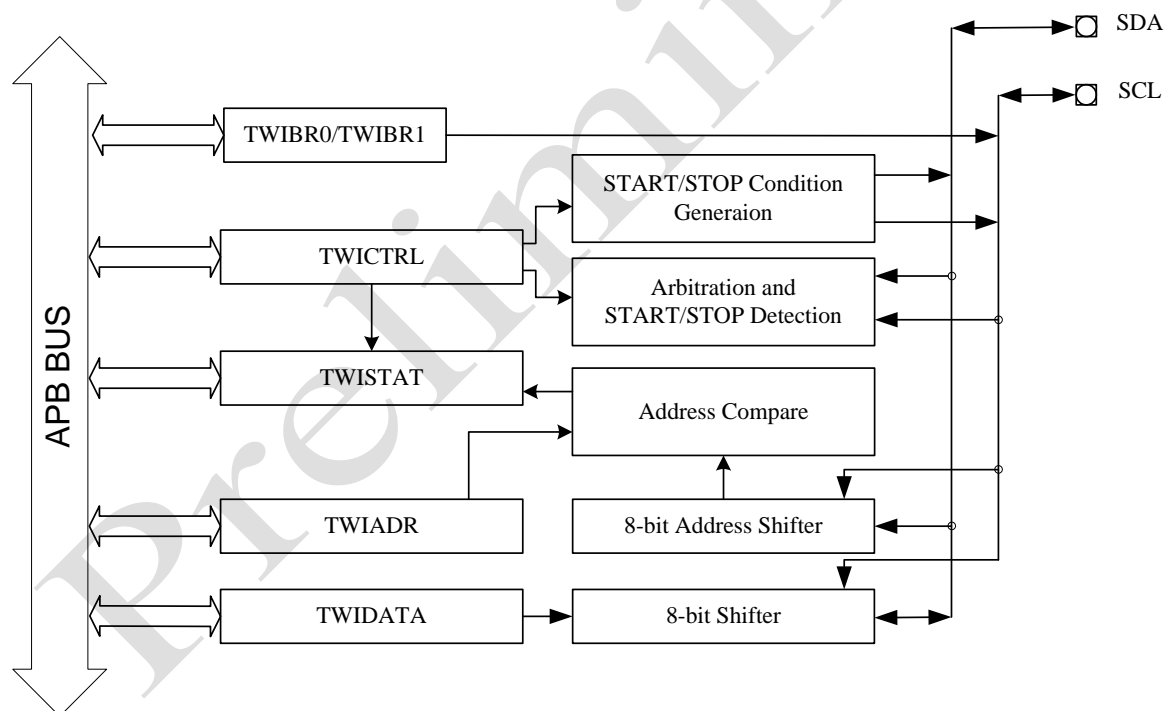


Figure 16-1 TWI Block Diagram

16.3 Functional Description

16.3.1 DATA TRANSFER FORMAT

SDA 라인에는 모든 데이터 길이는 8 비트다. 매 전송마다 전송될 수 있는 바이트 수는 제한되어 있지 않다. Start condition 다음의 첫 바이트는 주소 필드이다. TWI-bus 가 Master 로 모드로 동작 할 때 Master 에 의해 주소 필드가 전송된다. 모든 바이트는 다음에는 ACK 비트가 따라온다. 항상 데이터와 주소의 MSB 비트부터 전송이 시작된다.

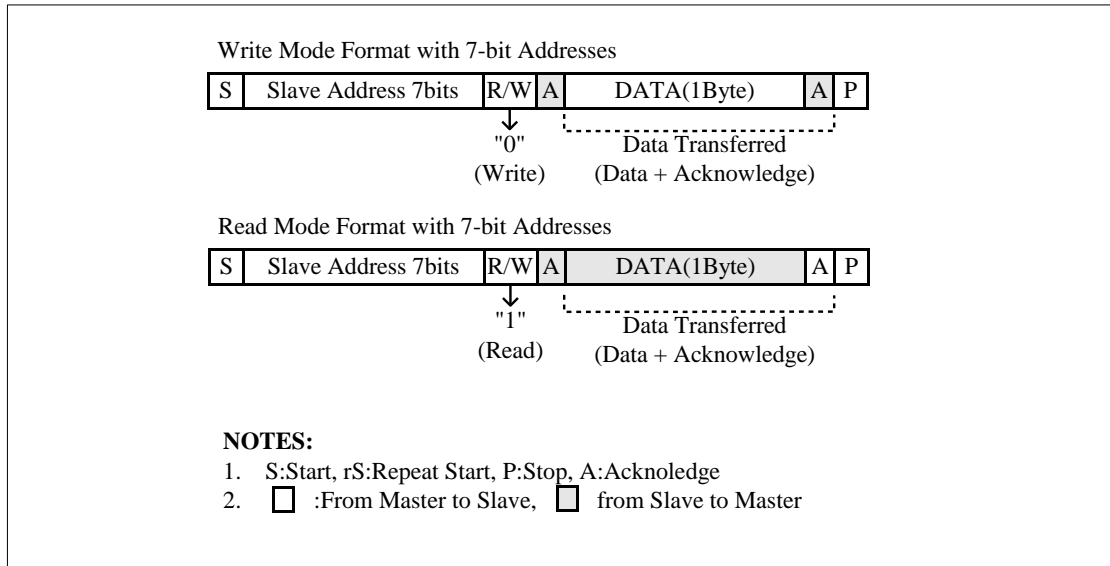


Figure 16-2 TWI-Bus Interface Data Format

16.3.2 START AND STOP CONDITION

Start condition 은 1 Byte 의 data 를 전송 할 수 있다. 그리고, Stop condition 은 data 전송을 종료한다. Start condition 은 SCL 이 high 일 때 SDA line 이 high-to-low 로 transition 한다. Stop condition 은 SCL 이 high 일 때 SDA line 이 low-to-high 로 transition 한다. Start condition 이 발생하면, TWI bus 는 busy 가 된다. Stop condition 이 발생한 후, TWI bus 는 자유롭게 된다.

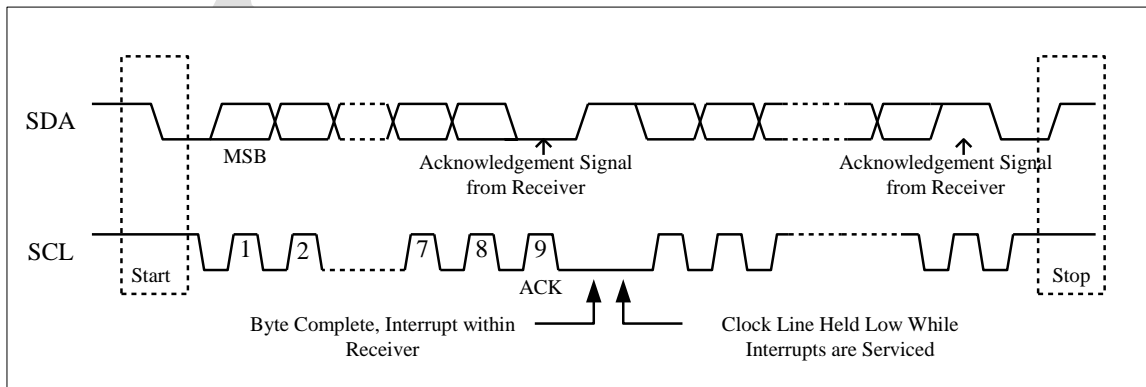


Figure 16-3 Data Transfer on the TWI-Bus

16.3.3 ACK SIGNAL TRANSMISSION

한 바이트 전송을 완전히 끝내기 위해서는 수신단은 송신단에 ACK 비트를 보내야 한다. ACK 펄스는 SCL 라인의 9 번째 클럭 에서 발생해야 한다. 그래서 한 바이트 데이터를 전송을 위해 모두 9 개의 클럭이 필요하다. Master 는 ACK 비트 전송을 위한 클럭 펄스를 생성해야 한다.

송신단은 ACK 클럭 펄스를 입력 받을 때 SDA 라인을 “High”로 만들기 위해 SDA 라인을 놓아줘야 한다. 또한 수신기는 ACK 펄스 때 SDA 라인을 “Low”로 유지하여 SCL 의 아홉 번째의 “High” 구간에서 SDA 를 “Low”로 만든다.

ACK 비트는 소프트웨어적으로 control register 의 TXACK 비트를 설정하여 ACK 나 NOACK 로 선택할 수 있다.

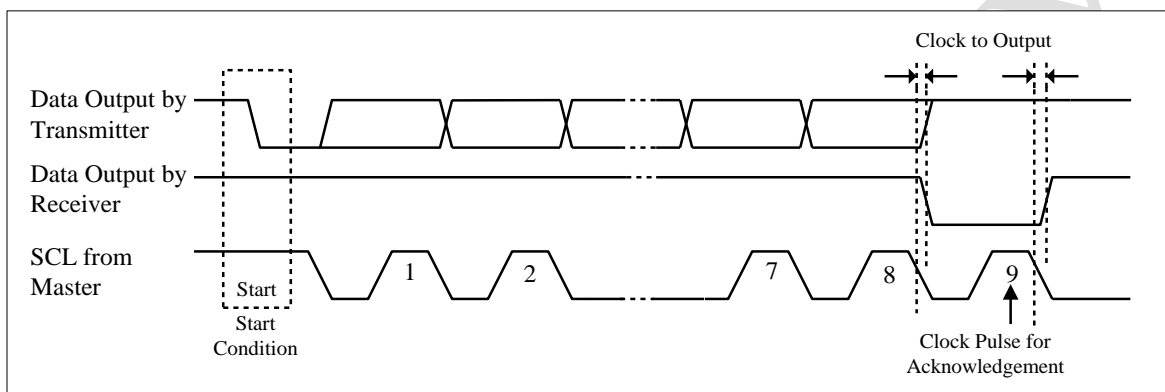


Figure 16-4 Acknowledgement of TWI

16.3.4 READ-WRITE OPERATION

송신 동작 모드에서 데이터 전송 후에 TWI-bus 인터페이스는 데이터 쉬프트 레지스터에 데이터가 준비될 때까지 기다려야 한다. 데이터 쓰여질 때까지 SCL 라인은 Low 로 유지될 것이다. 새로운 데이터가 데이터 쉬프트 레지스터에 쓰여지고 나서 SCL 은 release 된다.

Interrupt 를 사용할 경우, TWI 는 현재 데이터 전송 후 interrupt 를 요청한다. CPU 는 interrupt 요청을 받은 뒤에 새로운 데이터를 버퍼에 쓴다.

수신 동작 모드에서 데이터를 수신한 후에, TWI bus 는 data 를 읽어 갈 때까지 기다린다. 수신된 데이터가 읽어 갈 때까지 SCL 을 LOW 로 유지 된다. 새로운 data 가 읽혀지고 난 다음에 SCL 은 release 된다.

Interrupt 를 사용할 경우, TWI 는 데이터를 수신한 후 interrupt 를 발생하고, interrupt request 를 받은 CPU 는 data 를 읽는다.

16.3.5 BUS ARBITRATION PROCEDURES

여러 개의 master 가 bus 를 동시에 제어 하는 것을 방지한다. SDA line 에 high level 을 내보낸 master 가 또 다른 master 가 내보낸 low level 의 SDA line 을 인식하면, 현재 TWI bus 를 자신이 아닌 다른 master 가 제어한다고 인식하고, 데이터 전송을 더 이상 진행하지 않도록 한다.

Device1 과 Device2 과 동시에 master mode 로 동작하는 경우에 SCL 라인에서 발생하는 클럭의 모양을 보면 다음과 같이 동기화가 이루어진다.

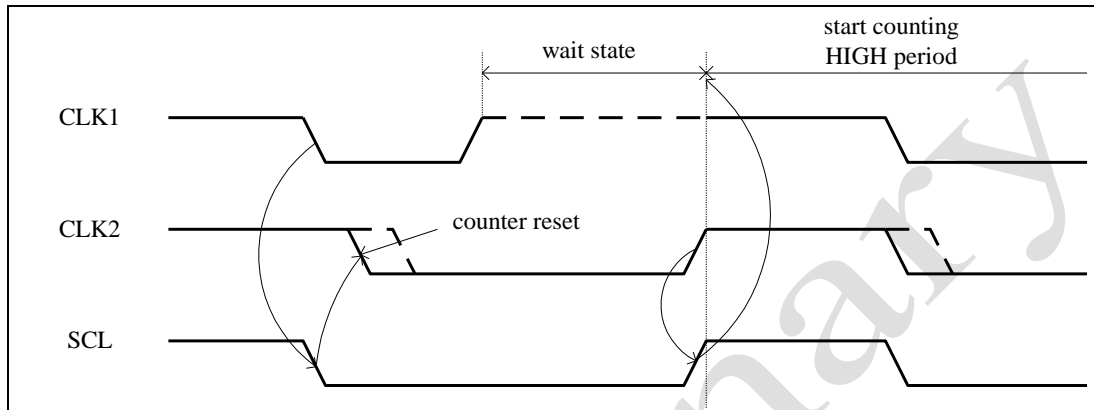


Figure 16-5 Bus arbitration 1 of TWI

위 상황에서 SDA 라인에 나타나는 data 값에 따라 Device1, Device2 중 하나가 우선권을 갖는 과정은 다음과 같다

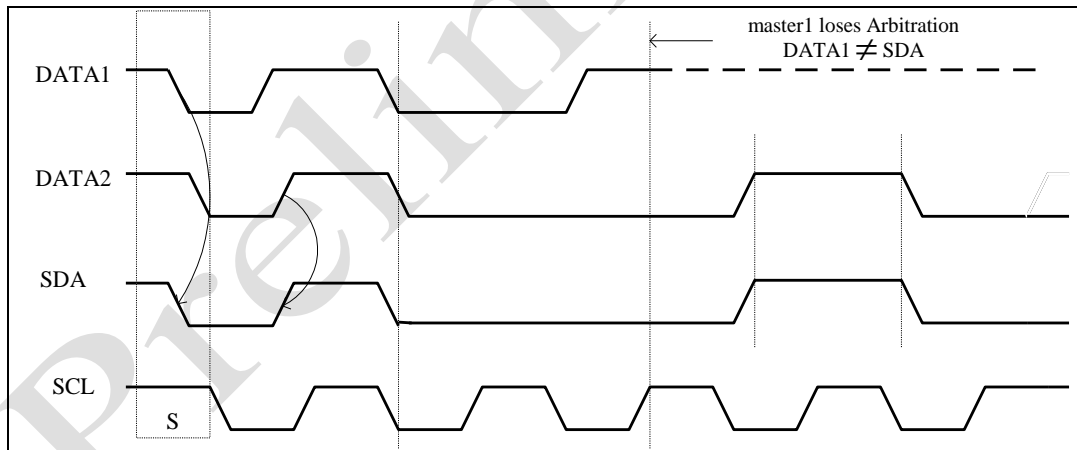


Figure 16-6 Bus arbitration 2

16.3.6 ABORT CONDITIONS

arbitration이 발생하지 않은 경우

1. TWICTRL 레지스터의 MSTR 비트를 클리어 시키면 stop 조건이 발생한다.
2. NO ACK 발생하여 stop 조건이 발생한다. 즉 ACK 구간에서 SDA 신호가 "Low"가 아니면 발생한다.

Arbitration이 발생한 경우

Arbitration 발생에 의해 제어권을 잃은 경우 MSTR 비트는 클리어 되지만 이에 의한 stop condition 은 발생하지 않는다. 현재 진행 중인 SCL 클럭은 한 바이트 전송 끝까지 진행되고 데이터 출력인 SDA 는 High 상태가 된다.

16.3.7 Operational Flow Diagrams

TWI initialization

TWI 는 먼저 초기화가 이루어져야 한다.

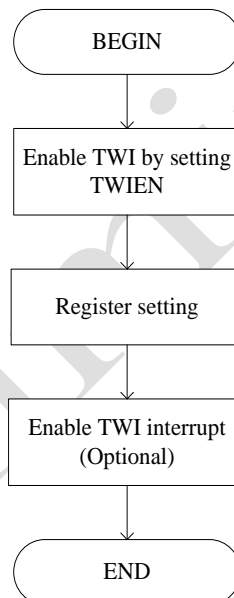


Figure 16-7 TWI Initialization Flow Char

Master Transmit / Receive

TWI 의 데이터 송신과 데이터 수신에 대한 Flow chart 이다. 송신 시와 수신 시에 있어서 가장 큰 차이점은 수신 시에는 마지막 데이터를 수신하기 전에 ACK 비트를 NOACK 로 설정하는 단계가 더 있다는 점이다. 이 것은 master 가 slave 에게 마지막 수신 데이터임을 알리기 위한 것이다. 또한, 실제 데이터를 수신하기 위한 SCL 클럭을 생성하기 위해 TWIDATA 레지스터의 dummy read 단계가 필요하다

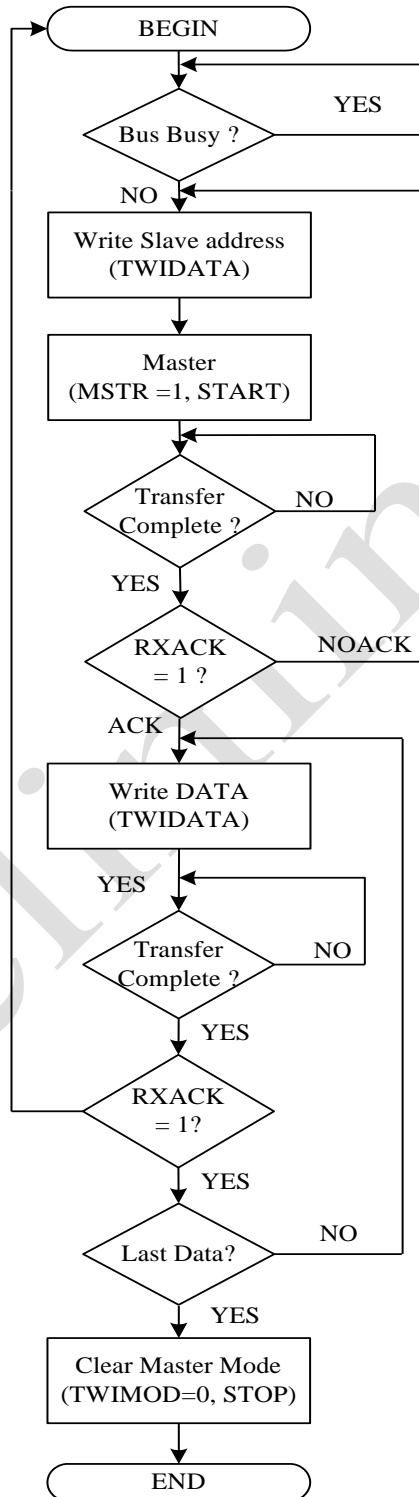


Figure 16-8 Master Transmit Flow Char

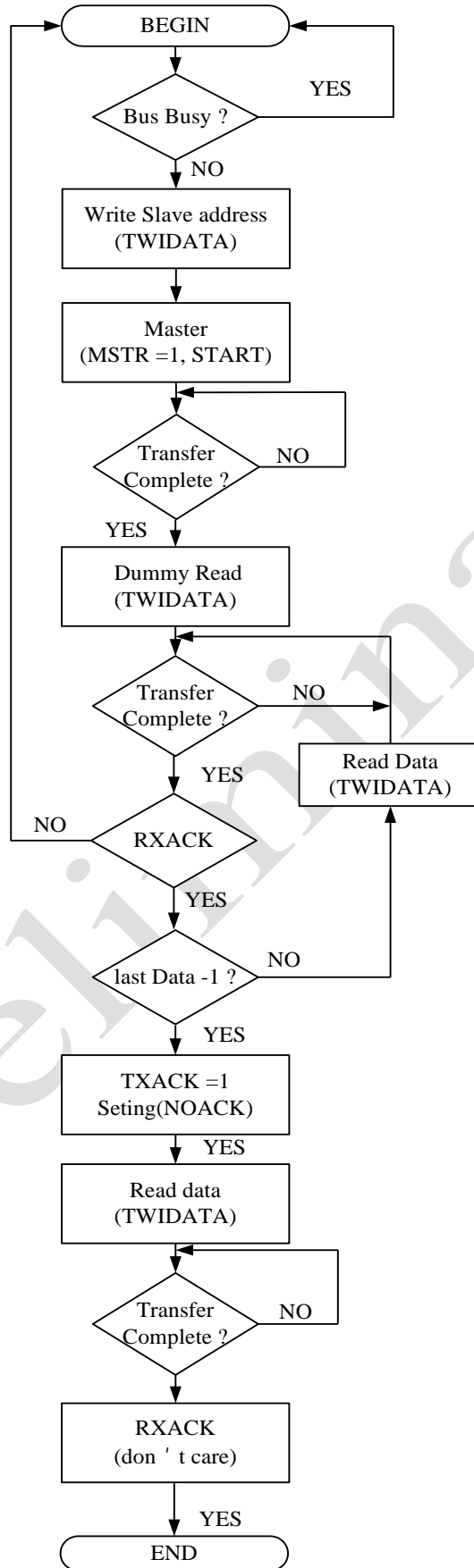


Figure 16-9 Master Receive Flow Char

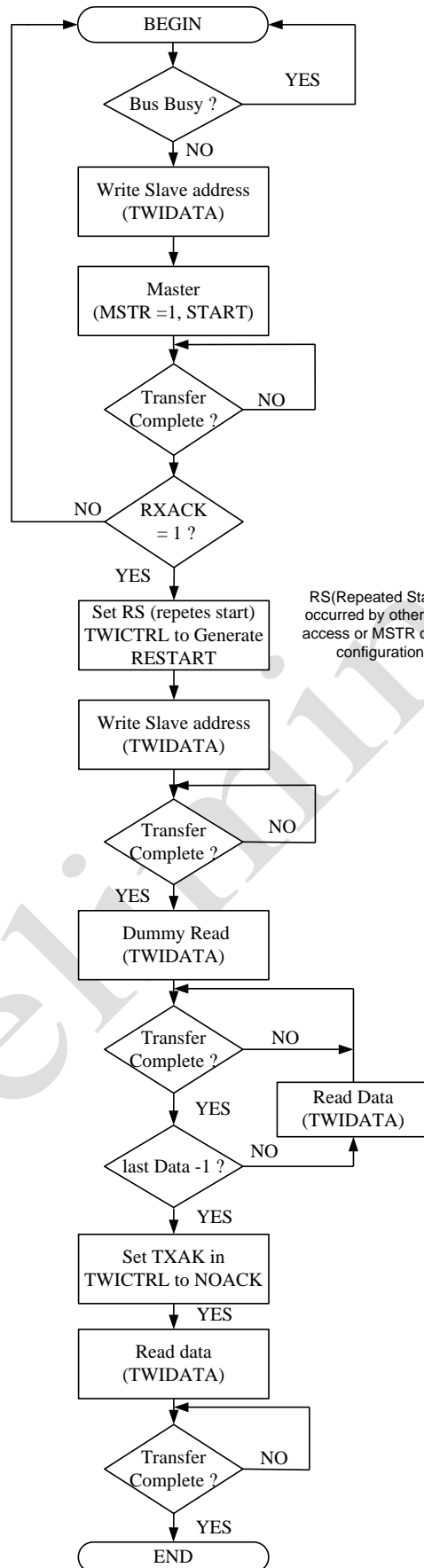


Figure 16-10 Master combined format Flow Char

Slave Mode (Polling mode)

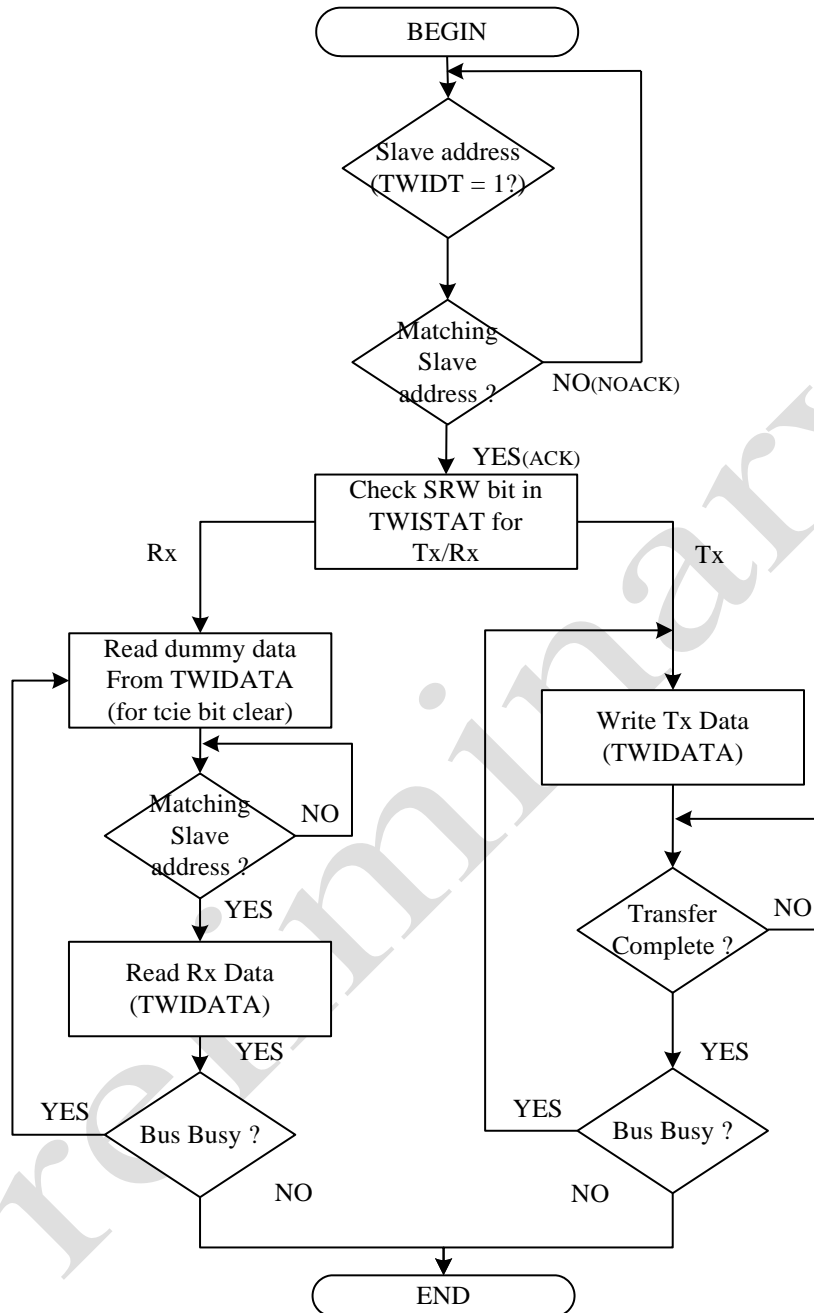


Figure 16-11 Slave Mode Flow Chart (Polling)

Slave Mode (Interrupt mode)

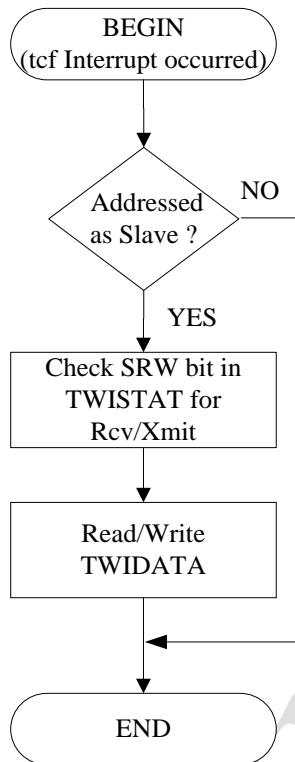


Figure 16-12 Slave Mode Flow Chart (Interrupt)

16.4 Address Description

<i>TWI 0 Channel</i>	0x8003_1800
<i>TWI 1 channel</i>	0x8004_1800

Register Description

16.4.1 TWI Control Register (TWICTRL)

Address : 0x00

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9	R/W	TWI_DMA RX TWI RX동작 시, DMA 사용 유무를 나타낸다. 0 : Disable 1 : Enable	0
8	R/W	TWI_DMA TX TWI TX동작 시, DMA 사용 유무를 나타낸다. 0 : Disable 1 : Enable	0
7	R/W	TWIEN : TWI Controller Enable. TWI 송수신을 위해서 다른 register의 setting에 앞서 먼저 이 bit를 set시킨다. 0: Disable 1: Enable	0
6	R/W	STOPIE : Detect Stop Interrupt enable bit Master로 동작 시, Detect Stop이 발생할 경우, 인터럽트 발생한다. 0 : Disable 1 : Enable	0
5	R/W	MSTR : Master/Slave Mode Status bit Master 동작 인지 Slave 동작 인지 상태를 나타내는 bit이다. 0 : Slave mode 1 : Master mode	0
4	R/W	TWITR : Transmit/Receive Mode Select. Master Mode에서의 전송 동작을 결정한다. 0: TWI Master 수신 1: TWI Master 송신	0
3	R/W	TWIAK : Transmit Acknowledge Enable. 이 비트는 ACK 구간 동안에 SDA line의 값을 결정한다. Master Receive Mode일 때 마지막 바이트 전송일 때 NO ACK는 데이터 전송이 마지막임을 나타낸다. 마지막 전송 후 NO ACK이면, STOP condition을 발생시킨다. 0: ACK bit = "0" – ACK (acknowledge) 1: ACK bit = "1" – NO ACK (no acknowledge)	0
2	R/W	REPST : Repeated Start. 이 bit를 1로 write 하면, TWI controller 가 Master일 때 Repeated START condition을 발생시킨다. Repeated START condition이 발생하면 clear된다. 0: N/A 1: Repeated START condition을 발생시킨다.	0
1	R/W	TCIE : Transfer complete Interrupt enable bit 1-byte단위의 데이터 전송이 완료되었을 때, 인터럽트 발생 여부를 결정한다. 0: Disable 1: Enable	0
0	R/W	LSTIE : Lost arbitration Interrupt enable bit Master로 동작 시, 전송 권한을 잃었을 경우, 인터럽트 발생 여부를 결정한다. 0: Disable 1: Enable	0

16.4.2 TWI Status Register (TWISTAT)

Address : 0x04

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9	RW	TXEMPTY : TX Buffer Empty. 송신 버퍼의 상태를 나타낸다. 0일 때, 원하는 값으로 Write할 수 있다. 0: 송신 버퍼에 보낼 데이터가 있음 1: 송신 버퍼가 비었음	1
8	RW	RXFULL : RX Buffer Full. 수신 버퍼의 상태를 나타낸다. 1일 때, 원하는 값으로 Write할 수 있다. 0: 수신 버퍼가 비었음 1: 수신 버퍼에 읽어갈 데이터가 있음	0
7	R	TWIDT : Data Transferring Bit. 한 바이트 전송 될 때마다 set되고, TWIDATA 레지스터를 read나 write할 때 clear된다. 또한, 이 bit에 1을 write하면 clear된다. 0: 바이트 전송 중 1: 한 바이트 전송 완료	0
6	R	TWIAS : Addressed as Slave Bit. 자신의 address와 전송 받은 address가 일치할 때 TWI controller는 slave로서 동작하게 된다. TWICON 레지스터가 write되거나, STOP condition 발생 시 clear 된다. 0: Address가 일치하지 않음 1: Address가 일치함	0
5	R	TWIBUSY : Bus Busy Bit. TWI bus 상태를 의미한다. START condition에 의해 set 되고, STOP condition에 의해 clear된다. 이 비트에 0을 write하여도 clear된다. 0: Bus idle 상태 1: Bus busy 상태	0
4	RW	TWILOST : Lost Arbitration Bit. TWI controller가 master mode일 때, bus의 제어 권한을 잃었을 경우 set된다. 소프트웨어적으로 clear해주어야 한다. 1을 write하면 clear된다. 0: Lost arbitration이 발생하지 않았음. 1: Lost arbitration이 발생하였음.	0
3	R	TWISRW : Slave Read/Write Bit. TWI controller가 slave mode일 때 송수신 동작을 나타낸다. 0: Slave 수신 모드 1: Slave 송신 모드	0
2	R	Reserved.	-
1	RW	RSF : Repeated start flag Repeated START condition이 발생하였는지 확인하는 flag bit이다. Repeated START condition이 발생하면 set되며, STOP condition이 발생하거나, set된 상태에서 이 bit에 1을 write하면 clear된다. 0: Repeated START condition이 발생하지 않았거나 STOP condition이 발생하였음. 1: Repeated START condition이 발생하였음	0
0	R	TWIRXAK : Received Acknowledge Bit. ACK 구간에 들어온 SDA line의 값을 의미 한다. 0: Acknowledge 수신 1: No Acknowledge 수신	1

16.4.3 TWI Address Register(TWIADR)

Address : 0x08

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	(At only slave mode) 7-bit slave address. TWI controller의 device address를 나타낸다. [7:1] = Slave Address [0] = Not mapped	0x00

16.4.4 TWI Data Register (TWIDATA)

Address : 0x0C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	TWI data : TWI 데이터를 나타낸다. Write - 송신 데이터 혹은 restart 시, 접근할 device의 주소. Read - 수신 데이터 (Read 동작 시, address+1을 해줘야 한다)	0x00

16.4.5 TWI Baud-Rate 0 Register (TWIBR0)

Address : 0x10

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	Baud-rate 0 Value. TWIBR0 ≥ 3	0x0F

16.4.6 TWI Baud-Rate 1 Register (TWIBR1)

Address : 0x14

Bit	R/W	Description	Default Value
31 : 9	R	Reserved.	-
8 : 0	RW	Baud-rate 1 Value.. TWIBR1 ≥ 0	0xFF

16.4.7 TWI Master Write Start Stop Register (TWIMSSR)

Address : 0x18

Bit	R/W	Description	Default Value
31 : 9	R	Reserved.	-
8	R/W	(At only master mode) Master 동작 시, start, stop을 만드는 bit 이다. Master 동작에서는 "1"로 설정하면 start 조건이 발생하고 "0"으로 바뀌면 stop 조건이 발생 한다, 하지만 제어권을 잃은 상태면, Stop조건을 발생하지 않는다. 0: Stop 1: Start	0
7 : 0	R/	Reserved.	-

*** master mode 동작을 수행할 경우 controller register 설정 후, start 조건을 만들어주는 [8]bit 에 "1"을 write 해줌으로써 TWI 동작을 시작할 수 있다.

이와 마찬가지로 master write/read 동작을 완료한 후, TWIMADR [8]bit 에 "0"을 write 함으로써, stop 조건을 만들어 준다. 동작이 완료 된 후에 stop 조건까지 만들어줘야 프로토콜상 완료 된다(master 에 의한 start/stop).

$$TWIBR0 = f_{PCLK} \times 700ns + 3$$

$$SCL = \frac{f_{PCLK}}{(2TWIBR1 + TWIBR0 + 7)}$$

$$TWIBR1 = \frac{f_{PCLK}}{2SCL} - \frac{TWIBR0 + 7}{2}$$

* f_{PCLK} = AMBA APB clock frequency

* SCL = TWI transmission rate

ex) 만약 APB clock이 50MHz 이고, TWI transmission rate이 400Kbps이라면 계산 식은 다음과 같다.

$$(f_{PCLK} = 50MHz, SCL = 400Kbps)$$

$$TWIBR0 = 50MHz \times 700ns + 3 = 50 \times 10^6 \times 700 \times 10^{-9} + 3 = 38$$

$$SCL = \frac{f_{PCLK}}{(2TWIBR1 + TWIBR0 + 7)} \Rightarrow 400Kbps = \frac{50MHz}{(2TWIBR1 + 38 + 7)} \Rightarrow 400 \times 10^3 = \frac{50 \times 10^6}{(2TWIBR1 + 45)}$$

$$TWIBR1 = \frac{50 \times 10^3}{400kbps} - \frac{(TWIBR0 + 5)}{2}$$

- 700ns: rise time, fall (fast mode, max) for the synchronization
- 3cycle: low, high duty for the synchronization of ratio

<Baud-rate Register Setting Reference Table>

f_{PCLK}	TWIBR0	TWIBR1				
		400Kbps	300Kbps	200Kbps	100Kbps	50Kbps
60Mhz	45(0x2D)	50(0x32)	75(0x4B)	125(0x7D)	275(0x113)	-
50Mhz	38(0x26)	41(0x29)	62(0x3E)	104(0x68)	228(0xE4)	-
48Mhz	37(0x25)	39(0x27)	59(0x3B)	99(0x63)	219(0xDB)	459(0x1CB)
33Mhz	26(0x1A)	26(0x1A)	40(0x28)	67(0x43)	150(0x96)	315(0x13B)
24Mhz	20(0x14)	18(0x12)	28(0x1C)	48(0x30)	108(0x6C)	228(0xE4)
12Mhz	12(0x0C)	7(0x07)	12(0x0C)	22(0x16)	52(0x34)	112(0x70)
6Mhz	7(0x07)	2(0x02)	4(0x4)	9(0x9)	24(0x18)	54(0x36)
11.2896Mhz	11(0x0B)	6(0x06)	11(0x0B)	20(0x14)	48(0x30)	105(0x69)
5.6448Mhz	7(0x07)	1(0x01)	3(0x3)	8(0x8)	22(0x16)	50(0x32)

* Above table can bear some errors.

TWI baud rate 설정은 data setup time, hold time을 확보 하기 위해서

scl의 LOW 구간은 scl의 HIGH구간 이상의 값을 설정 해야 한다.

EX)

50 Mhz, 50kbps 에서 scl의 LOW은 TWIBR0 (38) + TWIBR1 (479) 이다.

이 때, scl 의 LOW 구간은 517(0x205)가 아닌 17(0x11)이 된다.

(TWIBR0 + TWIBR1 은 500이 넘어서는 안 된다.)

이 같은 경우, data setup time, hold time에 대하여 확보 할 수 없기 때문에 정상적인 동작이 이루어 지지 않는다.

data setup time, hold time을 확보하기 위해서는 최소 TWIBR0 설정 이상의 LOW구간이 필요하기 때문이다.

* TCF interrupt.

tcf_irq interrupt 신호는 데이터 전송의 끝에 발생하는 신호 이다(1-byte).

이 신호는 SCL 라인의 9 번 toggle 후 에 나타난다.(TCIE(Confirm Transfer complete bit)).

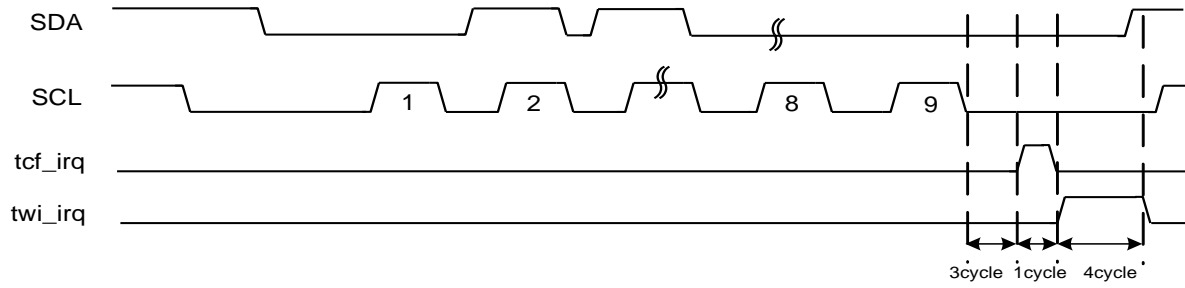


Figure 16-13 Tcf interrupt wave form

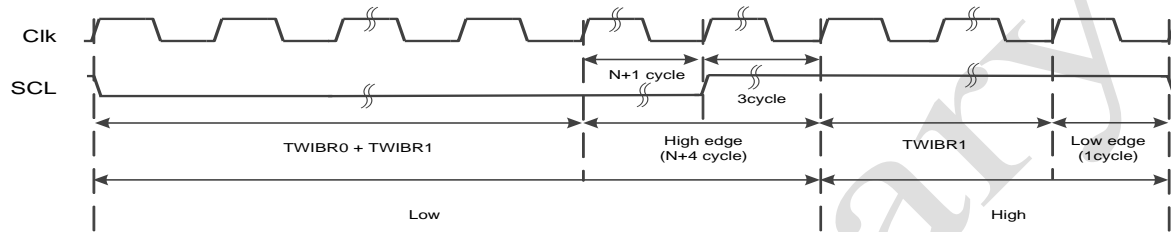


Figure 16-14 SCL Hold wave form

- * 최소 high edge 구간은 4cycle 이다. 최대 high edge 구간은 4-cycle + α . (TWI 가 master Mode 로 동작할 경우, slave 측에서 SCL 라인을 low 로 hold 하기 때문이다)

17 SOUND MIXER

17.1 Features

- 4-CH. Mixing
- Re-Sampler
- Gain Controller
- 32-Depth Buffer for each channel
- 1-CH output (mono, stereo)

17.2 Block Diagram

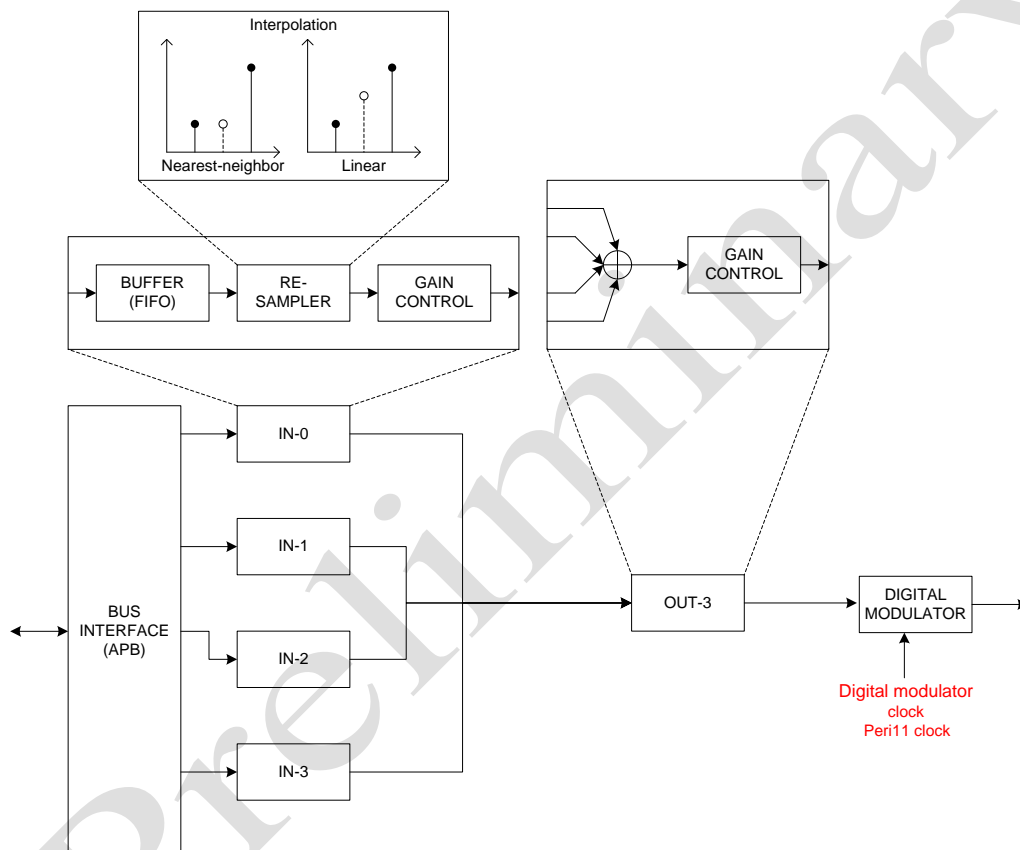


Figure 17-1 Mixer Block Diagram

17.3 Low Pass Filter for Digital Modulator

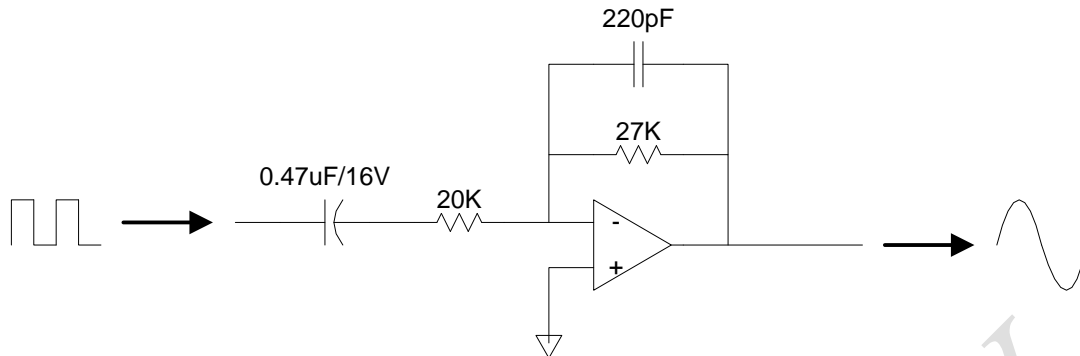


Figure 17-2 Low pass filter for digital modulator

17.4 Sound Mixer clock

MCLK 은 [4.System Control](#) 의 Clock control 부분의 [Peri clock selection Register1\(PERICLK2\)](#) peri11_clk 을 사용 한다.

adLuna 내에서는 digital modulator clk 또는 peri11_clk으로 표기 하고 있다.

17.5 Mixer Block Diagram

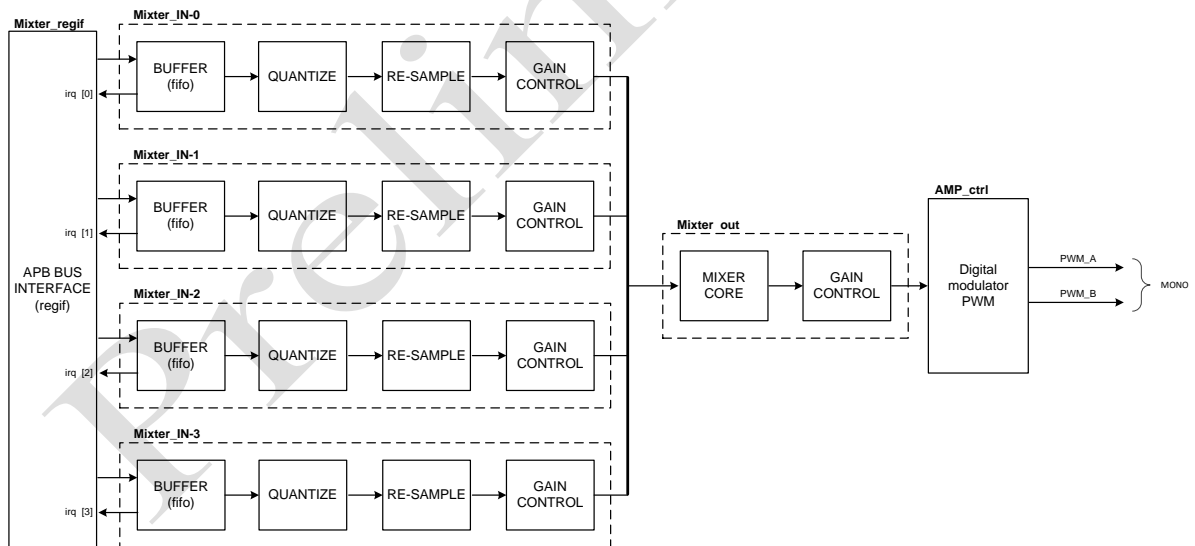


Figure 17-3 Sound Mixer output diagram

* Sound mixer 는 4ch input(IN0~3) 이 존재 하고, 1ch output(out_2)이 존재 한다.

Figure 17-3 에 도시된 바와 같이 IN0~3 그리고 out 이 존재 하고 PWM_N[1:0], PWM_P[1:0] mono, stereo 출력이다.

PWM_N0, PWM_P0 를 통한 출력은 mono 을

PWM_N0, PWM_P0, PWM_N1, PWM_P1 output 은 stereo 을 출력 한다.

17.6 Register Description

17.6.1 Mixer Control Register0 (MIXER_CON0)

Address: 0xA002_1800, 0xA002_1810, 0xA002_1820, 0xA002_1830 (IN-0 ~ IN-3)

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28	R/W	Method of interpolation 0: Nearest-neighbor 1: Linear	0x0
27 : 25	R	Reserved	-
24 : 16	R/W	Step for re-sampling $N = ((InFs * 256) / OutFs) - 1, (N=0\sim 511)$	0x0FF
15 : 10	R	Reserved	-
9 : 8	R/W	Out selection 00: Reserved 10: Out-2 11: Reserved	0x0
7 : 4	R/W	Mode 0000: Unsigned stereo 8-bit PCM 0001: Unsigned mono 8-bit PCM 0010: Signed stereo 8-bit PCM 0011: Signed mono 8-bit PCM 0100: Unsigned stereo 16-bit PCM 0101: Unsigned mono 16-bit PCM 0110: Signed stereo 16-bit PCM 0111: Signed mono 16-bit PCM 1xxx: Reserved	0x0
3	R/W	DMA request 0: Disable 1: Enable	0x0
2	R/W	Interrupt 0: Disable 1: Enable	0x0
1	R/W	L/R swap 0: Disable 1: Enable	0x0
0	R/W	Active 0: Disable 1: Enable	0x0

17.6.2 Mixer Out Enable Register (MIXER_OE)

Address:, 0xA002_18A0 (OUT-2)

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Active 0: Disable 1: Enable	0x0

17.6.3 Mixer Volume Register (MIXER_VOL)

Address: 0xA002_1804, 0xA002_1814, 0xA002_1824, 0xA002_1834,
0xA002_18A4

(IN-0 ~ IN-3, OUT-2)

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R/W	Right gain (± 0.5 dB) 0xFF(0dB) ~ 0x80(-63.5dB), 0x7F~0x0(- ∞ dB)	0xFF
7 : 0	R/W	Left gain (± 0.5 dB) 0xFF(0dB) ~ 0x80(-63.5dB), 0x7F~0x0(- ∞ dB)	0xFF

17.6.4 Mixer Buffer Status Register (MIXER_BST)

Address: 0xA002_1808, 0xA002_1818, 0xA002_1828, 0xA002_1838

(IN-0 ~ IN-3)

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R	Buffer count value 0(Empty) ~ 32(Full)	0x0

17.6.5 Mixer Data Register (MIXER_DAT)

Address: 0xA002_180C, 0xA002_181C, 0xA002_182C, 0xA002_183C

(IN-0 ~ IN-3)

Bit	R/W	Description	Default Value
31 : 0	R/W	PCM data	-

17.6.6 Mixer Out Register (MIXER_OUT3)

Address: 0xA002_18AC (OUT2)

Bit	R/W	Description	Default Value
31 : 13	R	Reserved	-
12	R/W	Reserved	0x0
11 : 10	R	Reserved	-
9 : 8	R/W	Step for over-sampling 00: x1 01: x2 10: x4 11: x8	0x0
7 : 4	R/W	Sine wave generation (For test) 0000: Disable otherwise: Enable	0x0
3 : 2	R/W	PWM modulation 00: Class-AD single side modulation 01: Class-AD double side modulation 10: Class-BD single side modulation 11: Class-BD double side modulation	0x0
1 : 0	R/W	Noise transfer function 00: Disable 01: 4th-order FIR filter 10: 5th-order FIR filter 11: 5th-order optimal FIR filter	0x0

17.6.7 Mixer Interrupt Status Register (MIX_IST)

Address: 0xA002_18C0

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 4	R	Reserved	-
3	R	IN-3 interrupt	0x0
2	R	IN-2 interrupt	0x0
1	R	IN-1 interrupt	0x0
0	R	IN-0 interrupt	0x0

18 ADC CONTROLLER

adLuna 은 500KSPS 12-bit SAR ADC 를 내장한다. 권장 동작 frequency 는 7Mhz 이다. Conversion cycle 은 ADC input clock 으로 15cycle 이다.

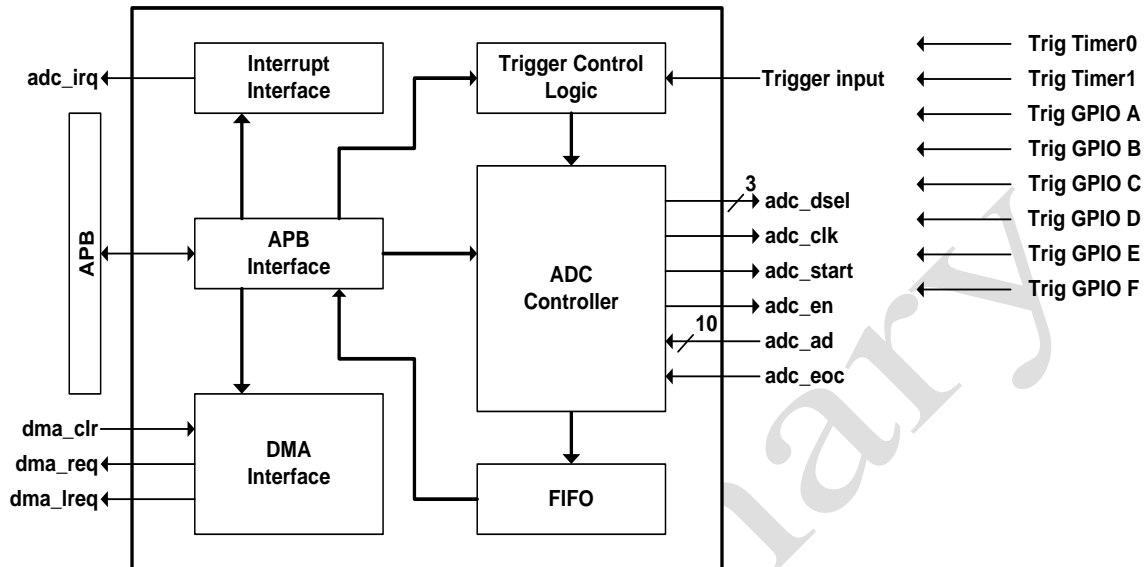


Figure 18-1 ADC Block Diagram

18.1 Features

- Various SOC source select
- Continuous Mode support
- 4-depth FIFO
- DMA Mode (in FIFO Mode)
- 8 channel input

*ADCCTRL Register External trigger mode GPIO

- GPIO A = GP 0.0
- GPIO B = GP 1.0
- GPIO C = GP 2.1
- GPIO D = GP 3.1
- GPIO E = GP 4.0
- GPIO F = GP 5.0

- EoC신호의 자동 출력으로 ADC Controller 구동시 ADCCTRL2 =0x01 설정 필요

18.2 Register Description

18.2.1 ADC Control Register (ADCCTRL)

Address : 0x8003_3400

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15	R/W	External Trigger Enable 1: External Trigger enable 0: External Trigger disable	0
14 : 12	R/W	External Trigger Source Select Choose trigger source for SOC 000: Timer 0 001: Timer 1 010: GP0.0 011: GP1.0 100: GP2.1 101: GP3.1 110: GP4.0 111: GP5.0	000
11	R/W	Periodic Mode Selection 0: Normal Operation Mode (1 pulse SOC Generation) 1: Periodic Mode (Continuous SOC Generation)	0
10	R/W	DMA Last Transfer FIFO Mode이고, DMA Mode일 때, 이 bit를 1로 set하면, DMA Last Request를 수행. Request가 발생하면 clear	0
9	R/W	DMA Mode Enable FIFO Mode일 경우, 이 bit를 1로 set하면, FIFO가 full이 될 때마다 DMA 전송을 요청. DMA Last Request가 발생하면 clear	0
8	R/W	FIFO Mode 1: Using FIFO 0: NOT using FIFO	0
7 : 5	R/W	ADC Channel Selection 000: ADCIN0 001: ADCIN1 010: ADCIN2 011: ADCIN3 100: ADCIN4 101: ADCIN5 110: ADCIN6 111: ADCIN7	000
4 : 2	R/W	ADC Source clock selection 000: APB Clock / 2 001: APB Clock / 4 010: APB Clock / 8 011: APB Clock / 16 100: APB Clock / 32 101: APB Clock / 64 110: APB Clock / 128 111: APB Clock / 256 * Sampling 주기는 ADC Source clock의 주기의 12배가 된다..	111
1	R/W	ADC Start Conversion(STC) 1로 설정하면 SOC 발생. ADC Clock으로 한 주기가 지나면 clear.	0
0	R/W	ADC Enable 0: ADC Disable 1: ADC Enable	0

18.2.2 ADC Data Register (ADCDATA)

Address: 0x8003_3404

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 0	R	12-bit ADC data	0x000

18.2.3 ADC FIFO Register (ADCFIFO)

Address: 0x8003_3408

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 0	R	In case of ADC FIFO Mode 12-bit ADC FIFO Data	0

18.2.4 ADC Status Register (ADCSTAT) Address : 0x8003_340C

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R	EOC status 0: EOC have not occurred. 1: an EOC has occurred. EOC가 발생 했을 때, '1'의 상태가 되며, 이 bit를 읽으면 Clear 된다.	0
7	R	EOC Occur Check [START/EOC pair] ADC START and ADC EOC pair latch를 선택 했을 경우, 유효하며, ADC START 이후 ADC EOC가 발생 하지 않았을 경우 '1'의 상태가 된다. EOC가 발생 하거나, EOC Reset를 set 했을 경우, '0'의 상태가 된다..	0
6	R	FIFO Overflow 1이면 FIFO가 Overflow되었다는 의미이며, Overflow 상태에서 새로운 데이터가 들어오면, 오래된 데이터부터 삭제되고, 새로운 데이터가 FIFO에 쌓이게 된다.	0
5	R	FIFO Full 1: FIFO is Full 0: FIFO is not Full	0
4	R	FIFO Empty 1: FIFO is Empty 0: FIFO is not empty	1
3 : 1	R	FIFO Level (0~4)	0
0	R	ADC Data Ready 1: ADC Data is valid 0: ADC Data is not ready	0

18.2.5 ADC Control Register2 (ADCCTRL2) Address: 0x8003_3410

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-
4	R/W	EOC Reset 0: Disable 1: Enable ADC START and ADC EOC pair latch를 선택 했을 경우, 유효하며, ADC START 이후 ADC EOC가 발생 하지 않을 경우, Controller의 상태를 IDLE 상태로 만드는데 사용 된다.	0
3:1	R	Reserved	-
0	R/W	Latch Select '0' 일 경우, ADC START 이후 EOC가 발생 할 때마다 data를 latch 하며, '1'일 경우 ADC START 이후 처음 EOC 가 발생 했을 때만 data를 latch 하고, EOC가 지속적으로 발생 하더라도, 다음 ADC START 이후 EOC가 발생 할 때까지, data를 latch 하지 않는다.	0

19 USB DEVICE

adLuna 에 내장된 USB Device 는 2.0 Full-speed(12Mbps)를 지원하며, 5 개의 endpoint 으로 구성되어 있다.

하드웨어적으로 USB 프로토콜을 지원하며, 자동적인 data retry, data toggle 그리고 power management 기능(suspend 와 resume)을 지원한다. 내부에 PHY 가 포함 되어 있다.

19.1 Features

- USB 2.0 Full Speed(12Mbps)
- 5 개의 Endpoint 지원
- 하드웨어적으로 USB 프로토콜 지원
- Suspend와 Resume signaling 지원

Table 19-1 Endpoint List

Endpoint	Max Size (bytes)	Direction	Transaction Type
0	16	IN/OUT	Control
1	64	OUT	Bulk
2	64	IN	Bulk
3	16	OUT	Interrupt
4	16	IN	Interrupt

19.2 Register Summary

Table 19-2 USB Core Register List

Register	Address	R/W	Description	Default Value
USBFA	0xA0001800	R/W	Function address register	0x00
USBPM	0xA0001804	R/W	Power management register	0x00
USBEP1	0xA0001808	R/W	Endpoint interrupt register	0x00
USBINT	0xA0001810	R/W	USB interrupt register	0x00
USBEP1EN	0xA0001814	R/W	Endpoint interrupt enable register	0x1F
USBINTEN	0xA0001818	R/W	USB interrupt enable register	0x04
USBLBFN	0xA000181C	R	Frame number1 register	0x00
USBHBFN	0xA0001820	R	Frame number2 register	0x00
USBIND	0xA0001824	R/W	Index register	0x00
USBMP	0xA0001828	R/W	MAXP register	0x00
USBEP0C	0xA000182C	R/W	EP0 control register	0x00
USBIC1	0xA000182C	R/W	EP2, 4 IN Control register1	0x00
USBIC2	0xA0001830	R/W	EP2, 4 IN Control register2	0x00
USBOC1	0xA0001838	R/W	EP1, 3 OUT Control register 1	0x00
USBOC2	0xA000183C	R/W	EP1, 3 OUT Control register 2	0x00
USLBOWC	0xA0001840	R	Low Byte OEP Write count register	0x00
USBHOWC	0xA0001844	R	High Byte OEP write count register	0x00
USBEP0D	0xA0001848	R/W	EP0 FIFO data register	0x00
USBEP1D	0xA000184C	R/W	EP1 FIFO data register	0x0000_0000
USBEP2D	0xA0001850	R/W	EP2 FIFO data register	0x0000_0000
USBEP3D	0xA0001854	R/W	EP3 FIFO data register	0x00
USBEP4D	0xA0001858	R/W	EP4 FIFO data register	0x00

19.2.1 USB Function Address Register

USBFAR 레지스터에는 호스트에 의해 할당된 USB 디바이스 주소가 저장된다. MCU 는 SET_ADDRESS Descript 수행을 통해 받은 값을 이 레지스터에 저장한다. 이 값은 다음 토큰에서 사용된다.

19.2.2 USB Power Management Register

Power Management 레지스터는 Suspend, Resume 그리고 reset 신호에 의해 사용된다. Suspend 와 Reset 상태는 USB_INTERRUPT Register 에 저장된다.

19.2.3 USB Interrupt Registers

USB Host 의 요청상태와 각 Endpoint 의 상태와 알려준다.

19.2.4 USB Interrupt Enable Registers

각 Endpoint 의 인터럽트를 Enable 한다. 대부분의 인터럽트는 초기값이 Enable 상태이나, Suspend 인터럽트는 Disable 이다.

19.2.5 Frame Number Registers

Frame Packet 의 끝에서 frame 번호를 저장한다.

19.2.6 Index Register

인덱스 레지스터는 각각의 endpoint 에 해당하는 컨트롤 레지스터를 선택할 때 사용한다.

19.2.7 MAXP Register

8byte 배수 단위로 사용할 FIFO 크기를 조절할 수 있다. 그러나 각 Endpoint 에서 지원하는 최대 FIFO 사이즈보다 크게는 설정 할 수 없다.

19.2.8 EP0 Control Register

Endpoint 0 의 제어와 상태를 나타낸다.

19.2.9 IN Control Registers

IN Endpoint 의 제어와 상태를 나타낸다.

19.2.10 Out Control Registers

Out Endpoint 의 제어와 상태를 나타낸다.

19.2.11 Out Write Count Registers

두 개의 레지스터로 이루어져 write count 값을 가지다. OUT endpoint 에서 OOPR 비트가 set 되면, 이 레지스터에는 MCU 에 의해 가져간 packet 의 수를 가지고 있다.

19.2.12 Endpoint FIFO Access Registers

FIFO 에 접근하는 register 이다

19.3 Register Description

19.3.1 USB Function Address Register (USBFA)

Address : 0xA000_1800h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8			Reserved	
7	R/W	R/ Clear	ADDUP : ADDR_UPDATE bit. 이 레지스터의 FUNADD field가 업데이트 되면 MCU는 이 비트를 1로 설정한다. FUNADD field는, Endpoint 0 CSR의 DATA_END 비트를 clear에 의해 발생하는 제어 전송의 status phase 이후부터 사용된다.	0
6 : 0	R/W	R	FUNADD : FUNCTION_ADDR bits. MCU가 주소를 여기에 write 한다.	0

19.3.2 USB Power Management Register (USBPM)

Address : 0xA000_1804h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 4			Reserved	
3	R	Set	UBRST : USB_RESET bit. 호스트로부터 Reset 신호를 받으면 USB가 이 비트를 설정한다. Reset 신호가 버스상에서 유지되는 한, 이 비트는 set 상태를 유지한다.	0
2	W/R	R	UBRSUM : USB_RESUME bit. Resume 신호를 초기화 하기 위해 MCU가 10ms (최대 15ms)동안 이 비트를 설정한다. Suspend 모드에서 이 비트가 설정되어 있는 동안 USB 가 Resume 신호를 발생한다.	0
1	R	R/W	UBSPDMOD : SUSPEND_MODE bit. Suspend모드로 들어가게 되면 USB 가 이 비트를 설정한다. 다음 조건에 의해 clear 가 된다. -Resume 신호를 끝내기 위해서 MCU가 MUC_RESUME 를 clear 하는 경우 -USB_RESUME 인터럽트 발생 때 MCU가 인터럽트 레지스터 3 을 읽게 되는 경우.	0
0	R/W	R	UBENSPD : ENABLE_SUSPEND bit = 1 Enable Suspend mode = 0 Disable Suspend mode (Default) 이 비트가 zero 이면, 디바이스는 suspend 모드 상태로 들어 가지 않는다.	0

19.3.3 USB Endpoint Interrupt Register (USBEP1)

Address : 0xA000_1808h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 5			Reserved	
4	R/ Clear	Set	EP4INT : EP4 Interrupt bit. (Interrupt in mode) 이 비트는 endpoint4 인터럽트에 해당된다. (USBIC1R, USBIC2R 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0
3	R/ Clear	Set	EP3INT : EP3 Interrupt bit. (Interrupt out mode) 이 비트는 endpoint3 인터럽트에 해당된다. (USBOC1R, USBOC2R 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0
2	R/ Clear	Set	EP2INT : EP2 Interrupt bit. (Bulk in mode) 이 비트는 endpoint2 인터럽트에 해당된다. (USBIC1R, USBIC2R 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0
1	R/ Clear	Set	EP1INT : EP1 Interrupt bit. (Bulk out mode) 이 비트는 endpoint1 인터럽트에 해당된다. (USBOC1R, USBOC2R 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0
0	R/ Clear	Set	EP0INT : EP0 Interrupt bit. (Control mode) 이 비트는 endpoint0 인터럽트에 해당된다. (USBEP0CR 의 bit 참고) EP0OPR bit is set. EP0IPR bit is cleared EP0STSTAL bit is set EP0STED bit is set EP0DED bit is cleared(Indicates End of control transfer)	0

19.3.4 USB Interrupt Register (USBINT)

Address : 0xA000_1810h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 3			Reserved	
2	R/ Clear	Set	RSTINT: USB Reset Interrupt bit. Reset신호가 입력되면 USB가 이 비트를 set 한다.	0
1	R/ Clear	Set	RSUMINT: Resume Interrupt bit. Suspend 모드 상태에서 Resume신호를 받으면 USB가 이 비트를 set한다. USB Reset에 의한 Resume 이면, Resume 인터럽트에 의해 MCU에 먼저 인터럽트가 걸린다. 일단 Clock이 다시 동작하고 SE0 상태가 3ms 동안 지속되면, USB Reset 인터럽트가 발생한다. .	0
0	R/ Clear	Set	SPDINT : Suspend Interrupt bit Suspend 신호를 수신하면 USB는 이 비트를 set 한다. 버스상에서 3ms 동안 아무런 동작이 이루어지지 않으면 이 비트는 set 된다. 그래서 MCU가 첫 번째 suspend 인터럽트 이후에 Clock을 멈추지 않으면, USB 버스상에서 아무런 동작이 이루어지 않는 한 매 3ms 마다 인터럽트가 계속 발생한다. 디폴트로 이 인터럽트는 disable 이다	0

19.3.5 Endpoint Interrupt Enable Register (USBEPIN)

Address : 0xA000_1814h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	
4	R/W	EP4INTEN : Endpoint 4 Interrupt enable bit	1
3	R/W	EP3INTEN : Endpoint 3 Interrupt enable bit	1
2	R/W	EP2INTEN : Endpoint 2 Interrupt enable bit	1
1	R/W	EP1INTEN : Endpoint 1 Interrupt enable bit	1
0	R/W	EPOINTEN : Endpoint 0 Interrupt enable bit	1

19.3.6 USB Interrupt Enable Register (USBINTEN)

Address : 0xA000_1818h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	
2	R/W	RSTINTEN : USB RESET Interrupt enable bit	1
1	R	Reserved	
0	R/W	SPDINTEN : SUSPEND Interrupt enable bit	0

19.3.7 USB Low Byte Frame Number Register (USBLBFN)

Address : 0xA000_181Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Frame Number 1 register	0x00

19.3.8 USB High Byte Frame Number Register (USBHBFN)

Address : 0xA000_1820h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Frame Number 2 register	0x00

19.3.9 USB Index Register (USBIND)

Address : 0xA000_1824h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	
2 : 0	R/W	Index register 000 : Endpoint 0 001 : Endpoint 1 010 : Endpoint 2 011 : Endpoint 3 100 : Endpoint 4 101 : Reserved 110 : Reserved 111 : Reserved	000

19.3.10 USB MAXP Register (USBMP)

Address : 0xA000_1828h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Max FIFO Size 0000_0001 MAXP=8 0000_0010 MAXP=16 0000_0100 MAXP=32 0000_1000 MAXP=64	0x00

19.3.11 USB EP0 Control Register (USBEP0C) Address : 0xA000_182Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	Clear		EP0SUEC : EP0 Set Up End Clear bit. MCU가 EPOSTED 비트를 clear 하기 위해 1를 write 한다..	0
6	Clear		EP0OPRC : EP0 Out Packet Ready Clear bit. MCU는 EP0OPR 비트를 clear하기 위해 이 비트에 1를 write한다.	0
5	Set	Clear	EP0SDSTAL: EP0 Send Stall bit. MCU는 잘못된 token이라고 인식되면, EP0OPR 비트를 clear와 동시에 이 비트를 set 한다. USB는 STALL handshake를 현재 컨트롤 전송에 발생시킨다. MCU는 STALL 상황을 끝내기 위해 0를 write 한다	0
4	R	Set	EPOSTED: EP0 Setup End bit. 이 비트는 읽기 전용이다. EP0DED 비트가 set되기 전에 컨트롤 전송이 끝났을 때 USB 가 이 비트를 set한다. USB가 이 비트를 set 할 때 MCU에 인터럽트가 전달된다. 이러한 상황이 발생했을 때 USB는 FIFO를 flush하고 MCU의 FIFO 접근을 무효화 한다. MCU의 FIFO 접근이 무효화 될 때 이 비트는 clear 된다.	0
3	Set/R	Clear	EP0DED: EP0 Data End bit. MCU는 다음과 같은 상황에서 이 비트 set한다: - 마지막 데이터 패킷을 가져온 후 EP0OPR 비트를 clear 할 때 - Zero length data 구간에서 EP0OPR 비트를 clear 하고 EPOIPR 비트를 set 할 때 - MCU가 FIFO에 대한 패킷 데이터를 load한 후에 EPOIPR 비트를 set함과 동시에 이 비트(EP0DED) 를 set 한다.	0
2	Clear/R	Set	EP0STSTAL: Sent Stall bit. 프로토콜 오류로 컨트롤 transaction이 끝나면 USB가 이 비트 set 한다. 이 비트가 set 되면 인터럽트가 발생한다.	0
1	Set/R	Clear	EPOIPR: EP0 In Packet Ready bit. MCU는 endpoint 0 FIFO에 데이터 패킷을 write 한 후에 이 비트를 set 한다. 데이터 패킷이 성공적으로 호스트에 전달되면 USB가 이 비트를 clear 시킨다. USB가 이 비트를 clear시키면 인터럽트가 발생한다. 그래서 MCU는 계속해서 다음 데이터를 load 할 수 있게 된다. Zero length data phase에서는 MCU는 동시에 이 비트(EPOIPR)와 EP0DED 비트를 set 한다.	0
0	R	Set	EP0OPR: EP0 Out Packet Ready bit. Read only. 이 비트는 읽기 전용이다. 유효한 token이 FIFO에 쓰여지면 USB가 이 비트를 set 한다. USB가 set 하면 인터럽트가 발생한다. MCU는 EP0OPRC 비트에 1를 write 함으로써 이 비트를 clear 시킨다.	0

19.3.12 USB IN Control 1 Register (USBIC1)

Address : 0xA000_182Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 7	R		Reserved	
6	Set	R/Clear	ICCDT: In Control 1 Clear Data Toggle bit. Write Only. MCU가 이 비트에 1을 write하면 data toggle 비트가 clear 된다. 이 비트는 쓰기 전용이다.	0
5	R/Clear	Set	ICSTSTAL: In Control 1 Sent Stall bit. MCU가 ICSDSTAL 비트를 set 했기 때문에, IN token 에 STALL handshake를 발생된다. 이 때 USB 가 이 비트를 set 한다. USB 가 STALL handshake를 발생 시키면 ICIPR 비트는 clear된다. MCU가 0를 write함으로써 이 비트를 clear 시킨다.	0
4	R/W	R	ICSDSTAL: In Control 1 Send Stall bit. MCU가 USB에 STALL handshake를 발생시키기 위해 이 비트에 1를 write한다. STALL 상황을 끝내기 위해 MCU가 이 비트를 clear 한다	0
3	R/Set	Clear	ICFFLU: In Control 1 FIFO Flush bit. IN FIFO를 flush하고자 하면 MCU가 이 비트를 set 한다. FIFO가 flush가 되면 USB 에 의해 이 비트는 clear 된다. 이런 상황이 발생하면 MCU에 인터럽트가 걸린다. Token이 진행 중이라면, USB는 FIFO가 flush 되기 전에 전송이 완료 될 때까지 기다린다. 만약에 두 개의 패킷이 FIFO에 load되어 있으면, 가장 상위의 패킷(호스트로 보내려고 하는 것)만 flush이 되고 그 패킷에 관련 있는 ICIPR 비트가 clear 된다.	0
2			Reserved	0
1	R	Set	ICFNE: In Control 1 FIFO Not Empty bit. FIFO에 적어도 한 개의 데이터 패킷이 있음을 나타 내다. 0 : FIFO에 패킷이 없다. 1 : FIFO에 패킷이 있다.	0
0	R/Set	Clear	ICIPR: In Control 1 In Packet Ready bit. FIFO에 데이터 패킷을 쓰고 난 뒤 MCU가 이 비트를 set 한다. 호스트로 데이터 패킷 전송이 성공적으로 끝나면 USB는 이 비트를 clear 한다. 이 비트를 USB 가 clear 하면 인터럽트가 발생하고, MCU는 다음 패킷을 로드 할 수 있게 된다. 이 비트가 set 되어 있는 동안에는 MCU는 FIFO에 쓰기를 할 수 없다. MCU에 의해 ICSDSTAL 비트가 set 되면, 이 비트는 set 될 수 없다.	0

19.3.13 USB IN Control 2 Register (USBIC2)

Address : 0xA000_1830h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	ICASET: In Control 2 Auto Set bit. 이 비트가 set 되어 있으면, MCU가 MAXP만큼의 데이터를 쓰기를 하면 자동적으로 ICIPR 비트가 set 된다. MAXP데이터 보다 적은 데이터를 쓸 경우는 MCU가 ICIPR 비트를 set 해줘야 한다.	0
6			Reserved	0
5	R/W	R	ICMODIN: In Control 2 Mode In bit. Endpoint의 방향을 프로그래머블할 수 있게끔 해준다. 1 = endpoint의 방향을 IN으로 설정된다. 0 = endpoint의 방향을 OUT으로 설정된다.	1
4 : 0			Reserved	

19.3.14 USB Out Control Register 1 (USBOC1)

Address : 0xA000_1838h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	OCCDT: Out Control 1 Clear Data Toggle bit. MCU가 이 비트에 1를 write하면, data toggle sequence 비트가 DATA0로 reset 된다..	0
6	Clear/R	Set	OCSTSTAL: Out Control 1 Sent Stall bit. OUT token이 STALL handshake로 종료될 때 USB가 이 비트 set 한다. OUT Token에서 MAXP 데이터 보다 더 많은 데이터를 보낼 경우 USB가 host에 stall handshake를 발생 시킨다. MCU가 0를 write하면 clear 된다.	0
5	W/R	R	OCSSTAL: Out Control 1 Send Stall bit. USB에 STALL handshake를 발생시키기 위해 MCU가 이 비트에 1를 write 한다. STALL 상황을 끝내기 위해 MCU가 이 비트에 0을 write 한다.	0
4	R/W	Clear	OCFFLU: Out Control 1 FIFO Flush bit. MCU가 FIFO를 flush하기 위해 1를 write 하고 flush를 멈추기 위해 0을 write 한다. OCOPR 비트가 set되어 있는 동안만 이 비트가 set 될 수 있다. MCU가 가져간 데이터 패킷은 flush가 될 것이다.	0
3	R	R/W	OCERR : Out Control 1 Data Error bit 전송 받은 데이터에 에러(bit stuffing 또는 CRC)가 있음을 나타낸다. OCOPR 비트가 clear될 때 자동적으로 clear 된다.	0
2	R	R	Reserved	
1	R	R/W	OCFFUL: Out Control 1 FIFO Full bit. 더 이상의 패킷을 수용할 수 없음을 나타낸다. 0 : FIFO is not full. 1 : FIFO is full.	0
0	R/ Clear	Set	OCOPR: Out Control 1 Out Packet Ready bit. FIFO에 데이터 패킷이 load가 되면 USB가 이 비트를 set 한다. MCU가 패킷 전체를 읽고 나면 이 비트는 MCU에 의해 clear 되어야 한다. MCU가 0을 write 함으로써 clear 된다.	0

19.3.15 USB OUT Control Register 2 (USBOC2)

Address : 0xA000_183Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	OCACLR: Out Control 2 Auto Clear bit. 이 비트가 set이면, MCU가 OUT FIFO에서 데이터를 읽을 때 마다 자동적으로 USB core에 의해 OCOPR 비트가 clear 된다.	0
6 : 0			Reserved	0

19.3.16 USB Low Byte Out Write Count Register (USBLOWC)

Address : 0xA000_1840h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	(LBOWC) Low Byte OEP write count register	0x00

19.3.17 USB High Byte Out Write Count Register (USBHBOWC)

Address : 0xA000_1844h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	(HBOWC) High Byte OEP write count register	0x00

19.3.18 EP0 FIFO Data Register (USBEP0)

Address : 0xA000_1848h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP0 FIFO Data Register	0x00

19.3.19 EP1 FIFO Data Register (USBEP1)

Address : 0xA000_184Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	EP1 FIFO Data Register	0x00

19.3.20 EP2 FIFO Data Register (USBEP2)

Address : 0xA000_1850h

Bit	R/W	Description	Default Value
31 : 0	R/W	EP2 FIFO Data Register	0x00

19.3.21 EP3 FIFO Data Register (USBEP3)

Address : 0xA000_1854h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP3 FIFO Data Register	0x00

19.3.22 EP4 FIFO Data Register (USBEP4)

Address : 0xA000_1858h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP4 FIFO Data Register	0x00


20 ELECTRICAL CHARACTERISTIC

20.1 DC Electrical Characteristic

The ESD of device meets HBM-2KV and MM-200V.

The following table summarizes the electrical design specifications of DC specifications:

Table 20-1 I/O DC Electrical Characteristic

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
High level output voltage	VOH	IOH = -8mA	2.4			V
Low level output voltage	VOL	IOL = 8mA			0.4	V
High level input voltage	VIH	LVTTTL/CMOS interface	2.0		IOVDD+0.5	V
Low level Input voltage	VIL	LVTTTL/CMOS interface			0.8	V
Switch threshold	Vth	CMOS interface	1.2	1.3	1.4	V
		Schmitt-falling-trigger	0.8	0.9	1.0	V
		Schmitt-rising-trigger	1.45	1.55	1.65	V
Hysteresis		Schmitt-trigger interface	0.55	0.65	0.7	V
Input pull-up resistance	RPU	VIN = 0	34	41	64	kΩ
Input pull-down resistance	RPD	VIN = VDDH	33	44	79	kΩ
Input current	II	Vdd = MAX, 0V ≤ Vin ≤ 3.6V	-10		10	μA
Input current with pull down		Vin = Vdd	40		160	μA
Input current with pull up		Vin = 0	-160		40	μA

20.2 Operating Conditions

The following table gives the recommended operating conditions for the integrated circuit (IC) chips using this library:

Table 20-2 I/O Recommended Operating Conditions

Operating Conditions	Min	Typ	Max
Core DC Supply (CoreVDD)	1.62V	1.8V	1.98V
I/O DC Supply Voltage (IOVDD)	3.0V	3.3V	3.6V

20.3 LDO Electrical Specification

Table 20-3 LDO Electrical Specifications

VDD33=3.3V, COUT=1μF, TA=25°C unless otherwise noted

Parameters	Symbol	Test Condition	Min	Typ	Max	Units
Quiescent Current	Iq	Iout = 0 PD = 0		35		μA
Shutdown Current	I _{sd}	PD = VDD33			1	μA
Input Voltage	VDD33		1.8+V _{drp}	-	3.6	V
Output Voltage	VDD18	Iout = 0	1.75		1.85	V
Band Gap Output	VBG			1.2		V
External Capacitor				4.7		μF
Line Regulation		V _{cc} =3.0~3.6V Iout=10mA		0.2		%
		V _{cc} =3.0~3.6V Iout=150mA		0.4		
Dropout Voltage	V _{drp}	Iout=150mA		240		mV
Ripple Rejection	PSRR	Iout=10mA Without bypass Cap (1kHz)		38		db
		Iout=150mA Without bypass Cap (1kHz)		38		
		Iout=150mA With bypass Cap (1kHz)		-		
Output Current	Iout			150		mA
PD Logic input High	V _{iH}		0.85			V
PD Logic input Low	V _{iL}				0.45	V
VDD18 Temperature Coefficient	TC	-45~125°C		40		ppm

20.4 POR Electrical Specification

Table 20-4 POR Specification (Unless otherwise specified, Topr=25°C, VDD=1.8V)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
VDD	Supply voltage		1.6	1.8	2	V
Is	Supply current	VDD=1.8V		3	5	uA
Vtd	Minimum power up trigger level		1			V
Vtdr	Maximum power drop trigger level				0.9	V
Tr	Rising time of VDD		10u		10m	s
Tf	Falling time of VDD to VTH-100Mv (0.9V)		5			us
Td	Reset delay time after VTH trigger	Tr=80us		20		us
VOH	POR output high voltage	No load		VDD		V
		Isource=30uA, VDD≥1V		0.8*VDD		V
		Isource=100uA, VDD≥1.8V		0.8*VDD		V
VOL	POR output low voltage	No load		GND		V

20.5 PLL Electrical Specification

Table 20-5 PLL DC Characteristics (Unless otherwise specified, Topr=25°C, VDD=1.8V)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
AVDD	Supply Voltage		1.6	1.8	2	V
DVDD	Digital Supply Voltage		1.6	1.8	2	V
Is	Supply Current	normal		3		mA
VIH	Input High Voltage		DVDD-0.3			V
VIL	Input Low Voltage				DGND+0.3	V

20.6 ADC Electrical Specification

Table 20-6 ADC Recommended operating conditions

Symbol	Parameter	Min	Typ	Max	Unit
AVDD	Analog Supply Voltage	3	3.3	3.6	V
DVDD	Digital Supply Voltage	1.62	1.8	1.98	V
IR	Input Voltage	0.3		VDDA-0.3	V

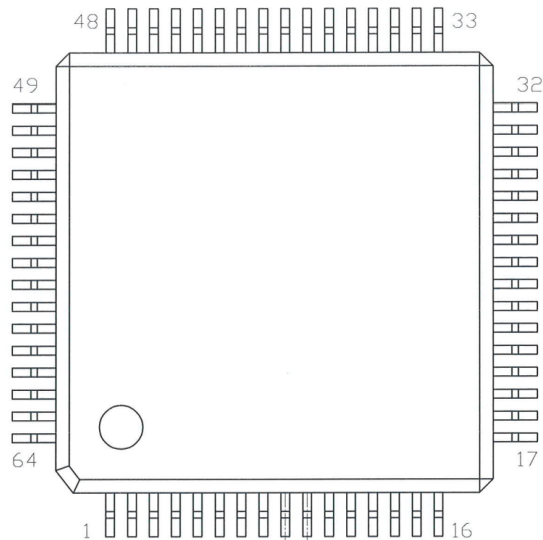
Table 20-7 ADC DC Characteristics (Unless otherwise specified, Topr=25°C, VDD=1.8V)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
VIH	Input High Voltage		1.5			V
VIL	Input Low Voltage				0.8	V
PWR	Power Consumption (AVG)	Temp:0~85°C		0.357	0.46	mA
		Power Down		<1		uA

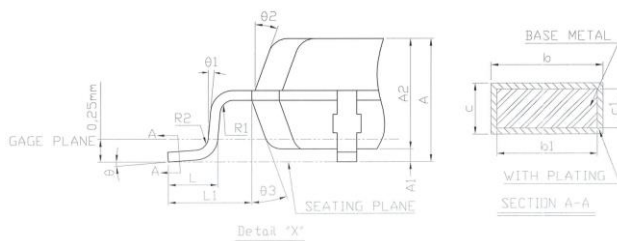
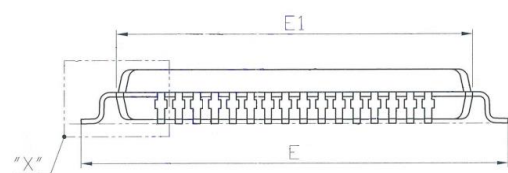
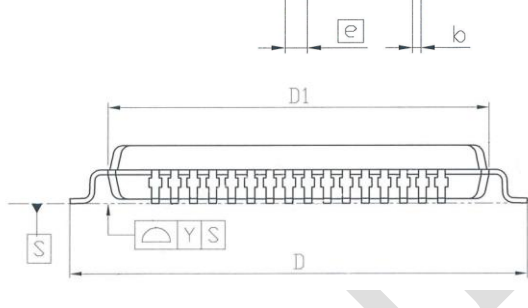
21 PACKAGE DIMENSION

64 Pin : adLuna-TxxG

Unit: mm



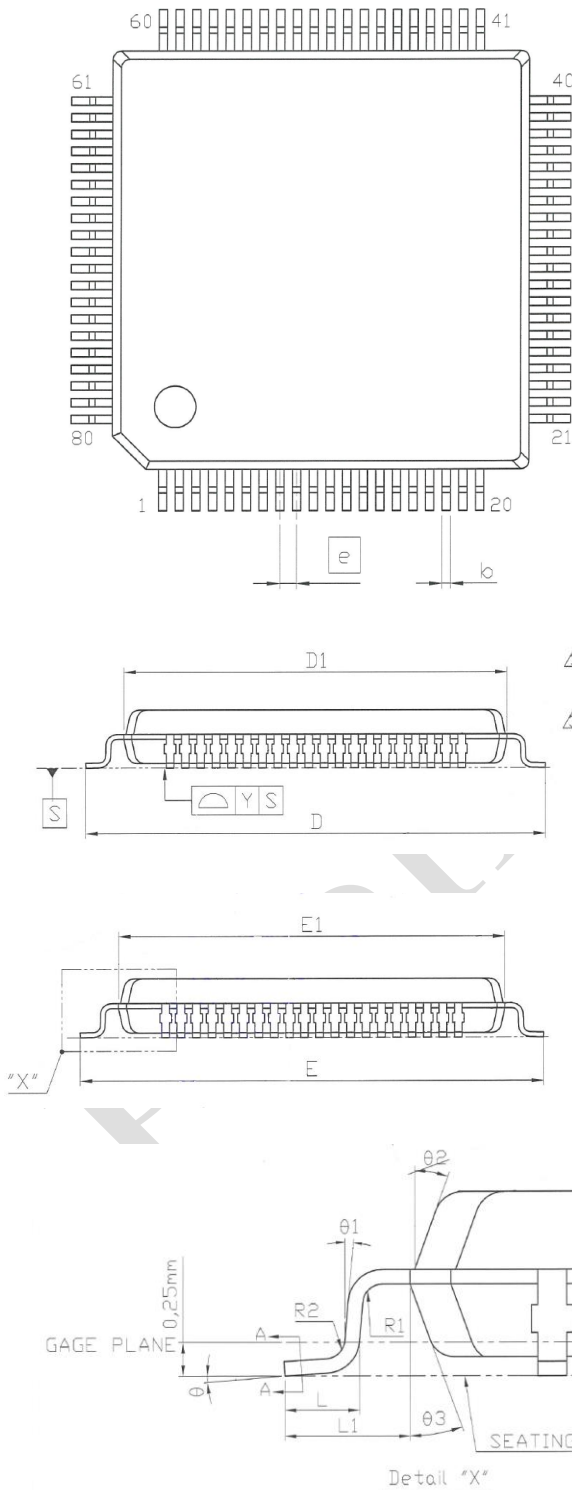
- NOTES:
- REFER TO JEDEC MS-026 (ISSUE D) / BCD
 - DIMENSION D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PER SIDE D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSION INCLUDING MOLD MISMATCH.
 - DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED Δ THE MAXIMUM b DIMENSION BY MORE THAN 0.08mm.
 - ALL DIMENSIONS ARE IN MILLIMETERS.
 - DIMENSION CONVERSION FACTOR : 1mm=39.37mil



SYMBOL	DIMENSION (MM)			DIMENSION (MIL)		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A			1,60			63.0
Δ A1	0,05	0,10	0,15	2,0	3,9	5,9
A2	1,35	1,40	1,45	53,1	55,1	57,1
b	0,17	0,22	0,27	6,7	8,7	10,6
b1	0,17	0,20	0,23	6,7	7,9	9,1
c	0,09		0,20	3,5		7,9
c1	0,09		0,16	3,5		6,3
$\Delta \Delta$ D	11,85	12,00	12,15	466,5	472,4	478,3
Δ D1	9,90	10,00	10,10	389,8	393,7	397,6
Δ E	11,85	12,00	12,15	466,5	472,4	478,3
Δ E1	9,90	10,00	10,10	389,8	393,7	397,6
Δ e	0,45	0,50	0,55	17,7	19,7	21,7
L	0,45	0,60	0,75	17,7	23,6	29,5
Δ L1	0,85	1,00	1,15	33,5	39,4	45,3
R1	0,08			3,1		
R2	0,08		0,20	3,1		7,9
Δ Y			0,08			3,1
θ	0°	3,5°	7°	0°	3,5°	7°
θ 1	0°			0°		
θ 2	11°	12°	13°	11°	12°	13°
θ 3	11°	12°	13°	11°	12°	13°

Figure 21-1 adLuna-TxxG Package Dimension

80 Pin : adLuna-TxxK



NOTES:
 1.REFER TO JEDEC MS-026 (ISSUE D) / BCE
 2.DIMENSION D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PER SIDE D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSION INCLUDING MOLD MISMATCH.
 3.DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED THE MAXIMUM b DIMENSION BY MORE THAN 0.08mm.
 4.ALL DIMENSIONS IN MILLIMETERS.

SYMBOL	DIMENSION (MM)			DIMENSION (MIL)		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A			1.60			63
A1	0.05		0.15	2		6
A2	1.35	1.40	1.45	53	55	57
b	0.13	0.18	0.23	5	7	9
b1	0.13	0.16	0.19	5	6	7
c	0.09		0.20	4		8
c1	0.09		0.16	4		6
D	11.90	12.00	12.10	469	472	476
D1	9.90	10.00	10.10	390	394	398
E	11.90	12.00	12.10	469	472	476
E1	9.90	10.00	10.10	390	394	398
ⓐ	0.40 BSC			16 BSC		
L	0.45	0.60	0.75	18	24	30
L1	1.00 REF			39 REF		
R1	0.08			3		
R2	0.08		0.20	3		8
Y			0.08			3
θ	0°	3.5°	7°	0°	3.5°	7°
θ1	0°			0°		
θ2	11°	12°	13°	11°	12°	13°
θ3	11°	12°	13°	11°	12°	13°

Figure 21-2 adLuna-TxxK Package Dimension

80 Pin (0.8 pitch) : adLuna-TxxL

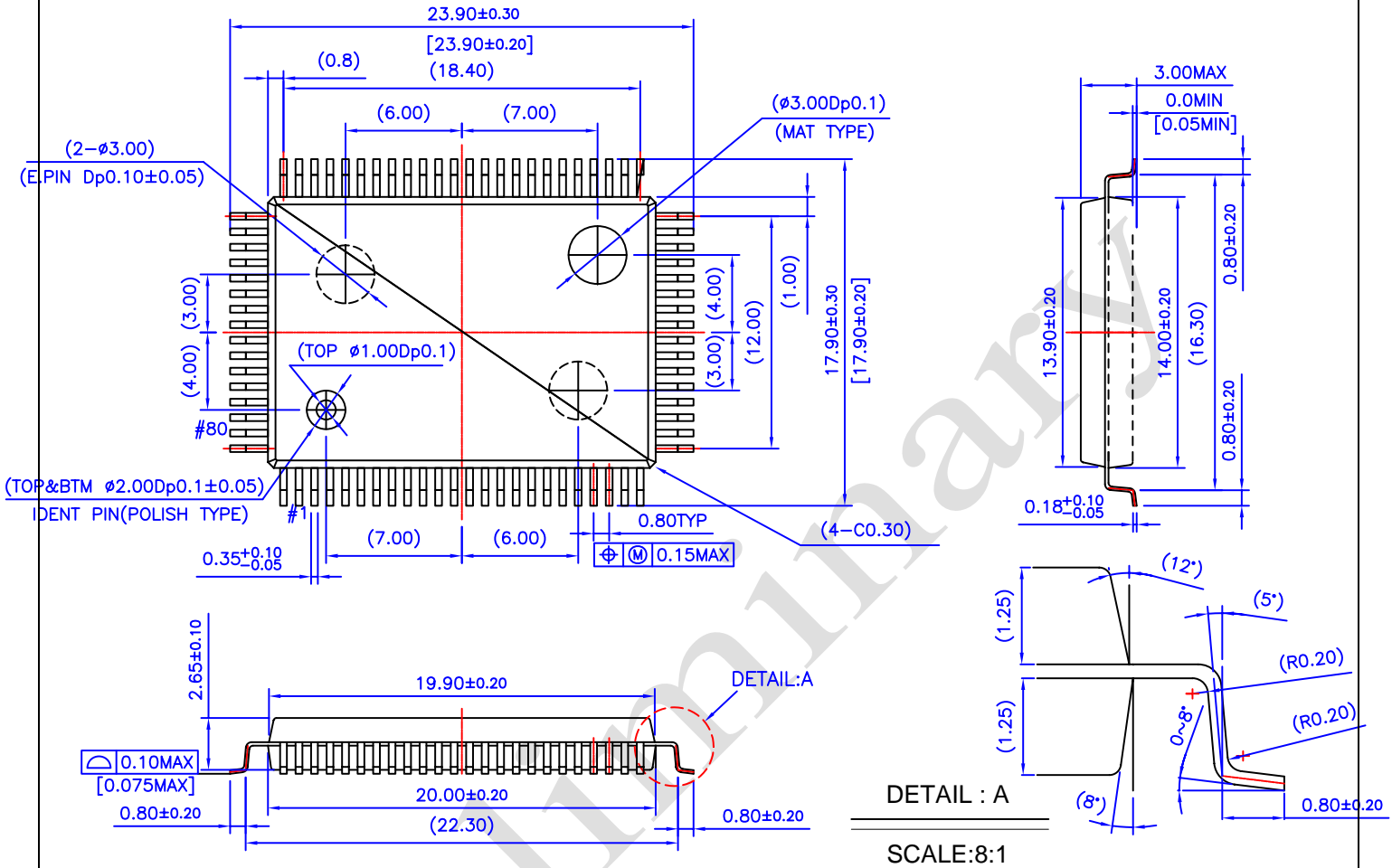


Figure 21-3 adLuna-TxxL Package Dimension