

Preliminary Datasheet

High-Performance Processor

Advanced Digital Chips, Inc.

adStar-L Hardware Manual

Rev. 1.9

April 17, 2019

Subject to Change Without Notice.

© 2019 Advanced Digital Chips, Inc.

All right reserved. No part of this document may be reproduced in any form without written permission from Advanced Digital Chips, Inc. Advanced Digital Chips, Inc. reserves the right to change in its products or product specification to improve function or design at any time, without notice.

Office

Korea (Headquarters)
22F, Bldg A, Keumkang Pentierum IT Tower,
810 Gwangyang-dong, Dongan-gu, Anyang-si,
Gyeonggi-do, 431-060, Korea
T : +82-31-463-7500 / F : +82-31-463-7588
E-mail : gisc@adc.co.kr
<http://www.adc.co.kr>

China
Peak Microtech Co., Ltd
北京芯首电子科技有限公司
E-mail : sales@peaktech.com.cn
<http://www.peaktech.com.cn>



Contents

1 DESCRIPTIONS AND FEATURES	15
1.1 General Description	15
1.2 Features	16
2 BLOCK DIAGRAM & PIN DESCRIPTIONS	18
2.1 Block Diagram	18
2.2 Pin Layout	19
2.3 Pin Definition	21
2.4 Pin Description	29
3 MEMORY ARCHITECTURE AND BOOTING MODES	31
3.1 Memory Map	31
3.2 Embedded Memories	32
3.2.1 Internal SRAM for Instruction	32
3.2.2 Internal SRAM for Data	32
3.2.3 Internal SRAM Registers	32
3.2.4 Internal SRAM Register Setting	33
3.3 Peripheral Memory Map	34
3.4 Boot Modes	35
3.4.1 Debugger Mode	35
3.4.2 Boot Mode	35
3.4.3 Serial Flash Boot	35
3.4.4 NAND Flash Boot	35
3.4.5 SWD Selecion	35
4 SYSTEM CONTROL	36
4.1 Reset Control	36
4.1.1 System Reset	36
4.1.2 Power On Start Time	37
4.2 Clock control	38
4.2.1 Main oscillator	39
4.2.2 RTC oscillator (32KHz)	39
4.2.3 PLL0	40
4.2.4 PLL1	41
4.2.5 PLLx Clock Change	41
4.2.6 Clock gating	42
4.2.7 Additional Clock Divider	42
4.2.8 USB Clock	43
4.2.9 TFT LCD Clock	43
4.2.10 Sound Mixer Clock	44
4.2.11 Protection Mechanism	44
4.3 Power modes	45
4.3.1 RUN mode	45
4.3.2 Sleep mode	45
4.3.3 Stop mode	46
4.3.4 Shutdown mode	47
4.3.5 Static mode	48
4.4 System Control Registers	48
4.4.1 System Control Global Lock Register (GLOCK)	48
4.4.2 System Control Write Enable Register (WREN)	49
4.4.3 Halt Register	49
4.4.4 Halt Status Register	50
4.4.5 Interrupt Wake up Enable Register	51
4.4.6 Event Wake up Enable Register	52
4.4.7 PMC Status Register	53
4.4.8 OSC Stable Counter Register	53
4.4.9 Clock Control Register (CLKCON)	53
4.4.10 PLL0 Control Register (PLLCON0)	54
4.4.11 Clock Divider Control Register (CLKDCON)	55
4.4.12 AHB Clock Enable Register (HCLKEN)	56
4.4.13 APB Clock Enable Register (PCLKEN)	56
4.4.14 USB PHY Control Register (USBPHYCON)	57
4.4.15 Boot mode status register(BMST)	57
4.4.16 Boot mode config register(BMCT)	57
4.4.17 HCLK clock divide register(HCLKDIV)	58
4.4.18 CLK16_0 clock divide register(CLK16DIV0)	58

4.4.19	CLK16_1 clock divide register(CLK16DIV1).....	58
4.4.20	LCD clock divide register(LCDDIV).....	58
4.4.21	Sound Mixer clock divide register(SMDIV).....	59
4.4.22	PLL1 Control Register (PLLCON1).....	59
5	SPI FLASH MEMORY CONTROLLER.....	60
5.1	Introduction.....	60
5.2	Feature.....	60
5.3	Functional Description.....	61
5.3.1	Register Interface.....	61
5.3.2	Memory Interface.....	61
5.3.3	Internal Flash Memory.....	61
5.3.4	Internal Flash Memory Commands.....	62
5.3.5	Flash Status Register.....	64
5.3.6	Chip Erasing Flash memory.....	66
5.3.7	Sector/Block Erasing Flash memory.....	66
5.3.8	Programing Flash memory.....	66
5.3.9	Reading Flash memory.....	67
5.3.10	Power Down and Release Power Down.....	67
5.3.11	Flash Mode Register (FLMOD).....	67
5.3.12	Flash Baudrate Register (FLBRT).....	67
5.3.13	Flash Chip Select High Pulse Width Register (FLCSH).....	67
5.3.14	Flash WIP Check Period Register (FLWCP).....	68
5.3.15	Flash Clock Delay Register (FLCKDLY).....	68
5.4	Register Description.....	69
5.4.1	Flash Mode Register (FLMOD).....	69
5.4.2	Flash Baudrate Register (FLBRT).....	70
5.4.3	Flash Chip Select High Pulse Width Register (FLCSH).....	70
5.4.4	Flash Performance Enhance Mode Register (FLPEM).....	70
5.4.5	Flash Command Register (FLCMD).....	70
5.4.6	Flash Status Register (FLSTS).....	70
5.4.7	Flash Sector Erase Address Register (FLSEA).....	70
5.4.8	Flash Block Erase Address Register (FLBEA).....	71
5.4.9	Flash Data Register (FLDAT).....	71
5.4.10	Flash WIP Check Period Register (FLWCP).....	71
5.4.11	Flash Clock Delay Register (FLCKDLY).....	71
5.4.12	Flash 2nd Status Register (FLSTS2).....	71
5.4.13	Flash ID Read Register (FLIDR).....	71
5.4.14	Flash Memory Size Write Register (SFMSIZE).....	72
6	GPIO (GENERAL PURPOSE I/O).....	73
6.1	Features.....	73
6.2	Block Diagram.....	73
6.3	Functional Description.....	74
6.3.1	Port Control.....	74
6.3.2	Port Edge Detect.....	74
6.4	Register Description.....	75
6.4.1	Port Direction Registers (GPxDIR).....	75
6.4.2	Port Direction Output Mode Setting Registers (GPxODIR).....	75
6.4.3	Port Direction Input Mode Setting Registers (GPxIDIR).....	75
6.4.4	Port Output Data Level Registers (GPxOLEV).....	75
6.4.5	Port Output Data Registers (GPxDOUT).....	76
6.4.6	Port Output Data High Level Setting Registers (GPxOHIGH).....	76
6.4.7	Port Output Data Low Level Setting Registers (GPxOLOW).....	76
6.4.8	Port Input Data Level Registers (GPxILEV).....	77
6.4.9	Port Pull-up Status Registers (GPxPUS).....	77
6.4.10	Port Pull-up Enable Registers (GPxPUEN).....	77
6.4.11	Port Pull-up Disable Registers (GPxPUDIS).....	77
6.4.12	Port Rising Edge Detect Registers (GPxRED).....	78
6.4.13	Port Falling Edge Detect Registers (GPxFED).....	78
6.4.14	Port Edge Detect Status Registers (GPxEDS).....	78
6.4.15	Port Open Drain Mode Control Registers (GPxODM).....	79
6.4.16	Port Schmitt Input Enable Registers (GPxSHMT).....	79
6.4.17	Port Pull-down Status Registers (GPxPDS).....	79
6.4.18	Port Pull-down Enable Registers (GPxPDEN).....	79
6.4.19	Port Pull-down Disable Registers (GPxPDDIS).....	80
7	PIN Mux.....	81
7.1	Pin Mux register.....	81
8	INTERRUPT CONTROLLER.....	82
8.1	Features.....	82

8.2	Functional Description	82
8.2.1	Interrupt Vector and Priority	83
8.2.2	External Interrupt (EIRQx)	84
8.2.3	Internal Interrupt Mode	84
8.2.4	Interrupt Pending and Interrupt Pending Clear	85
8.2.5	Interrupt Enable	85
8.2.6	Interrupt Mask Set/Clear Register	85
8.3	Register Description	86
8.3.1	Interrupt Pending Clear Register (INTPENDCLR)	86
8.3.2	External Interrupt Mode and External PIN Level Register (EINTMOD)	86
8.3.3	Internal Interrupt Mode Register (IINTMODn)	87
8.3.4	Interrupt Pending Register (INTPENDn)	88
8.3.5	Interrupt Enable Register (INTENn)	89
8.3.6	Interrupt Mask Status Register (INTMASKn)	90
8.3.7	Interrupt Mask Set Register (INTMASKSETn)	90
8.3.8	Interrupt Mask Clear Register (INTMASKCLRn)	91
9	CORE TIMER	92
9.1	Features	92
9.2	15-bit Pre-scaler with clock source selection	92
9.3	Timer/Counter	93
9.4	Timer Control Registers	94
9.4.1	Timer Reset Control Register (TMRST)	94
9.4.2	Timer Control Registers (TMCON)	94
9.4.3	Timer Counter Registers (TMCNT)	94
9.4.4	Timer Interrupt waveform	94
10	WATCHDOG TIMER	95
10.1	Register Description	96
10.1.1	Watchdog Timer Control Register (WDTCTRL)	96
10.1.2	Watchdog Timer Counter Value Register (WDTCNT)	96
10.1.3	Watchdog Timer Lock Value Register (WDTLOCK)	96
	Operational Flow Diagrams	97
11	TIMERS	98
11.1	Features	98
11.2	Functional Description	98
11.2.1	15-bit Pre-scaler with clock source selection	98
11.2.2	Timer/Counter	99
11.2.3	Pulse Width Modulation (PWM)	100
11.2.4	Capture	102
11.3	Register Description	104
11.3.1	Timer Pre-scale Control Registers (TPxCTRL)	104
11.3.2	Timer Control Registers (TMxCTRL)	104
11.3.3	Timer Counter / PWM Period Registers (TMxCNT)	105
11.3.4	Capture Counter Registers / PWM Duty Registers (TMxDUT)	105
11.3.5	PWM Pulse Count Registers (TMxPUL)	105
12	REAL TIMER CLOCK	106
12.1	RTC Features	106
12.2	RTC diagram	107
12.3	RTC Calibration (function diagram)	107
12.4	Real Time Counter Control Register	108
12.4.1	Real Time Counter Control Register (RTCCON_1)	108
12.4.2	Real Time Counter Control Register (RTCCON_2)	108
12.5	Real Time Counter Register	109
12.5.1	Real Time Counter Sec Register (RSEC)	109
12.5.2	Real Time Counter Min Register (RMIN)	109
12.5.3	Real Time Counter Hour Register (RHOURL)	109
12.5.4	Real Time Counter Day Register (RDAY)	109
12.5.5	Real Time Counter Week Register (RWEEK)	109
12.5.6	Real Time Counter Month Register (RMONTH)	109
12.5.7	Real Time Counter Year Register (RYEAR)	109
12.6	Real Time Alarm Register	110
12.6.1	Real Time Alarm Register (RALM_S)	110
12.6.2	Real Time Alarm Register (RALM_M)	110
12.6.3	Real Time Alarm Register (RALM_H)	110
12.6.4	Real Time Alarm Register (RALM_D)	110
12.6.5	Real Time Alarm Register (RALM_MO)	110
12.7	Real Time Back up Register	111
12.7.1	Real Time Back up Register (BACKUP0_0)	111
12.7.2	Real Time Back up Register (BACKUP0_1)	111

12.7.3	Real Time Back up Register (BACKUP0_2).....	111
12.7.4	Real Time Back up Register (BACKUP0_3).....	111
12.7.5	Real Time Back up Register (BACKUP1_0).....	112
12.7.6	Real Time Back up Register (BACKUP1_1).....	112
12.7.7	Real Time Back up Register (BACKUP1_2).....	112
12.7.8	Real Time Back up Register (BACKUP1_3).....	112
12.7.9	Real Time Back up Register (BACKUP2_0).....	113
12.7.10	Real Time Back up Register (BACKUP2_1).....	113
12.7.11	Real Time Back up Register (BACKUP2_2).....	113
12.7.12	Real Time Back up Register (BACKUP2_3).....	113
12.7.13	Real Time Back up Register (BACKUP3_0).....	114
12.7.14	Real Time Back up Register (BACKUP3_1).....	114
12.7.15	Real Time Back up Register (BACKUP3_2).....	114
12.7.16	Real Time Back up Register (BACKUP3_3).....	114
12.8	Real Time PMU Controller Register (PMUCON)	115
12.9	RTC interrupt timing diagram	116
12.9.1	Alarm interrupt operation	116
12.9.2	1sec interrupt operation	116
12.9.3	1/2 interrupt operation.....	117
12.9.4	1/4 interrupt operation.....	117
13	COPROCESSOR	118
13.1	Features	118
13.2	Coprocessor Description.....	118
13.3	Coprocessor Control Registers	119
13.3.1	System Coprocessor Status Register (SCPR15)	119
13.3.2	Master Command Register (SCPR15).....	119
13.3.3	Supervisor Stack Point Register (SCPR14)	119
13.3.4	User Stack Point Register (SCPR13).....	119
13.3.5	Vector Base Register (SCPR12).....	119
13.3.6	Invalidate Cache Line and Lock Register (SCPR11).....	120
13.3.7	Memory Bank Configuration Register (SCPR9).....	120
13.3.8	General Access Point Data Register (SCPR4).....	121
13.3.9	General Access Point Index Register (SCPR3)	121
14	UART.....	122
14.1	Features	122
14.2	Block Diagram	122
14.3	Functional Description	123
14.3.1	Serial Data Format	123
14.3.2	UART Baud Rate.....	125
14.4	Register Summary	126
14.5	Register Description.....	127
14.5.1	UART Channel Receiver Buffer Registers (UxRB)	127
14.5.2	UART Channel Transmitter Holding Registers (UxTH)	127
14.5.3	UART Channel Interrupt Enable Registers (Uxie).....	127
14.5.4	UART Channel Interrupt Identification Register (UxIi)	127
14.5.5	UART Channel FIFO Control Register (UxFC).....	128
14.5.6	UART Channel Line Control Register (UxLC)	129
14.5.7	UART Channel Line Status Register (UxLS)	130
14.5.8	UART Channel Divisor Latch LSB Register (UxDLL)	131
14.5.9	UART Channel Divisor Latch MSB Register (UxDLM)	131
14.5.10	UART Channel Fractional Divider Register (UxFDR)	131
15	DMA.....	132
15.1	Features	132
15.2	Block Description	133
15.3	Functional Description	134
15.3.1	DMA Operation.....	134
15.3.2	Linked List Operation.....	135
15.3.3	Auto Reload Operation	138
15.3.4	Peripheral Interface	141
15.4	Register Description.....	143
15.4.1	DMA Interrupt Status (DMAIntStatus)	143
15.4.2	DMA Terminal Count Interrupt Status (DMATCIntStatus)	143
15.4.3	DMA Terminal Count Interrupt Clear (DMATCIntClr).....	143
15.4.4	DMA Error Interrupt Status (DMAErrorIntStatus)	143
15.4.5	DMA Error Interrupt Clear (DMAErrorIntClr).....	143
15.4.6	DMA Block Interrupt Status (DMABlockIntStatus)	144
15.4.7	DMA Block Interrupt Clear (DMABlockIntClr)	144
15.4.8	DMA Raw Terminal Count Interrupt Status (DMARawTCIntStatus)	144
15.4.9	DMA Raw Error Interrupt Status (DMARawErrorIntStatus)	144
15.4.10	DMA Enabled Channel Status (DMAEnbldChn).....	144

15.4.11	DMA Software Burst Request (DMASoftBReq)	144
15.4.12	DMA Software Single Request (DMASoftSReq)	145
15.4.13	DMA Software Last Burst Request (DMASoftLBReq)	145
15.4.14	DMA Software Last Single Request (DMASoftLSReq)	145
15.4.15	Channel Source Address Register (ChnSrcAddr)	145
15.4.16	Channel Destination Address Register (ChnDstAddr)	146
15.4.17	Channel Linked List Item Register (ChnLLI)	146
15.4.18	Channel Control Register (ChnCntrl)	146
15.4.19	Channel Configuration Register (ChnCfg)	148
15.4.20	Channel Source Gather Address Register (ChnSrcGaAddr)	149
15.4.21	Channel Destination Scatter Address Register (ChnDstScaAddr)	149
15.4.22	Channel Auto Reload Count Register (ChnAutoReloadCnt)	149
15.5	Program Guide	150
15.5.1	Summary of Register	150
15.5.2	Programming Sequence	150
15.5.3	Program Consideration	151
16	LOCAL MEMORY CONTROLLER	152
16.1	Register Description	152
16.1.1	SDRAM Control Register (MEMCON)	152
16.1.2	SDRAM Clock Delay Register (MEMCLKCON)	152
16.1.3	SDRAM Refresh Control Register (MEMREFCON)	153
17	NAND FLASH CONTROLLER	154
17.1	Features	154
17.2	Functional Description	155
17.2.1	Data Read/Write	155
17.2.2	DMA Operation	155
17.3	ECC Operation	155
17.3.1	ECC Encoding	156
17.3.2	ECC Decoding by S/W	156
17.3.3	ECC Decoding by H/W (Auto ECC Decoding)	156
17.4	Register Description	157
17.4.1	NAND Flash Memory Control Register (NFCTRL)	157
17.4.2	NAND Flash Memory Command Set Register (NFCMD)	157
17.4.3	NAND Flash Memory Address Register (NFADR)	157
17.4.4	NAND Flash Memory Data Register (NFDATA)	158
17.4.5	NAND Flash Memory Operation Status Register (NFSTAT)	158
17.4.6	NAND Flash Memory ECC(Error Correction Code) Register (NFECC)	158
17.4.7	NAND Flash Memory Configuration Register (NFCFG)	159
17.4.8	NAND Flash Memory ECC Code for LSN data (NFECCL)	159
17.4.9	NAND Flash Memory Error Corrected Data Register (NFECD)	159
17.4.10	NAND Flash Memory Spare Address Register (NFSPADR)	160
17.4.11	NAND Flash Memory MLC ECCn Register (NFECCn)	160
17.4.12	NAND Flash Memory Error Location n Register (NFERRLOCn)	160
17.4.13	NAND Flash Memory Error Pattern n Register (NFERRPTNn)	160
17.4.14	NAND Flash Memory ID Register (NFMID)	160
18	SD HOST CONTROLLER	161
18.1	Features	161
18.2	Block Diagram	161
18.3	SD Card Protocol	161
18.4	Register Description	162
18.4.1	SDHC Control Register (SDHCCON)	162
18.4.2	SDHC Status Register (SDHCSTAT)	163
18.4.3	SDHC Clock Divide Register (SDHCCD)	164
18.4.4	SDHC Response Time Out Register (SDHCRTO)	164
18.4.5	SDHC Read Data Time Out Register (SDHCRDTO)	165
18.4.6	SDHC Block Length Register (SDHCBL)	165
18.4.7	SDHC Number of Block Register (SDHCNOB)	165
18.4.8	SDHC Interrupt Enable Register (SDHCIE)	166
18.4.9	SDHC Command Control Register (SDHCCMDCON)	167
18.4.10	SDHC Command Argument Register (SDHCCMDA)	167
18.4.11	SDHC Response FIFO Access Register (SDHCRFA)	167
18.4.12	SDHC Data FIFO Access Register (SDHCDFFA)	167
19	SPI LCD CONTROLLER	168
19.1	Features	168
19.2	Register Description	168
19.2.1	SPI LCD control Register (CTRL)	168
19.2.2	SPI LCD Baud Rate Register (BAUD)	168
19.2.3	SPI LCD DMA Configuration Register (SPI_LCD_DMA)	168

19.2.4	SPI LCD ChipSelect Register (CSx)	169
19.2.5	SPI LCD Status Register (SPI_LCD_STAT)	169
19.2.6	LCD Data Register (SPI_LCD_DATA)	169
19.2.7	LCD Interrupt Mask Register (SPI_LCD_INT)	169
20	SPI (SERIAL PERIPHERAL INTERFACE)	170
20.1	Features	170
20.2	Block Diagram	170
20.3	Functional Description	171
20.3.1	SPI Pins	171
20.3.2	SPI Operating Modes	172
20.3.3	Data Transfer Timing	173
20.3.4	SCK Phase and Polarity Control	174
20.3.5	SPI Serial Clock Baud Rate	174
20.3.6	Open-Drain Output for Wired-OR	175
20.3.7	Transfer Size and Direction	175
20.3.8	Write Collision	175
20.3.9	MODE Fault	175
20.3.10	Interrupt	176
20.4	Register Description	177
20.4.1	SPI Control Register (SPICTRL)	177
20.4.2	SPI Baud Rate Register (SPIBR)	177
20.4.3	SPI Status Register (SPISTAT)	178
20.4.4	SPI Data Register (SPIDATA)	178
20.4.5	SPI nSS Control Register (nSSCTRL)	179
20.4.6	SPI Interrupt Mask Register (SPIINT)	179
21	TWI (TWO WIRED INTERFACE)	180
21.1	Features	180
21.2	Block Diagram	180
21.3	Functional Description	181
21.3.1	DATA TRANSFER FORMAT	181
21.3.2	START AND STOP CONDITION	181
21.3.3	ACK SIGNAL TRANSMISSION	182
21.3.4	READ-WRITE OPERATION	182
21.3.5	BUS ARBITRATION PROCEDURES	183
21.3.6	ABORT CONDITIONS	184
21.3.7	Operational Flow Diagrams	184
21.4	Register Description	190
21.4.1	TWI Control Register (TWICTRL)	190
21.4.2	TWI Status Register (TWISTAT)	191
21.4.3	TWI Address Register (TWIADR)	192
21.4.4	TWI Data Register (TWIDATA)	192
21.4.5	TWI Baud-Rate 0 Register (TWIBR0)	192
21.4.6	TWI Baud-Rate 1 Register (TWIBR1)	192
22	SOUND MIXER	194
22.1	Features	194
22.2	Block Diagram	194
22.3	Low Pass Filter for Digital Modulator	195
22.4	Sound Mixer clock	195
22.5	Mixer Block Diagram	196
22.6	Register Description	197
22.6.1	Mixer Control Register (MIXER_CON)	197
22.6.2	Mixer Volume Register (MIXER_VOL)	198
22.6.3	Mixer Buffer Status Register (MIXER_BST)	198
22.6.4	Mixer Data Register (MIXER_DAT)	198
22.6.5	Mixer Out Register (MIXER_OUT)	198
22.6.6	Mixer Interrupt Status Register (MIX_IST)	198
23	ADC CONTROLLER	199
23.1	Features	199
23.2	Register Description	200
23.2.1	ADC Control Register (ADCCTRL)	200
23.2.2	ADC Data Register (ADCDATA)	200
23.2.3	ADC FIFO Register (ADCFIFO)	200
23.2.4	ADC Status Register (ADCSTAT)	201
23.2.5	ADC Control Register2 (ADCCTRL2)	201
24	TFT LCD CONTROLLER	202
24.1	Introduction	202
24.2	Features	202

24.3	Functional Description	203
24.3.1	LCD clock source and divider	203
24.3.2	Double buffering	203
24.3.3	LCD Interrupt	204
24.3.4	HSYNC, VSYNC	204
24.3.5	DISPEN (Hor.active)	205
24.3.6	VGA Timings	205
24.3.7	Color Bar Test Pattern Generation Block	207
24.4	Register Description	207
24.4.1	LCD Horizontal Total Register(LCDHT)	207
24.4.2	LCD Horizontal Sync. Start / End Register(LCDHS)	208
24.4.3	LCD Horizontal Active Start / End Register(LCDHA)	208
24.4.4	LCD Vertical Total Register(LCDVT)	208
24.4.5	LCD Vertical Sync. Start / End Register(LCDVS)	208
24.4.6	LCD Vertical Active Start / End Register(LCDVA)	209
24.4.7	LCD Display Current X / Y Position Register(LCDXY)	209
24.4.8	LCD Status Register(LCDSTAT)	209
24.4.9	LCD Control Register(LCDCON)	210
24.4.10	LCD Base Address 0 Register (LCDBADR0)	210
24.4.11	LCD Base Address 1 Register (LCDBADR1)	211
24.4.12	LCD Frame Sync. Count Register (LCDFRAMECNT)	211
24.4.13	LCD Horizontal Width Register (LCDHWIDTH)	211
24.4.14	LCD Flip Control Register (LCDFCTL)	211
24.4.15	LCD Base Address 2 Register (LCDBADR2)	211
24.4.16	LCD Base Address 3 Register (LCDBADR3)	211
25	JPEG DECODER	212
25.1	Features	212
25.2	Block Description	212
25.3	Functional Description	214
25.4	Register Description	215
25.4.1	JPEG Decoder Quantization Scale Control Register (JDQSC)	215
25.4.2	JPEG Decoder Command Control Register (JDCC)	215
25.4.3	JPEG Decoder Y DC Node Table (JDYDCNT)	215
25.4.4	JPEG Decoder Y DC Leaf Table (JDYDCLT)	215
25.4.5	JPEG Decoder Y AC Node Table (JDYACNT)	215
25.4.6	JPEG Decoder Y AC Leaf Table (JDYACLT)	216
25.4.7	JPEG Decoder UV DC Node Table (JDUVDCNT)	216
25.4.8	JPEG Decoder UV DC Leaf Table (JDUVDCLT)	216
25.4.9	JPEG Decoder UV AC Node Table (JDUVACNT)	216
25.4.10	JPEG Decoder UV AC Leaf Table (JDUVACLT)	216
25.4.11	JPEG Decoder Status Register (JDSTAT)	216
25.4.12	JPEG Decoder IRQ Status Register (JDIRQSTAT)	217
25.4.13	JPEG Decoder Data FIFO Status Register (JDDFSTAT)	217
25.4.14	JPEG Decoder Enable Register (JDENA)	217
25.4.15	JPEG Decoder FIFO Clear Register (JDFCLR)	217
25.4.16	JPEG Decoder FIFO Control Register (JDFCON)	218
25.4.17	JPEG Decoder Waite Control Register (JDWCON)	218
25.4.18	JPEG Decoder Software Reset Register (JDSRST)	218
25.4.19	JPEG Decoder Version Information Register (JDVERINFO)	218
25.4.20	JPEG Decoder CSC Base Address Register (JDCSCBASEADDR)	218
25.4.21	JPEG Decoder Stride Size Register (JDCSTRID)	218
25.4.22	JPEG Decoder RGB565 mode and Timeout count enable (JDCRGBTIMEOUT)	219
25.4.23	JPEG Decoder Timeout counter Register (JDCTIMEOUTCNT)	219
25.4.24	JPEG Decoder Timeout counter clear (JDCTIMEOUTCLR)	219
25.4.25	JPEG Decoder Input Data FIFO Register (JDIDF)	219
26	USB DEVICE	220
26.1	Features	220
26.2	Register Summary	220
26.2.1	USB Function Address Register	221
26.2.2	USB Power Management Register	221
26.2.3	USB Interrupt Registers	221
26.2.4	USB Interrupt Enable Registers	221
26.2.5	Frame Number Registers	221
26.2.6	Index Register	221
26.2.7	MAXP Register	221
26.2.8	EP0 Control Register	221
26.2.9	IN Control Registers	221
26.2.10	Out Control Registers	221
26.2.11	Out Write Count Registers	221
26.2.12	Endpoint FIFO Access Registers	221
26.3	Register Description	222

26.3.1	USB Function Address Register (USBFA)	222
26.3.2	USB Power Management Register (USBPM)	222
26.3.3	USB Endpoint Interrupt Register (USBEP1)	223
26.3.4	USB Interrupt Register (USBINT)	223
26.3.5	Endpoint Interrupt Enable Register (USBEP1EN)	224
26.3.6	USB Interrupt Enable Register (USBINTEN)	224
26.3.7	USB Low Byte Frame Number Register (USBLBFN)	224
26.3.8	USB High Byte Frame Number Register (USBHBFN)	224
26.3.9	USB Index Register (USBIND)	224
26.3.10	USB MAXP Register (USBMP)	224
26.3.11	USB EP0 Control Register (USBEP0C)	225
26.3.12	USB IN Control 1 Register (USBIC1)	226
26.3.13	USB IN Control 2 Register (USBIC2)	227
26.3.14	USB Out Control Register 1 (USBOC1)	228
26.3.15	USB OUT Control Register 2 (USBOC2)	228
26.3.16	USB Low Byte Out Write Count Register (USBLOWC)	229
26.3.17	USB High Byte Out Write Count Register (USBHBOWC)	229
26.3.18	EP0 FIFO Data Register (USBEP0)	229
26.3.19	EP1 FIFO Data Register (USBEP1)	229
26.3.20	EP2 FIFO Data Register (USBEP2)	229
26.3.21	EP3 FIFO Data Register (USBEP3)	229
26.3.22	EP4 FIFO Data Register (USBEP4)	229
27	USB HOST CONTROLLER	230
27.1	Features	230
27.2	Operational Registers	230
28	ELECTRICAL CHARACTERISTIC	231
28.1	DC Electrical Characteristic	231
28.2	Operating Conditions	231
28.3	LDO Electrical Specification	231
28.4	POR Electrical Specification	232
28.5	PLL Electrical Specification	232
28.6	ADC Electrical Specification	233
28.7	RTC Operation Voltage	233
28.8	Power Consumption	233
29	PACKAGE DIMENSION	234

Figures

Figure 2-1 adStar-L Block Diagram.....	18
Figure 2-2 adStar-Lxx 100-Pin Layout.....	19
Figure 2-3 adStar-LxxN 88-Pin Layout.....	20
Figure 3-1 Memory Map.....	31
Figure 4-1 Reset.....	36
Figure 4-2 Power On Start Time Diagram.....	37
Figure 4-3 Clock Scheme.....	38
Figure 4-4 Main Oscillator Circuit.....	39
Figure 4-5 32.768-KHz Oscillator Circuit.....	39
Figure 4-6 PLL0 with External Filter.....	40
Figure 4-7 PLL1 with External Filter.....	41
Figure 4-8 Additional Clock Divider.....	42
Figure 4-9 USB Clock.....	43
Figure 4-10 TFT LCD Clock.....	43
Figure 4-11 Sound Mixer Clock.....	44
Figure 4-12 Wake-up process from Sleep mode.....	46
Figure 4-13 Wake-up process from Stop mode.....	47
Figure 4-14 Power Off for Shutdown/Static mode.....	47
Figure 4-15 Wake-up process from Standby mode.....	47
Figure 4-16 Wake-up process from Static mode.....	48
Figure 5-1 Flash Memory Controller Block Diagram.....	60
Figure 5-2 Internal Serial Flash Memory.....	61
Figure 5-3 Serial Flash Memory Status Register 1.....	64
Figure 5-4 Serial Flash Memory Status Register 2.....	64
Figure 5-5 SCK and CS timing.....	67
Figure 5-6 Flash Clock Delay Timing.....	68
Figure 5-7 Access Two Flash.....	72
Figure 6-1 GPIO Block Diagram.....	73
Figure 8-1 External Interrupt Mode.....	84
Figure 9-1 Pre-scaler Block Diagram.....	92
Figure 9-2 Timer Operation.....	93
Figure 9-3 core timer interrupt waveform.....	94
Figure 10-1 Operational flow.....	97
Figure 11-1 Pre-scaler Block Diagram.....	98
Figure 11-2 Timer Operation.....	99
Figure 11-3 PWM Operation.....	101
Figure 11-4 Capture Mode Operation.....	102
Figure 12-1 RTC Block Diagram.....	107
Figure 12-2 Calibration Function Diagram.....	107
Figure 12-3 Alarm Interrupt Operation.....	116
Figure 12-4 1sec Interrupt Operation.....	116
Figure 12-5 1/2 Interrupt Operation.....	117
Figure 12-6 1/4 Interrupt Operation.....	117
Figure 14-1 UART Block Diagram.....	122
Figure 14-2 UART LCR Register Setting and Serial Data Format.....	124
Figure 15-1 DMA Block Diagram.....	133
Figure 15-2 DMA Transfer hierarchy.....	134
Figure 15-3 Linked list.....	135
Figure 15-4 Multi Block Transfer.....	136
Figure 15-5 Gathering by using LLI.....	137
Figure 15-6 Auto Reload Operation Transfer Hierarchy.....	138
Figure 15-7 Scatter with Auto Reload Operation.....	139
Figure 15-8 Gather with Auto Reload Operation.....	140
Figure 15-9 DMA Handshake Signals.....	141
Figure 15-10 Time Diagram of DMA Request.....	142
Figure 17-1 NAND Flash Controller Block Diagram.....	154
Figure 17-2 Read/Write Timing Diagram of NAND Flash Memory.....	155
Figure 18-1 SDHC Block Diagram.....	161
Figure 20-1 SPI Block Diagram.....	170
Figure 20-2 Transfer Timing when CPHA = '0'.....	173
Figure 20-3 Transfer Timing when CPHA = '1'.....	174
Figure 20-4 SCK Phase and Polarity.....	174
Figure 20-5 1-Byte Transfer vs. Status and Interrupt.....	176
Figure 20-6 n-Bytes Transfer vs. Status and Interrupt.....	176
Figure 21-1 TWI Block Diagram.....	180
Figure 21-2 TWI-Bus Interface Data Format.....	181
Figure 21-3 Data Transfer on the TWI-Bus.....	181
Figure 21-4 Acknowledgement of TWI.....	182

Figure 21-5 Bus arbitration 1 of TWI	183
Figure 21-6 Bus arbitration 2	183
Figure 21-7 TWI Initialization Flow Char	184
Figure 21-8 Master Transmit Flow Char.....	185
Figure 21-9 Master Receive Flow Char.....	186
Figure 21-10 Master combined format Flow Char	187
Figure 21-11 Slave Mode Flow Chart (Polling).....	188
Figure 21-12 Slave Mode Flow Chart (Interrupt)	189
Figure 21-13 Tcf interrupt wave form	193
Figure 21-14 SCL Hold wave form	193
Figure 22-1 Mixer Block Diagram.....	194
Figure 22-2 Low pass filter for digital modulator.....	195
Figure 22-3 Sound Mixer Pre-Scaler.....	195
Figure 22-4 Sound Mixer output diagram	196
Figure 23-1 ADC Block Diagram	199
Figure 24-1 LCD Controller Block Diagram	202
Figure 24-2 LCD Clock	203
Figure 24-3 Flipping Structure with double buffering	203
Figure 24-4 LCDC Horizontal, Vertical Sync / Active Signal Timing.....	204
Figure 24-5 Horizontal Timing.....	206
Figure 24-6 Vertical Timing.....	206
Figure 25-1 JPEG Decoder Block Diagram.....	212
Figure 25-2 Decoder Core Block Diagram.....	213
Figure 29-1 adStar_Lxx 100-pin Package Dimension	234
Figure 29-2 adStar_LxxN 88-pin Package Dimension.....	235

Preliminary

Tables

Table 2-1 adStar-Lxx 100-Pin Definitions	21
Table 2-2 adStar-LxxN 88-Pin Definitions	25
Table 3-1 Peripheral Memory Map	34
Table 3-2 Signals for boot mode	35
Table 5-1 Instruction Set Table 1 (Erase, Program Instructions)	62
Table 5-2 Instruction Set Table 2 (Read Instructions)	63
Table 5-3 Instruction Set Table 3 (ID, Security Instructions)	63
Table 5-4 Serial Flash Memory Status Register Description	65
Table 6-1 Internal Pull-up Resistance Characteristics	74
Table 8-1 Interrupt Vector & Priority	83
Table 13-1 Real Memory map	118
Table 13-2 Coprocessor Register Description	118
Table 14-1 UART Baud Rate	125
Table 14-2 UART Fractional Baud Rate	125
Table 14-3 UART Register Summary	126
Table 14-4 UART Interrupt Control Function	128
Table 20-1 SPI Pin Functions	171
Table 24-1 Typical VGA Timings	205
Table 24-2 Register Values for VGA timing	206
Table 24-3 LCD Controller Registers Table	207
Table 26-1 Endpoint List	220
Table 26-2 USB Core Register List	220
Table 27-1 USB Host Register List	230
Table 28-1 I/O DC Electrical Characteristic	231
Table 28-2 I/O Recommended Operating Conditions	231
Table 28-3 LDO Electrical Specifications	231
Table 28-4 POR Specification (Unless otherwise specified, Topr=25°C, VDD=1.8V)	232
Table 28-5 PLL DC Characteristics (Unless otherwise specified, Topr=25°C, VDD=1.8V)	232
Table 28-6 PLL Input Frequency (Unless otherwise specified, Topr=25°C, VDD=1.8V)	232
Table 28-7 ADC Recommended operating conditions	233
Table 28-8 ADC DC Characteristics (Unless otherwise specified, Topr=25°C, VDD=1.8V)	233
Table 28-9 Power Consumption from different conditions	233

History

Ver 1.0	June 29, 2017	1st version released
Ver 1.1	December 5, 2017	Correct the description of the ADC
Ver 1.2	December 21, 2017	Description of Second Status Register of Serial Flash updated
Ver 1.3	December 27, 2017	Default value changed to High at Interrupt Wake up Enable Register
Ver 1.4	December 27, 2017	gpio 6.4 not supported
Ver 1.5	June 23, 2018	year update & 1.5 version update
Ver 1.6	September 18, 2018	gpio diagram modify
Ver 1.7	Oct 20, 2018	1.7 version release
Ver 1.8	Oct 29, 2018	1.8 version release
Ver 1.9	April 17, 2019	pin description update & 1.9 version update

Preliminary

Preliminary

1 DESCRIPTIONS AND FEATURES

1.1 General Description

adStar-L 은 최대 120MHz 의 빠른 동작 속도를 가진 32 비트 마이크로 컨트롤러이며 특히 칩 내부에 내장되는 메모리가 기존의 플래시 메모리뿐만 아니라 SDRAM 까지 내장되어 다양한 어플리케이션에 적용할 수 있다.

PART NAME	FLASH	SDRAM	Package
adStar-L8M	-	8MB	100-Pin QFP
adStar-L8MF512	512KB	8MB	100-Pin QFP
adStar-L16M	-	16MB	100-Pin QFP
adStar-L16MF512	512KB	16MB	100-Pin QFP
adStar-L8MN	-	8MB	88-Pin QFN
adStar-L16MN	-	16MB	88-Pin QFN

adStar-L 은 칩 외부에 연결되거나 내부에 내장된 Quad Flash 로 동작하게 된다. Flash 는 프로그램 코드와 데이터 용도로 같이 사용 가능하며, 설정에 의해 Quad 데이터 비트를 사용하여 매우 빠른 접근이 가능하다. 또한 Serial Debugger 를 통하여 빠른 프로그램 다운로드가 가능하다.

CPU 는 프로그램 메모리와 데이터 메모리를 액세스하기 위한 버스를 독립적으로 구현되어 있으며(하버드 구조), 5 단 파이프라인의 EISC 구조로 매우 빠른 명령 처리를 수행한다.

별도의 하드웨어로 구성된 LCD Controller 는 RGB888 또는 RGB565 출력을 지원하며 동급 최대 800x600 의 해상도를 지원하고 Hardware JPEG Decoding 을 지원한다. 그리고, Graphic Library 을 제공함으로써 adStar-L 칩 하나만으로도 LCD 를 사용하는 스마트 어플리케이션에 최적의 솔루션이 된다.

이 외에 제공되는 MP3 Decoding Library 와 Sound Mixer 는 음성, 효과음, 배경음 등으로 활용할 수 있으며 4 채널 12 비트 ADC(1MSPS)는 센서나 외부 데이터를 활용할 수 있게 한다.

또한 외부에 FLASH Memory, SD Card 를 확장할 수 있고 특히 NAND FLASH 의 경우 SLC Type 뿐만 아니라 24bit ECC 채용으로 MLC Type 을 사용할 수 있으므로 전체적인 시스템 단가를 낮출 수 있다.

다양한 통신 수단으로는 USB 1.1 Full-Speed Device/Host, 2 채널 UART, 1 채널 SPI_LCD, 1 채널 SPI, TWI 등을 제공하며 6 채널 DMA 는 보다 빠른 수행을 할 수 있게 한다. 또한, 파워다운 모드를 지원한다.

adStar-L 는 스마트 가전 등의 스마트 어플리케이션, LCD 를 사용하여 G.U.I 환경의 공장자동화 시스템, 출입통제 시스템, 스마트 그리드, 사인 패드, 각종 프린터, POS, 바코드 시스템, POP 모니터 등에 적용할 수 있다.

개발 환경으로는 GCC 기반의 컴파일러와 소스 편집 및 다운로드, 디버깅 환경을 제공하는 EISC STUDIO, 레퍼런스 회로도, 각종 Library, 예제 소스 코드를 에이디칩스 홈페이지(<http://www.adchips.co.kr>) 자료실에서 아무런 제약없이 다운로드 할 수 있으며, 개발 보드와 다운로드/디버깅 툴인 E-con 은 저렴한 가격에 판매를 하고 있다. 양산 툴로는 조립 전의 칩을 8 개의 소켓이 있는 갱라이터로 WRITE 하는 방법과 칩이 조립된 상태의 타겟 보드의 전원을 이용하여 stand alone 타입의 EISC HANDY 로 하나씩 다운로드 하는 방법을 제공한다.

1.2 Features

- **High-performance, Low-power 32-bit EISC Microprocessor**
- **32-bit EISC Architecture**
 - AE32000C-Lucida
 - Harvard Architecture
 - 5-Stage Pipelining
 - 1 Cycle 32bit MAC
 - Up to 120MIPS Throughput at 120MHz
 - 8KB 2-way Instruction Cache
 - 8KB 2-way Data Cache
 - Serial Wire Debugger
- **Embedded Memory**
 - 2KBytes Internal SRAM for Instruction
 - 1KBytes Internal SRAM for Data
 - 8/16Mbytes SDRAM
 - Optional 512KBytes Flash (More than 100,000 erase/program cycles)
- **External Memory Interface**
 - 8-bit NAND Flash Interface supports SLC and MLC (4/24-bit ECC) type
- **Boot Modes**
 - NAND Flash Booting
 - Serial Flash Booting
- **SWD Interface**
 - Extensive On-chip Debug Support
 - Programming of Serial Flash, other Ram
- **LCD Controller**
 - RGB 888 or 565 output
 - Supports up to 800 x 600 resolution display in RGB mode
- **SPI_LCD Interface**
 - Support 9bit data transfer for lcd control
- **USB 1.1 Full-Speed Device/Host Compatible**
 - Supports Full-speed Data Rate 12Mbps
- **SD-Card Interface**
 - Supports single/quad
- **Sound Mixer**
 - 4ch mixing
 - 1-ch PWM output for Stereo or 2-ch PWM output for mono (1-CH Digital Modulator)
- **RTC**
 - Support RTC counter (hour, minute, second) and calendar counter (year, month, day, week)
 - Support Alarm counter (month, day, hour, minute, second)
 - Support periodic time tick interrupt with 14 period options
 - 1/4sec, 1/2sec, 1sec, 2sec, 4sec, 12sec, 1min, 2min, 4min, 16min, 1hour, 2hour, 4hour, 24hour
 - Support wake-up function

▫ **Other Peripherals**

- 32-bit Watchdog Timer
- 6-ch DMA
- Interrupt Controller with 2 External IRQ
- 2 Channel 16-bit Timer/Counter with 15-bit Pre-scaler, Capture, PWM
- 2 Channel UART with 16Bytes FIFO, Functionally compatible with the 16550, with 1Channel IrDA
- 1 Channel Master/Slave SPI with 8Bytes FIFO
- 1 Channel TWI
- Auto ECC NAND Flash Controller: 4-bit/24-bit ECC Support, Auto Booting with ECC Support
- 55-Port In/Out with open drain mode
- 55-Port GPIO
- JPEG Decoder

▫ **Analog IPs**

- 12-bit 1MSPS SAR ADC with 4 analog input channels(100pin)
- 12-bit 1MSPS SAR ADC with 2 analog input channels(88pin)

- POR (Power On Reset)
- LDO
- PLL x 2

▫ **Operating frequency**

- Up to 120MHz

▫ **Power**

- 3.0V to 3.6V

▫ **Operating Temperature**

- 40°C / +85°C

▫ **Package**

- 100-Pin QFP (14mm x 14mm)
- 88-Pin QFN (10mm x 10mm)

2 BLOCK DIAGRAM & PIN DESCRIPTIONS

2.1 Block Diagram

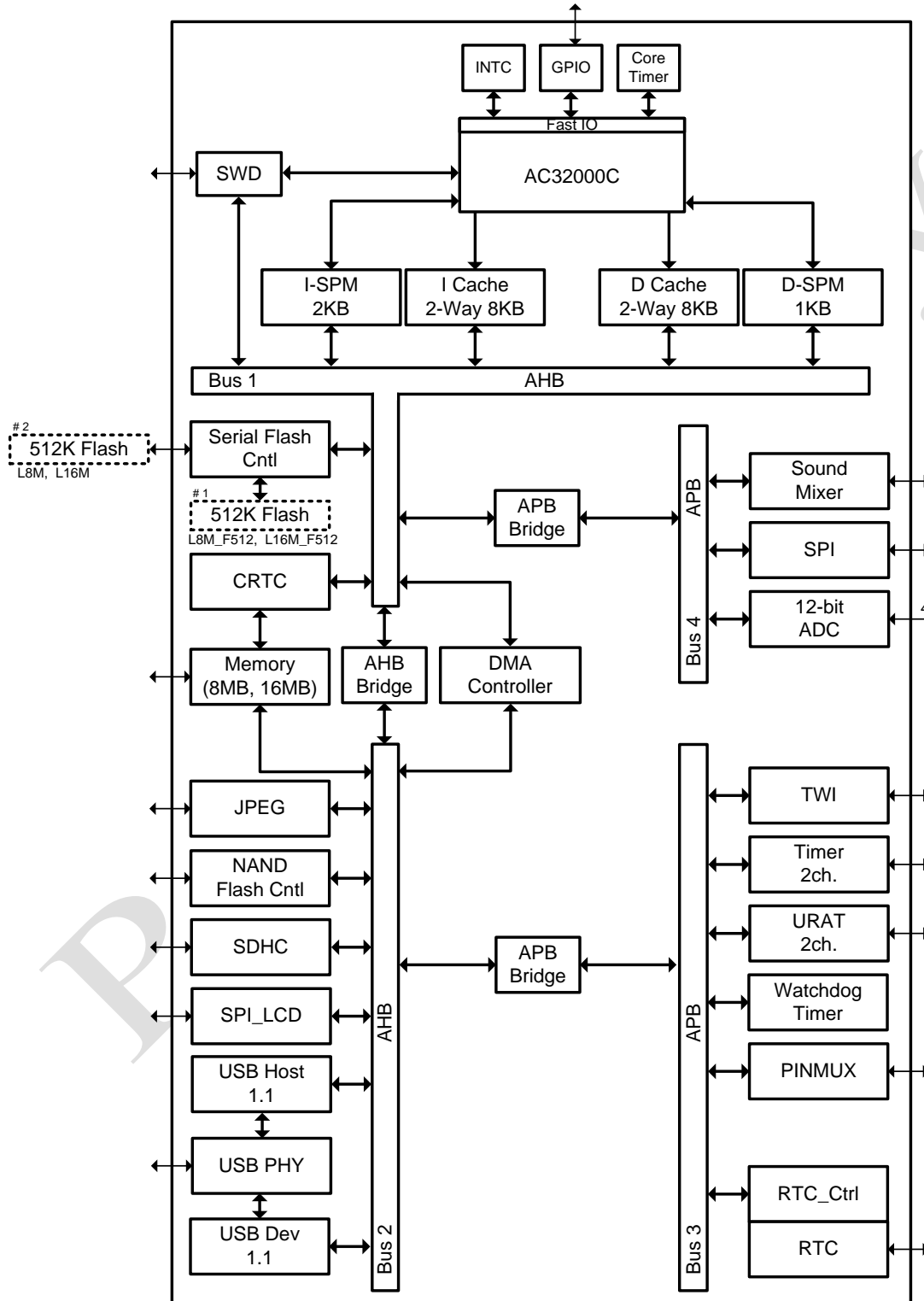


Figure 2-1 adStar-L Block Diagram

2.2 Pin Layout

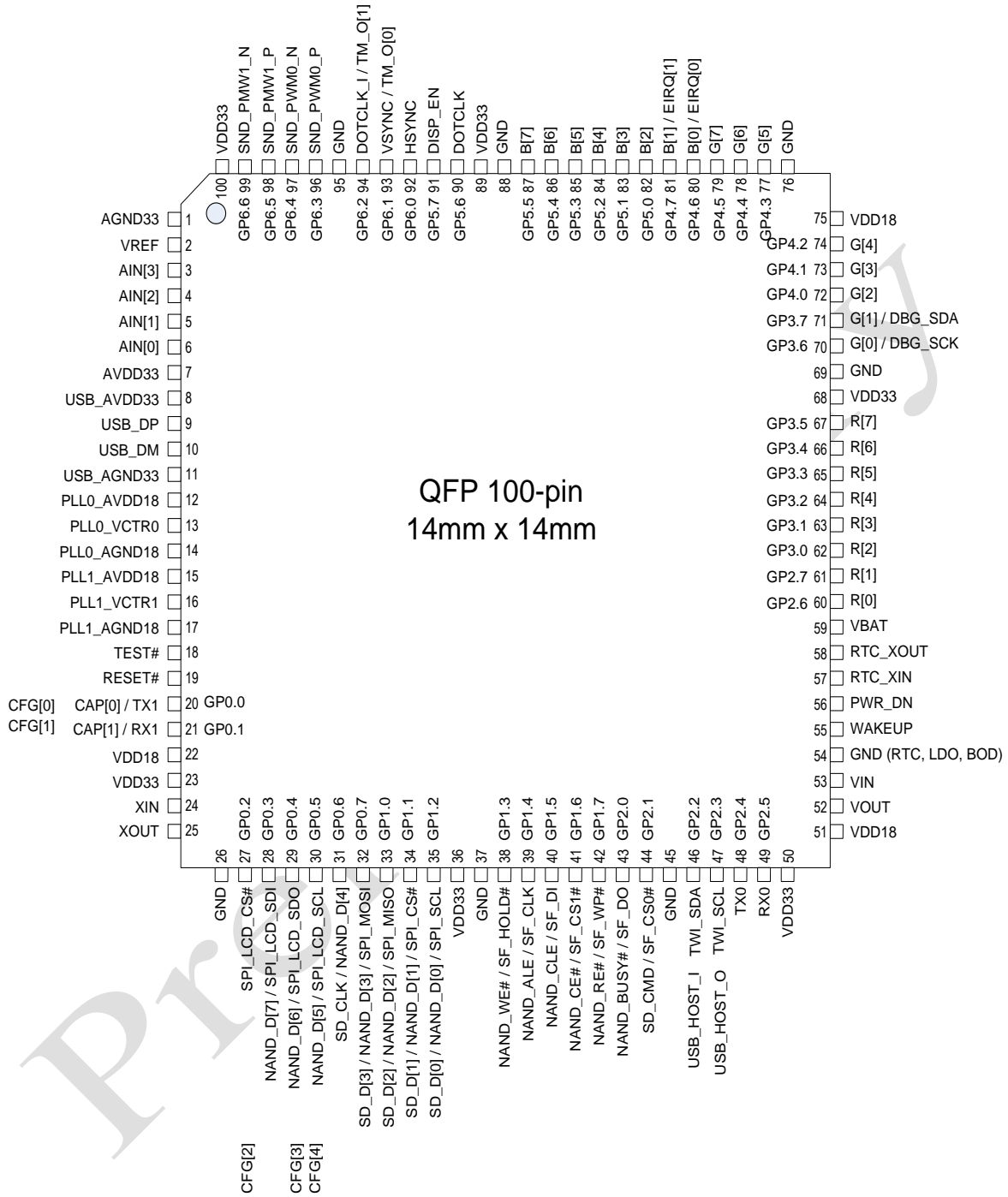
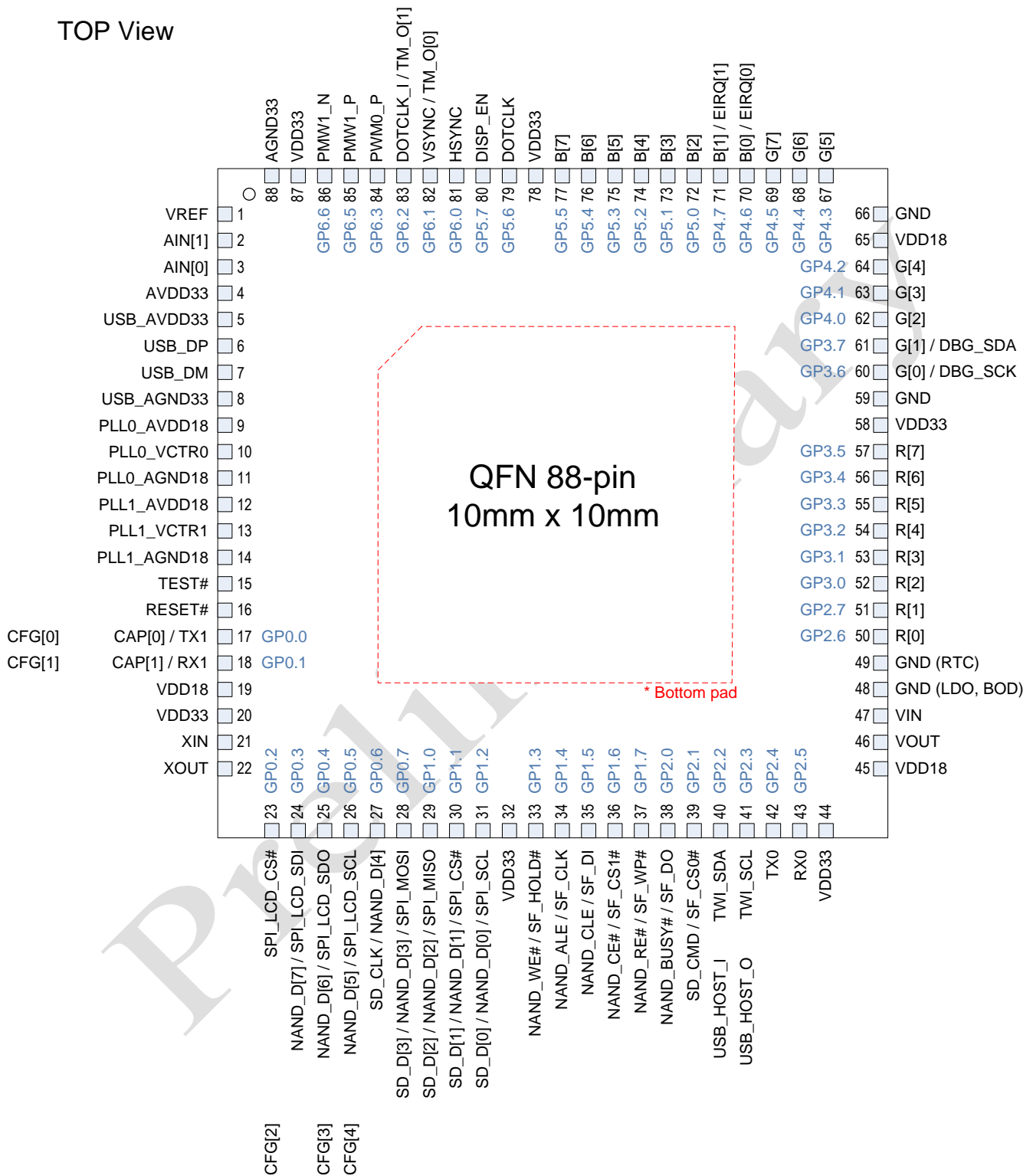


Figure 2-2 adStar-Lxx 100-Pin Layout

TOP View



* Bottom pad is digital ground. It should be connected to Digital ground on the PCB.

Figure 2-3 adStar-LxxN 88-Pin Layout

2.3 Pin Definition

Table 2-1 adStar-Lxx 100-Pin Definitions

No.	Pin Name	Alt CFG	Description.	Type	Output Drive Current	Pull-Up / Pull-Down
1	AGND33		ADC power ground	In		
2	VREF		ADC analog voltage input reference	In		
3	AIN[3]		ADC analog voltage input channel 3	In		
4	AIN[2]		ADC analog voltage input channel 2	In		
5	AIN[1]		ADC analog voltage input channel 1	In		
6	AIN[0]		ADC analog voltage input channel 0	In		
7	AVDD33		ADC power supply 3.3 V	In		
8	USB_AVDD33		USB power supply 3.3 V	In		
9	USB_DP		USB DP - data+ pin	Bidi		
10	USB_DM		USB DM - data- pin	Bidi		
11	USB_AGND33		USB power ground	In		
12	PLL0_AVDD18		PLL0 power supply 1.8V	In		
13	PLL0_VCTR0		Vco control voltage of pll0, corresponding LPF should be connected here	In		
14	PLL0_AGND18		Power ground	In		
15	PLL1_AVDD18		PLL1 power supply 1.8V	In		
16	PLL1_VCTR		Vco control voltage of pll1, corresponding LPF should be connected here	In		
17	PLL1_AGND18		Power ground	In		
18	TEST#		Test mode entrance active low	In		
19	RESET#		Reset of system active low	In		
20	UART_TX1	0	Uart tx [1]	Bidi		
	CAP_IN0	1	Timer capture [0]			
	CFG[0]	3	Bootling Mode Select [0]			
	GP0.0		General Purpose I/O			
21	UART_RX1	0	Uart rx [1]	In		
	CAP_IN1	1	Timer capture [1]			
	CFG[1]	3	Bootling Mode Select [1]			
	GP0.1		General Purpose I/O			
22	VDD18		Core power supply 1.8V	In		
23	VDD33		IO power supply 3.3V	In		
24	XIN		Oscillator xin	In		
25	XOUT		Oscillator xout	Out		
26	GND		Power gournd	Out		
27	SPI_LCD_CS#	0	SPI_LCD chip select signal [1]	In		
	CFG[2]	3	Bootling mode Select [2]			
	GP0.2		General purpose I/O			
28	SPI_LCD_SDI	0	SPI data input [1]	Bidi	8mA	up, down or disable
	NAND_D[7]	1	Nand flash data [7]			
	GP0.3		General purpose I/O			
29	SPI_LCD_SDO	0	SPI_LCD data output [1]	Bidi	8mA	up, down or disable
	NAND_D[6]	1	Nand flash data [6]			
	CFG[3]	3	Bootling mode Select [3]			
	GP0.4		General purpose I/O			
30	SPI_LCD_SCL	0	SPI_LCD clock [1]	Bidi	8mA	up, down or disable
	NAND_D[5]	1	Nand flash data [5]			
	CFG[4]	3	Bootling mode select [4]			
	GP0.5		General purpose I/O			
31	NAND_D[4]	1	Nand flash data [4]	Bidi	8mA	up, down or disable
	SD_CLK	2	SD card clock			
	GP0.6		General purpose I/O			
32	SPI_MOSI	0	When SPI is configured to Master, It used for Data output, otherwise, Data input	Bidi	8mA	up, down or disable
	NAND_D[3]	1	Nand flash data [3]			
	SD_DATA[3]	2	SD card data [3]			
	GP0.7		General purpose I/O			
33	SPI_MISO	0	When SPI is configured to Master, It used for Data input, otherwise, Data output	Bidi	8mA	up, down or

	NAND_D[2]	1	Nand flash data [2]			disable
	SD_DATA[2]	2	SD card data [2]			
	GP1.0		General purpose I/O			
34	SPI_CS#	0	SPI chip select signal [0]	Bidi	8mA	up, down or disable
	NAND_D[1]	1	Nand flash data [1]			
	SD_DATA[1]	2	SD card data [1]			
	GP1.1		General purpose I/O			
35	SPI_SCL	0	SPI clock [0]	Bidi	8mA	up, down or disable
	NAND_D[0]	1	Nand flash data [0]			
	SD_DATA[0]	2	SD card data [0]			
	GP1.2		General purpose I/O			
36	VDD33		IO power supply 3.3V	In		
37	GND		IO power ground	In		
38	SF_HOLD#	0	Serial flash hold signal	Bidi		
	NAND_WE#	1	Nand write enable			
	GP1.3		General purpose I/O			
39	SF_CLK	0	Serial flash clock	Bidi	8mA	up, down or disable
	NAND_ALE	1	Nand address latch enable			
	GP1.4		General purpose I/O			
40	SF_DI	0	Serial flash data Input	Bidi	8mA	up, down or disable
	NAND_CLE	1	Nand command latch enable			
	GP1.5		General purpose I/O			
41	SF_CS1#	0	Serial flash chip select 1			up, down or disable
	NAND_CE#	1	Nand chip enable			
	GP1.6		General purpose I/O			
42	SF_WP	0	Serial flash write protection signal	Bidi	8mA	up, down or disable
	NAND_RE#	1	Nand read enable			
	GP1.7		General purpose I/O			
43	SF_DO	0	Serial flash data out. data output signal.	Bidi		up, down or disable
	NAND_BUSY	1	Nand busy check			
	GP2.0		General purpose I/O			
44	SF_CS0#	0	Serial flash chip select 0	Bidi		up, down or disable
	SD_CMD	1	SD card command			
	GP2.1		General purpose I/O			
45	GND		Power ground	Bidi		
46	TWI_SDA	0	TWI data line	Bidi	8mA	up, down or disable
	USB_HOST_I N	1	USB host input			
	GP2.2		General purpose I/O			
47	TWI_SCL	0	TWI clock line	Bidi		up, down or disable
	USB_HOST_O UT	1	USB host output			
	GP2.3		General purpose I/O			
48	UART_TX0	0	Uart tx [0]	Bidi	8mA	up, down or disable
	GP2.4		General purpose I/O			
49	UART_RX0	0	Uart rx [0]	Bidi	8mA	up, down or disable
	GP2.5		General purpose I/O			
50	VDD33		IO power supply 3.3V	In		
51	VDD18		Core power supply 1.8V	In		
52	VOOUT		LDO voltage output 1.8V	Out		
53	VIN		LDO voltage input 3.3V	In		
54	GND		Power ground	In		
55	WAKEUP		System wake up signal	In		
56	PWR_DN		System power down signal	Out		
57	RTC_XIN		RTC oscillator xin	In		
58	RTC_XOUT		RTC oscillator xout	Out		
59	VBAT		Battery voltage input	In		
60	R[0]	0	LCD red out [0]	Bidi	8mA	up, down or disable
	GP2.6		General purpose I/O			
61	R[1]	0	LCD red out [1]	Bidi	8mA	up, down or disable
	GP2.7		General purpose I/O			
62	R[2]	0	LCD red out [2]	Bidi	8mA	up, down or disable
	GP3.0		General purpose I/O			
63	R[3]	0	LCD red out [3]	Bidi	8mA	up,

	GP3.1		General purpose I/O			down or disable
64	R[4]	0	LCD red out [4]	Bidi	8mA	up, down or disable
	GP3.2		General purpose I/O			
65	R[5]	0	LCD red out [5]	Bidi	8mA	up, down or disable
	GP3.3		General purpose I/O			
66	R[6]	0	LCD red out [6]	Bidi	8mA	up, down or disable
	GP3.4		General purpose I/O			
67	R[7]	0	LCD red out [7]	Bidi	8mA	up, down or disable
	GP3.5		General purpose I/O			
68	VDD33		IO power supply 3.3V	In		
69	GND		Power ground	In		
70	G[0]	0	LCD green out [0]	Bidi	8mA	up, down or disable
	DBG_SCK	1	Debugger clock			
	GP3.6		General purpose I/O			
71	G[1]	0	LCD green out [1]	Bidi	8mA	up, down or disable
	DBG_SDA	1	Debugger data			
	GP3.7		General purpose I/O			
72	G[2]	0	LCD green out [2]	Bidi	8mA	up, down or disable
	GP4.0		General purpose I/O			
73	G[3]	0	LCD green out [3]	Bidi	8mA	up, down or disable
	GP4.1		General purpose I/O			
74	G[4]	0	LCD green out [4]	Bidi	8mA	up, down or disable
	GP4.2		General purpose I/O			
75	VDD18		Core power supply 1.8V	In		
76	GND		Power ground	In		
77	G[5]	0	LCD green out [5]	Bidi	8mA	up, down or disable
	GP4.3		General purpose I/O			
78	G[6]	0	LCD green out [6]	Bidi	8mA	up, down or disable
	GP4.4		General purpose I/O			
79	G[7]	0	LCD green out [7]	Bidi	8mA	up, down or disable
	GP4.5		General purpose I/O			
80	B[0]	0	LCD blue out [0]	Bidi	8mA	up, down or disable
	EIRQ0	1	External interrupt [0]			
	GP4.6		General purpose I/O			
81	B[1]	0	LCD blue out [1]	Bidi	8mA	up, down or disable
	EIRQ1	1	External interrupt [1]			
	GP4.7		General purpose I/O			
82	B[2]	0	LCD blue out [2]	Bidi	8mA	up, down or disable
	GP5.0		General purpose I/O			
83	B[3]	0	LCD blue out [3]	Bidi	8mA	up, down or disable
	GP5.1		General purpose I/O			
84	B[4]	0	LCD blue out [4]	Bidi	8mA	up, down or disable
	GP5.2		General purpose I/O			
85	B[5]	0	LCD blue out [5]	Bidi	8mA	up, down or disable
	GP5.3		General purpose I/O			
86	B[6]	0	LCD blue out [6]	Bidi	8mA	up, down or disable
	GP5.4		General purpose I/O			
87	B[7]	0	LCD blue out [7]	Bidi	8mA	up, down or disable
	GP5.5		General purpose I/O			
88	GND		Power ground	In		
89	VDD33		IO power 3.3V	In		
90	DOTCLK	0	LCD clock output	Bidi	8mA	up,

	GP5.6		General purpose I/O			down or disable
91	DISP_EN	0	Display enable	Bidi	8mA	up, down or disable
	GP5.7		General purpose I/O			
92	HSYNC	0	Signal for horizontally synchronization	Bidi	8mA	up, down or disable
	GP6.0		General purpose I/O			
93	VSYNC	0	Signal for vertically synchronization	Bidi	8mA	up, down or disable
	Timer_PWM0	1	Timer pwm output [0]			
	GP6.1		General purpose I/O			
94	LCD_CLK_IN	0	Clock input (lcd controller)	Bidi	8mA	up, down or disable
	Timer_PWM1	1	Timer pwm output [1]			
	GP6.2		General purpose I/O			
95	GND		Power ground	In		
96	SND_PWM0P	0	GP6.3 (sound pwm positive output channel 0)	Bidi	8mA	up, down or disable
	GP6.3		General purpose I/O			
97	SND_PWM0N	0	GP6.4 (sound pwm negative output channel 0)	Bidi	8mA	up, down or disable
	GP6.4		General purpose I/O			
98	SND_PWM1P	0	GP6.5 (sound pwm positive output channel 1)	Bidi	8mA	up, down or disable
	GP6.5		General purpose I/O			
99	SND_PWM1N	0	GP6.6 (sound pwm negative output channel 1)	Bidi	8mA	up, down or disable
	GP6.6		General purpose I/O			
100	VDD33		IO power supply 3.3V	In		

* Alt CFG 는 pin mux 설정 값에 해당 하는 숫자 이다.

* GP6.4(PWM0_N) is not supported.

Table 2-2 adStar-LxxN 88-Pin Definitions

No.	Pin Name	Alt CFG	Description.	Type	Output Drive Current	Pull-Up / Pull-Down
1	VREF		ADC analog voltage input reference	In		
2	AIN[1]		ADC analog voltage input channel 1	In		
3	AIN[0]		ADC analog voltage input channel 0	In		
4	AVDD33		ADC power supply 3.3 V	In		
5	USB_AVDD33		USB power supply 3.3 V	In		
6	USB_DP		USB DP - data+ pin	Bidi		
7	USB_DM		USB DM - data- pin	Bidi		
8	USB_AGND33		USB power ground	In		
9	PLL0_AVDD18		PLL0 power supply 1.8V	In		
10	PLL0_VCTR0		Vco control voltage of pll0, corresponding LPF should be connected here	In		
11	PLL0_AGND18		Power ground	In		
12	PLL1_AVDD18		PLL1 power supply 1.8V	In		
13	PLL1_VCTR		Vco control voltage of pll1, corresponding LPF should be connected here	In		
14	PLL1_AGND18		Power ground	In		
15	TEST#		Test mode entrance active low	In		
16	RESET#		Reset of system active low	In		
17	UART_TX1	0	Uart tx [1]	Bidi		
	CAP_IN0	1	Timer capture [0]			
	CFG[0]	3	Bootling Mode Select [0]			
	GP0.0		General Purpose I/O			
18	UART_RX1	0	Uart rx [1]	In		
	CAP_IN1	1	Timer capture [1]			
	CFG[1]	3	Bootling Mode Select [1]			
	GP0.1		General Purpose I/O			
19	VDD18		Core power supply 1.8V	In		
20	VDD33		IO power supply 3.3V	In		
21	XIN		Oscillator xin	In		
22	XOUT		Oscillator xout	Out		
23	SPI_LCD_CS#	0	SPI_LCD chip select signal [1]	In		
	CFG[2]	3	Bootling mode Select [2]			
	GP0.2		General purpose I/O			
24	SPI_LCD_SDI	0	SPI data input [1]	Bidi	8mA	up, down or disable
	NAND_D[7]	1	Nand flash data [7]			
	GP0.3		General purpose I/O			
25	SPI_LCD_SDO	0	SPI_LCD data output [1]	Bidi	8mA	up, down or disable
	NAND_D[6]	1	Nand flash data [6]			
	CFG[3]	3	Bootling mode Select [3]			
	GP0.4		General purpose I/O			
26	SPI_LCD_SCL	0	SPI_LCD clock [1]	Bidi	8mA	up, down or disable
	NAND_D[5]	1	Nand flash data [5]			
	CFG[4]	3	Bootling mode select [4]			
	GP0.5		General purpose I/O			
27	NAND_D[4]	1	Nand flash data [4]	Bidi	8mA	up, down or disable
	SD_CLK	2	SD card clock			
	GP0.6		General purpose I/O			
28	SPI_MOSI	0	When SPI is configured to Master, It used for Data output, otherwise, Data input	Bidi	8mA	up, down or disable
	NAND_D[3]	1	Nand flash data [3]			
	SD_DATA[3]	2	SD card data [3]			
	GP0.7		General purpose I/O			
29	SPI_MISO	0	When SPI is configured to Master, It used for Data input, otherwise, Data output	Bidi	8mA	up, down or disable
	NAND_D[2]	1	Nand flash data [2]			
	SD_DATA[2]	2	SD card data [2]			
	GP1.0		General purpose I/O			
30	SPI_CS#	0	SPI chip select signal [0]	Bidi	8mA	up, down or disable
	NAND_D[1]	1	Nand flash data [1]			
	SD_DATA[1]	2	SD card data [1]			
	GP1.1		General purpose I/O			

31	SPI_SCL	0	SPI clock [0]	Bidi	8mA	up, down or disable
	NAND_D[0]	1	Nand flash data [0]			
	SD_DATA[0]	2	SD card data [0]			
	GP1.2		General purpose I/O			
32	VDD33		IO power supply 3.3V	In		
33	SF_HOLD#	0	Serial flash hold signal	Bidi		
	NAND_WE#	1	Nand write enable			
	GP1.3		General purpose I/O			
34	SF_CLK	0	Serial flash clock	Bidi	8mA	up, down or disable
	NAND_ALE	1	Nand address latch enable			
	GP1.4		General purpose I/O			
35	SF_DI	0	Serial flash data Input	Bidi	8mA	up, down or disable
	NAND_CLE	1	Nand command latch enable			
	GP1.5		General purpose I/O			
36	SF_CS1#	0	Serial flash chip select 1			up, down or disable
	NAND_CE#	1	Nand chip enable			
	GP1.6		General purpose I/O			
37	SF_WP	0	Serial flash write protection signal	Bidi	8mA	up, down or disable
	NAND_RE#	1	Nand read enable			
	GP1.7		General purpose I/O			
38	SF_DO	0	Serial flash data out. data output signal.	Bidi		up, down or disable
	NAND_BUSY	1	Nand busy check			
	GP2.0		General purpose I/O			
39	SF_CS0#	0	Serial flash chip select 0	Bidi		up, down or disable
	SD_CMD	1	SD card command			
	GP2.1		General purpose I/O			
40	TWI_SDA	0	TWI data line	Bidi	8mA	up, down or disable
	USB_HOST_I N	1	USB host input			
	GP2.2		General purpose I/O			
41	TWI_SCL	0	TWI clock line	Bidi		up, down or disable
	USB_HOST_O UT	1	USB host output			
	GP2.3		General purpose I/O			
42	UART_TX0	0	Uart tx [0]	Bidi	8mA	up, down or disable
	GP2.4		General purpose I/O			
43	UART_RX0	0	Uart rx [0]	Bidi	8mA	up, down or disable
	GP2.5		General purpose I/O			
44	VDD33		IO power supply 3.3V	In		
45	VDD18		Core power supply 1.8V	In		
46	VOOUT		LDO voltage output 1.8V	Out		
47	VIN		LDO voltage input 3.3V	In		
48	GND		Power ground	In		
49	GND		Power ground	In		
50	R[0]	0	LCD red out [0]	Bidi	8mA	up, down or disable
	GP2.6		General purpose I/O			
51	R[1]	0	LCD red out [1]	Bidi	8mA	up, down or disable
	GP2.7		General purpose I/O			
52	R[2]	0	LCD red out [2]	Bidi	8mA	up, down or disable
	GP3.0		General purpose I/O			
53	R[3]	0	LCD red out [3]	Bidi	8mA	up, down or disable
	GP3.1		General purpose I/O			
54	R[4]	0	LCD red out [4]	Bidi	8mA	up, down or disable
	GP3.2		General purpose I/O			
55	R[5]	0	LCD red out [5]	Bidi	8mA	up, down or disable
	GP3.3		General purpose I/O			
56	R[6]	0	LCD red out [6]	Bidi	8mA	up, down or disable
	GP3.4		General purpose I/O			
57	R[7]	0	LCD red out [7]	Bidi	8mA	up, down or disable
	GP3.5		General purpose I/O			

58	VDD33		IO power supply 3.3V	In		
59	GND		Power ground	In		
60	G[0]	0	LCD green out [0]	Bidi	8mA	up, down or disable
	DBG_SCK	1	Debugger clock			
	GP3.6		General purpose I/O			
61	G[1]	0	LCD green out [1]	Bidi	8mA	up, down or disable
	DBG_SDA	1	Debugger data			
	GP3.7		General purpose I/O			
62	G[2]	0	LCD green out [2]	Bidi	8mA	up, down or disable
	GP4.0		General purpose I/O			
63	G[3]	0	LCD green out [3]	Bidi	8mA	up, down or disable
	GP4.1		General purpose I/O			
64	G[4]	0	LCD green out [4]	Bidi	8mA	up, down or disable
	GP4.2		General purpose I/O			
65	VDD18		Core power supply 1.8V	In		
66	GND		Power ground	In		
67	G[5]	0	LCD green out [5]	Bidi	8mA	up, down or disable
	GP4.3		General purpose I/O			
68	G[6]	0	LCD green out [6]	Bidi	8mA	up, down or disable
	GP4.4		General purpose I/O			
69	G[7]	0	LCD green out [7]	Bidi	8mA	up, down or disable
	GP4.5		General purpose I/O			
70	B[0]	0	LCD blue out [0]	Bidi	8mA	up, down or disable
	EIRQ0	1	External interrupt [0]			
	GP4.6		General purpose I/O			
71	B[1]	0	LCD blue out [1]	Bidi	8mA	up, down or disable
	EIRQ1	1	External interrupt [1]			
	GP4.7		General purpose I/O			
72	B[2]	0	LCD blue out [2]	Bidi	8mA	up, down or disable
	GP5.0		General purpose I/O			
73	B[3]	0	LCD blue out [3]	Bidi	8mA	up, down or disable
	GP5.1		General purpose I/O			
74	B[4]	0	LCD blue out [4]	Bidi	8mA	up, down or disable
	GP5.2		General purpose I/O			
75	B[5]	0	LCD blue out [5]	Bidi	8mA	up, down or disable
	GP5.3		General purpose I/O			
76	B[6]	0	LCD blue out [6]	Bidi	8mA	up, down or disable
	GP5.4		General purpose I/O			
77	B[7]	0	LCD blue out [7]	Bidi	8mA	up, down or disable
	GP5.5		General purpose I/O			
78	VDD33		IO power 3.3V	In		
79	DOTCLK	0	LCD clock output	Bidi	8mA	up, down or disable
	GP5.6		General purpose I/O			
80	DISP_EN	0	Display enable	Bidi	8mA	up, down or disable
	GP5.7		General purpose I/O			
81	HSYNC	0	Signal for horizontally synchronization	Bidi	8mA	up, down or disable
	GP6.0		General purpose I/O			
82	VSYNC	0	Signal for vertically synchronization	Bidi	8mA	up, down or disable
	TM_OUT0	1	Timer pwm output [0]			
	GP6.1		General purpose I/O			
83	LCD_CLK_IN	0	Clock input (lcd controller)	Bidi	8mA	up, down or disable
	TM_OUT1	1	Timer pwm output [1]			
	GP6.2		General purpose I/O			

84	PWM0_P	0	GP6.3 (sound pwm positive output channel 0)	Bidi	8mA	up, down or disable
	GP6.3		General purpose I/O			
	PWM0_N*	0	GP6.4 (sound pwm negative output channel 0)	Bidi	8mA	up, down or disable
	GP6.4*		General purpose I/O			
85	PWM1_P	0	GP6.5 (sound pwm positive output channel 1)	Bidi	8mA	up, down or disable
	GP6.5		General purpose I/O			
86	PWM1_N	0	GP6.6 (sound pwm negative output channel 1)	Bidi	8mA	up, down or disable
	GP6.6		General purpose I/O			
87	VDD33		IO power supply 3.3V	In		
88	AGND33		ADC power ground	In		

* Alt CFG 는 pin mux 설정 값에 해당 하는 숫자 이다.

* GP6.4(PWM0_N) is not supported.

2.4 Pin Description

VDD33, AVDD33, USB_AVDD33 : 3.3V Supply voltage 에 연결하며 서로 연결되지 않는 독립전원이어야 한다.

PLL0_AVDD18, PLL1_AVDD18 : 1.8V Supply voltage

VDD18 : 1.8v supply voltage

AGND33 : ADC Power Ground

USB_AGND : USB Power Ground

PLL0_AGND, PLL1_AGND : PLL Power Ground

GND : Power Ground

TEST# : Chip Test pin (Low active)

Chip test를 위한 핀이다.

이 핀이 0이면 모든 핀들이 Pin Mux 의 3rd 핀으로 할당되어 Test Mode로 진입하게 된다.

TEST#은 active-low 테스트 핀이고, 정상적인 동작 동안 high를 유지 한다.

CFG[4:0] : Booting Mode Select ([3.4 Boot Mode](#) 참고)

Flash Booting, NAND Flash Booting등을 선택할 수 있다.

AIN[3:0] : ADC에 입력되는 아날로그 전압 레벨이며 디지털 값으로 변환된다. 4채널

VREF : AIN 입력레벨에 대한 Reference이다.

USB Pins: USB Device와 Host가 공유. ([4.4.14 USB PHY Control Register](#) 참고)

USB_DP : USB Data+ I/O

USB_DM : USB Data- I/O

EIRQ0, EIRQ1 : External Interrupt Request Input Pins ([8 Interrupt Controller](#) 참고)

외부에서 인터럽트를 요청해야 할 경우 사용.

Serial Flash ([5 SPI Flash Memory Controller](#) 참고)

SF_CS0#, SF_CS1# : Serial Flash Chip Select

SF_CLK : Serial Flash Clock

SF_DI : Serial Flash Data Input. Command, Address, Data를 입력 받는 신호.

SF_DO : Serial Flash Data Out. Data를 출력하는 신호.

SF_WP : Serial Flash write protection 신호.

SF_HOLD : Serial Flash hold 신호.

NAND Flash ([17 NAND Flash Controller](#) 참고)

NAND_CE: NAND Flash Chips Enable. NAND Flash를 활성화할 때 사용

NAND_ALE : NAND Flash Address Latch Enable. NAND Flash에 address를 전송할 때 사용

NAND_CLE: NAND Flash Command Latch Enable. NAND Flash에 command를 전송할 때 사용

NAND_WE# : NAND Flash Write Enable. NAND Flash에 data를 저장할 때 사용

NAND_RE# : NAND Flash Read Enable. NAND Flash에서 data를 읽을 때 사용

NAND_BUSY# : NAND Flash Busy signal input pin. NAND Flash가 Busy상태일 때 0.

NAND_D[7:0] : NAND Flash 8-bit Data I/O.

LCD Controller : RGB 최대 888 출력. 최대 800x600 지원 ([24 TFT LCD Controller](#) 참고)

CRTC_CLK_IN : LCD Controller에서 사용하는 Clock Input

VSYNC : 수직 동기 신호

HSYNC : 수평 동기 신호

DISP_EN : Display Enable

CRTC_CLK_OUT : LCD Clock Output

R[7:0] : Red Output 8-bit

G[7:0] : Green Output 8-bit

B[7:0] : Blue Output 8-bit

PWM/Capture : 2 channels. ([11 Timer](#) 참고)

TM_OUT0, TM_OUT1 : PWM Output.

CAP_IN0, CAP_IN1 : Capture Input. 외부 신호의 주기나 펄스 폭을 측정하기 위한 입력 핀

SPI : 1 channel. ([20 SPI](#) 참고)

SPI0_CS# : SPI Chip select signal

SPI0_SCK : SPI Clock pin

SPI0_SDI : SPI가 Master일 때 Data input, Slave일 때 Data output으로 사용

SPI0_SDO : SPI가 Master일 때 Data output, Slave일 때 Data input으로 사용

SPI_LCD : 1 channel. ([19 SPI_LCD](#) 참고)

9bit SPI 인터페이스 방식의 LCD 모듈 제어

SPI_LCD_CS# : SPI Chip select signal

SPI_LCD_SCK : SPI Clock pin

SPI_LCD_SDI : SPI Data input

SPI_LCD_SDO : SPI Data output

TWI ([21 TWI](#) 참고)

TWI_SCL : TWI Serial Clock

TWI_SDA : TWI Serial Data

UART : 2 channels.

Channel 0은 UART only. Channel 1은 IrDA를 지원.

UART_RX0 : UART RX

UART_TX0 : UART TX

UART_RX1 : UART RX with IrDA supported

UART_TX1 : UART TX with IrDA supported

Sound Mixer : Digital Modulator 2 channels. ([22 Sound Mixer](#) 참고)

SND_PWM0P, SND_PWM0N, SND_PWM1P, SND_PWM1N

: Sound Mixer Digital Modulator PWM 출력.

Sound Mixer의 출력에 할당되어 Mono일 때 2channel, Stereo일 때 1channel 에 해당한다.

XIN, XOUT : 외부에서 2Mhz crystal 을 연결한다.

3 MEMORY ARCHITECTURE AND BOOTING MODES

3.1 Memory Map

메모리 영역은 아래의 표와 같이 할당 되어 있다. (figure 3-1)

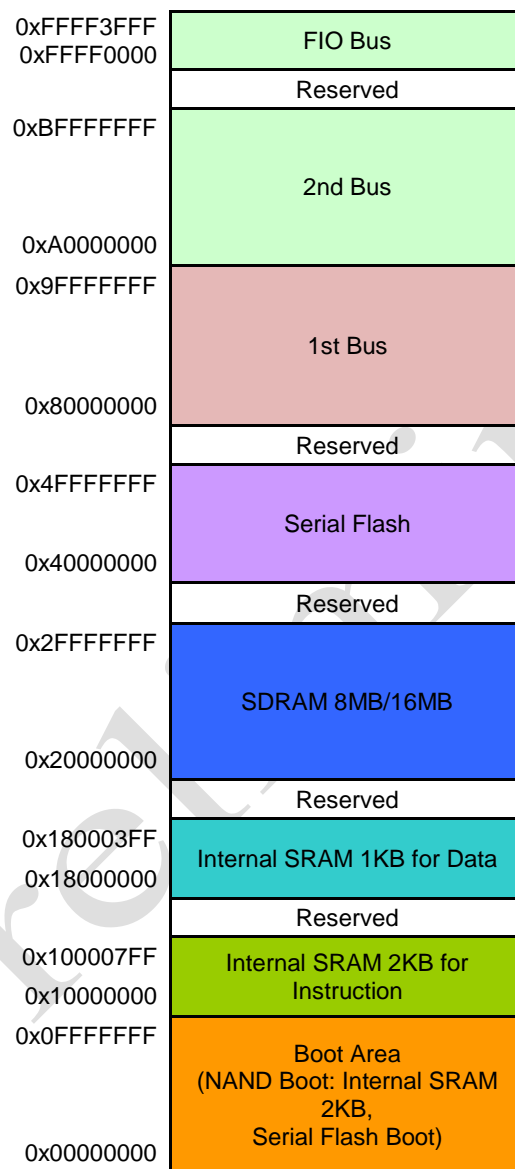


Figure 3-1 Memory Map

3.2 Embedded Memories

2KB Internal SRAM for Instruction
 1KB Internal SRAM for Data

3.2.1 Internal SRAM for Instruction

adStar-L 은 Instruction 을 위한 2KB SRAM 메모리가 내장되어 있다. 명령어 또는 데이터를 저장하는 용도로 사용할 수 있으며 주로 명령어를 저장하게 된다. 명령어를 읽는 경우 1cycle 접근이 가능하며 데이터를 읽는 경우는 3 cycle 이 소요된다.

3.2.2 Internal SRAM for Data

adStar-L 은 Data 를 위한 1KB SRAM 메모리가 내장되어 있다. 주로 데이터를 저장하는 데 사용되며, 데이터를 읽는 경우 1cycle 접근이 가능하다.

3.2.3 Internal SRAM Registers

Internal SRAM 전체를 관장하는 1 개의 Global Control Register 를 갖는다. 또한 Internal SRAM 은 내부에 여러 개의 Bank 로 구성될 수 있으므로 Global Register 의 Configuration 에 의해 결정되는 Bank 개수만큼 Local Register Set 을 갖는다. Local Register Set 는 다음과 같은 3 개의 32bit Register 로 구성된다.

- Local Internal SRAM Control Register
- Local Internal SRAM Start Address
- Local Internal SRAM End Address

Internal SRAM Global Control Register Address : 0x700 - Global Control Register

Bit	R/W	Description	Default
31 : 28	R	Exception Status 4'b0001 : DATA Access Violation 4'b0010 : Instruction Access Violation	0h
27 : 24	R	Reserved	0h
23 : 20	R	iBank Size: iSRAM에서 각 bank의 physical Memory 크기 4'h0 : 1 KB 4'h1 : 2 KB 4'h2 : 4 KB 4'h3 : 8 KB 4'h4 : 16 KB 4'h5 : 32 KB 4'h6 : 64 KB 4'h7 : 128 KB 4'h8 : 256 KB	
19 : 16	R/W	iSRAM Configuration 4'h0 : 사용자에게 1개의 메모리 덩어리로 보임 4'h1 : Reserved 4'h2 : 사용자에게 4개의 메모리 덩어리로 보임 (4개 를 넘는 경우는 현재 구현되어 있지 않음)	0h
15 : 12	R	iSRAM Enable 4'b0001 : SRAM Enable 4'b0000 : SRAM Disable	0h
11 : 8	R	dBank Size: dSRAM에서 각 bank의 physical Memory 4'h0 : 1 KB 4'h1 : 2 KB 4'h2 : 4 KB 4'h3 : 8 KB 4'h4 : 16 KB 4'h5 : 32 KB 4'h6 : 64 KB 4'h7 : 128 KB 4'h8 : 256 KB	

7 : 4	R/W	dSRAM Configuration 4'h0 : 사용자에게 1개의 메모리 덩어리로 보임 4'h1 : Reserved 4'h2 : 사용자에게 4개의 메모리 덩어리로 보임 (4개 를 넘는 경우는 현재 구현되어 있지 않음)	0h
3 : 0	R	dSRAM Enable 4'b0001 : SRAM Enable 4'b0000 : SRAM Disable	0h

Internal SRAM Local Control Register

Address : 0x701, 0x711 - Local iSRAM Control Register

Address : 0x704 - Local dSRAM Control Register

Bit	R/W	Description	Default
31 : 12	R	Reserved	0h
11 : 8	R	External Access: BUS 접근 권한 4'h0 : External Access Not Support 4'h1 : External Access Support	
7 : 4	R/W	Privilege Mode: 사용자 권한 4'h0 : Supervisor only Access 4'h1 : Supervisor/User Access	0h
3 : 0	R	Enable 4'b0001 : Local SRAM Enable 4'b0000 : Local SRAM Disable	0h

Internal SRAM Local Start Address Register

Address : 0x702, 0x712 - Local iSRAM Start Register

Address : 0x705 - Local dSRAM Start Register

Bit	R/W	Description	Default
31 : 0	R/W	SRAM Start Address	0h

Internal SRAM Local End Address Register

ADDRESS : 0x703, 0x713 - Local iSRAM End Register

ADDRESS : 0x706 - Local dSRAM End Register

Bit	R/W	Description	Default
31 : 0	R/W	SRAM End Address	0h

3.2.4 Internal SRAM Register Setting

Internal SRAM 레지스터의 설정은 GAP 를 이용하기 때문에 co-processor 레지스터 접근 명령어인 MVTC 와 MVFC 를 사용하게 된다.

예제.

```
#####
### Internal SRAM Global Register Setting
#####
asm(" Idi 0x700,          %r0");
asm(" mvtc 0x0,          %r3");
asm(" Idi 0x00021021,    %r0"); //ON //Num of Memory Bank: 4
asm(" mvtc 0x0,          %r4");
```

3.3 Peripheral Memory Map

Register 영역은 8000_0000h 부터 존재하며 각 기능 Block 당 1Kbyte 씩 할당 되어 있다. Memory mapped I/O 의 형태로 자세한 내용은 아래와 같다(Table 3-1)

Table 3-1 Peripheral Memory Map

Offset Address	Block	BUS	Remark
0x8000_0000	Flash Controller	1st AHB	
0x8000_0400	SDRAM Controller		
0x8000_0800	Reserved		
0x8000_0C00	Reserved		
0x8000_1000	Reserved		
0x8000_1400	DMA Controller		
0x8002_0000	Watchdog Timer	1st APB	
0x8002_0400	Timer		2 Channels
0x8002_0800	UART (2nd ch. IrDA)		2 Channels
0x8002_0C00	Reserved		
~0x8002_17FF	Reserved		
0x8002_1800	TWI		
0x8002_1C00	Reserved		
~0x8002_23FF	Reserved		
0x8002_2400	CRTC		
0x8002_2800	Reserved		
~0x8002_33FF	Reserved		
0x8002_3400	Pin Mux		
0x8002_3800	RTC		
0x8002_3C00	System Control		
0x8003_0000	Reserved		
~0x8003_FFFF	Reserved		
Offset Address	Block	BUS	Remark
0xA000_0000	USB Host	2nd AHB	
0xA000_0400	Reserved		
0xA000_0800	SPI LCD		
0xA000_0C00	NAND Flash Controller		
0xA000_1000	SDHC		
0xA000_1400	Reserved		
0xA000_1800	USB Device		
0xA002_1000	SPI	2nd APB	
0xA002_1400	Reserved		
0xA002_1800	Reserved		
0xA002_1C00	Sound Mixer		
0xA002_2000	Reserved		
~0xA002_37FF	Reserved		
0xA002_3800	ADC Controller		12-bit ADC
0xA002_3C00	Reserved		
0xA003_0000	Reserved		
~0xA003_FFFF	Reserved		
0xffff_0000 ⁽¹⁾	Interrupt Controller		
0xffff_1000 ⁽¹⁾	Core Timer		
0xffff_3000 ⁽¹⁾	GPIO		

(1) 녹색 영역은 CPU에 의해 내부적으로 디코딩 되고, 실제로 버스에 연결되어 있지 않다. 그래서 다른 마스터에 의해 access 되지 않는다.

3.4 Boot Modes

외부 External Reset 이 풀리는 순간 CFG[4:0] 핀의 전압 Level 을 통하여 booting 모드를 결정하고 해당 모드로 부팅하게 된다. Configuration 핀의 할당 순서는 다음과 같다.

Table 3-2 부팅 모드 별로 외부 신호를 나열하고 각각의 기능을 설명.

Table 3-2 Signals for boot mode

Pin Functional Name	Pin Name (refer to datasheet for pin numbers)	
CFG[0]	#20_GP0.0	Debugger Mode or Boot Mode
CFG[1]	#21_GP0.1	Boundary Scan or SWD logic selection
CFG[2]	#27_GP0.2	Serial Flash Boot or Nand Flash Boot
CFG[3]	#29_GP0.4	
CFG[4]	#30_GP0.5	

3.4.1 Debugger Mode

CFG[0]=0 인 경우에 Debugger mode 로 부팅된다. 이 모드에서는 CPU 는 정지상태에 놓여 있으며 사용자가 Debugger 를 통하여 CPU 의 프로그램 수행동작을 제어하게 된다.

3.4.2 Boot Mode

CFG[0]=1 인 경우에 Normal mode 로 부팅된다. 이 모드에서 CPU 는 일반적인 프로그램 수행동작을 진행한다. 부팅 메모리는 CFG[4:2] 에 의해 정해진다.

3.4.3 Serial Flash Boot

CFG[4:2] = 111 인 경우에 Serial Flash 로 부팅된다.

3.4.4 NAND Flash Boot

CFG[4:2] 이 111 이나 110 이 아닌 경우에 NAND Flash 로 부팅된다. 이 모드에서는 최초 NAND Flash 의 부트코드가 내부 2KB 크기의 Internal SRAM 에 복사가 되며, 복사가 끝나면 CPU 가 복사된 프로그램을 수행하게 된다.

CFG[4:2]	NAND Boot Mode	NAND Flash Type
000	Small type 3-Cycle	NAND Flash Small type Address 3 cycles
001	Small type 4-Cycle	NAND Flash Small type Address 4 cycles
010	Large type 4-Cycle	NAND Flash Large type Address 4 cycles
011	Large type 5-Cycle	NAND Flash Large type Address 5 cycles
100	MLC 4-Bit ECC	NAND Flash MLC type 4-bit ECC
101	MLC 24-Bit ECC	NAND Flash MLC type 24-bit ECC

3.4.5 SWD Selecion

CFG[1] 핀을 사용하여 PinMux 설정없이 JTAG, SWD 핀을 선택할 수 있다.

CFG[1] = 0 인 경우 PinMux 설정은 JTAG(Boundary scan용) 이 설정된다.

CFG[1] = 1 인 경우 PinMux 설정은 SWD(Debug 용) 가 설정된다.

4 SYSTEM CONTROL

System control 는 reset control, clock control, power control, and low-power modes 를 포함 한다.

4.1 Reset Control

Reset controller 는 External Reset, Power on Reset, Debugger Reset 그리고 Watchdog Reset 으로 구성되어 있다. 아래 그림에 전체 reset 들이 표시 되어 있다.

RESET# pin 은 외부 리셋 신호에 응답(active LOW). device 는 reset 상태를 벗어나면 실행을 시작한다. reset 중 부트 모드가 결정되며, device 는 부트 모드를 실행하기 시작한다.

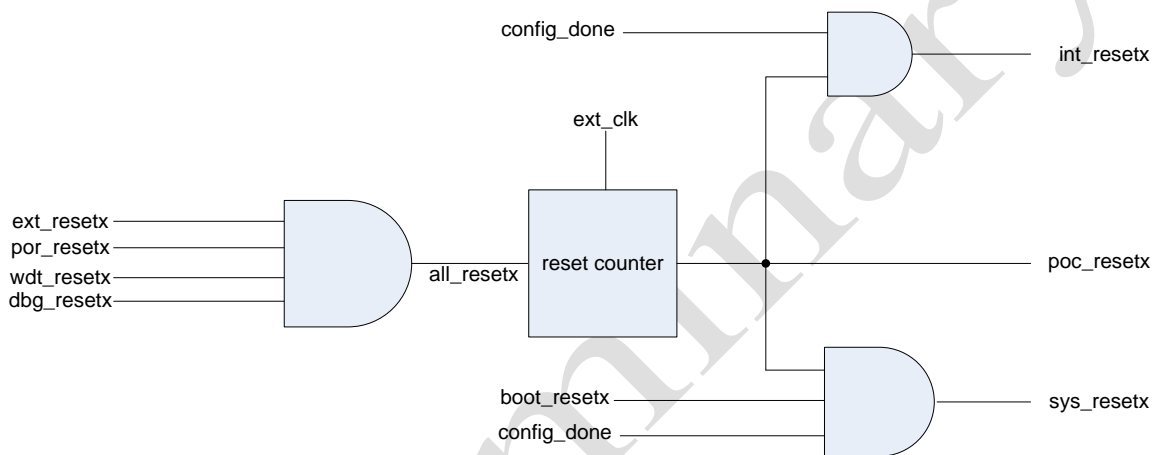


Figure 4-1 Reset

시스템의 debugger reset 은 SWD 내부 레지스터에 write 함으로써 실행 된다.

4.1.1 System Reset

System Reset은 다음과 같은 사항에서 발생 한다.

1. External Reset
2. Debugger Reset
3. Watchdog Reset
4. POR Reset

4.1.2 Power On Start Time

VDD33 에 3.3V 전원이 인가 되고, 내부 LDO 출력을 통해 VDD18 에 1.8V 가 안정적으로 인가되면, POR Reset 이 release 된다. 이 때, External Reset 이 release 되면, External Clock 으로 동작하는 Startup 회로가 동작하게 된다. 이 Startup 회로는 Xin 이 안정화되기 전의 오동작을 방지하며, 내부 logic 에 동시에 system reset 을 release 시켜준다. System reset 은 POR Reset 과 External Reset 이 release 되고 Xin clock 기준 1024-cycle 이 지난 후 release 된다.

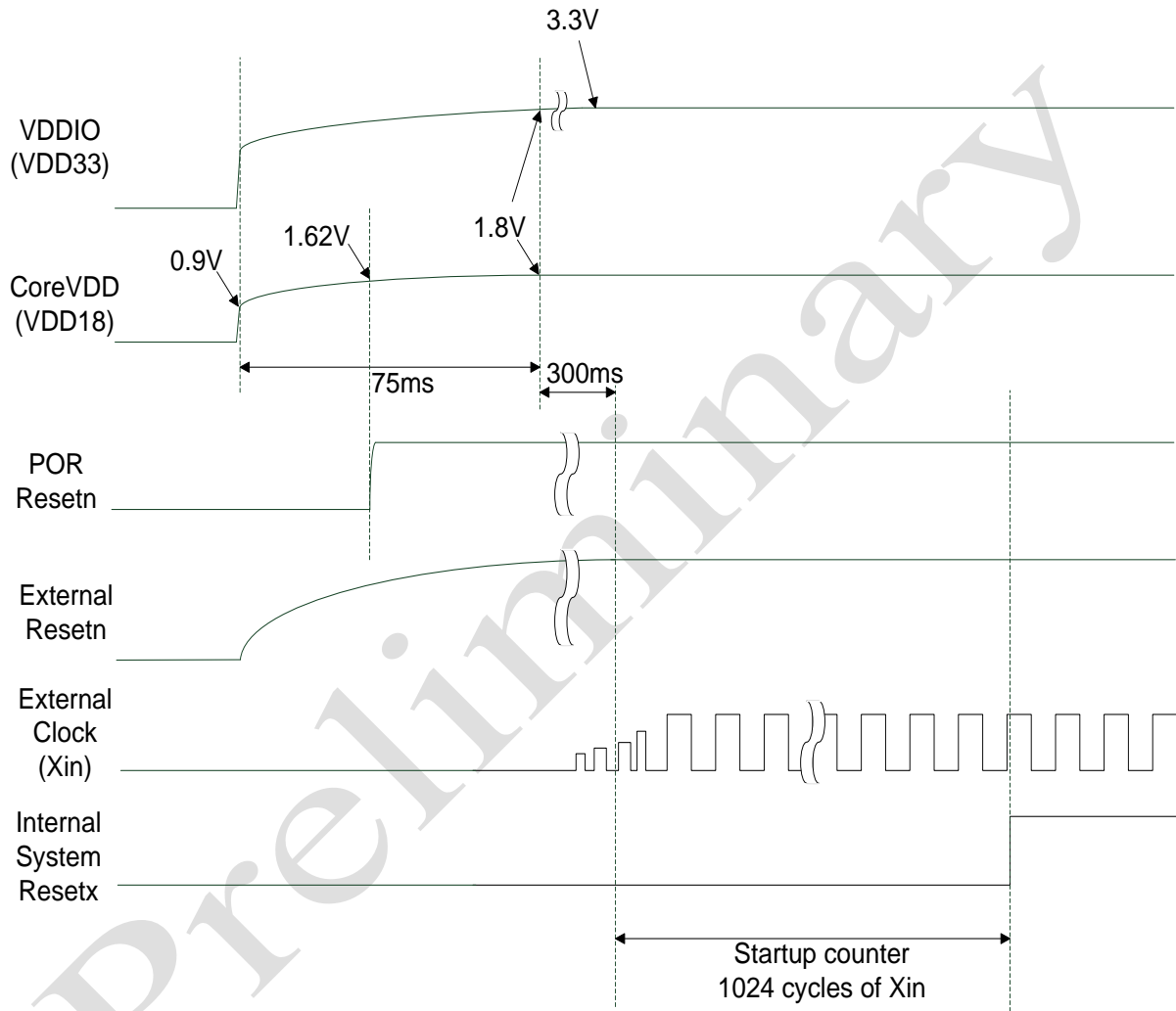


Figure 4-2 Power On Start Time Diagram

4.2 Clock control

Device 는 두 개의 on-chip PLL, 두 개의 on-chip oscillators 를 가지고 있다. 세 가지 기본 clock source 가 있다.

첫 번째 clock input 은 main oscillator 에 의해 생성 되고, 두 번째 clock input 은 선택 사항으로 GP6.2(DOTCLK_I) input 이고, LCD module 등에 사용 된다. 세 번째 clock 은 RTC oscillator clock input(32.768KHz) 으로 RTC module 에 사용 된다.

device 는 두 개의 PLL 이 있다. 각각의 PLL 은 PLLCONx 레지스터에 의해 제어된다.

PLL0 reference clock 은 XIN pin 으로부터 받고, PLL1 reference clock 은 외부 XIN input pin(DOTCLK_I input pin) 이고, 내부 clk16_0 은 외부 XIN input pin(DOTCLK_I input pin) 으로부터 온다.

모든 PLL 은 reset 후, power down 이 된다.

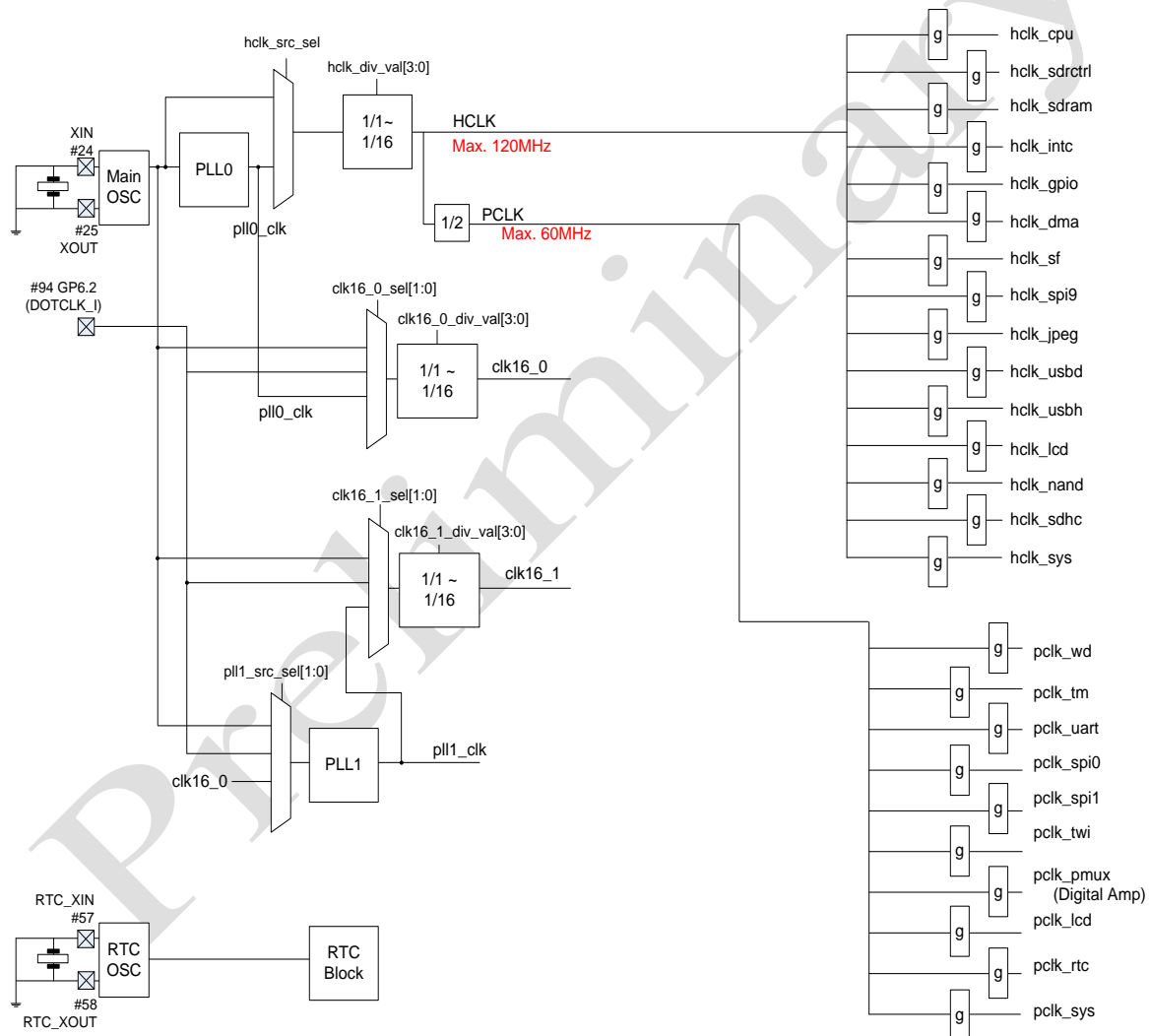


Figure 4-3 Clock Scheme

대부분의 경우, PLL 은 높은 성능을 선정하지만, 전력 소모의 증가를 초래할 수 있다. 낮은 성능 및 전력 소비를 줄이기 위해, crystal clock 이 선택될 수 있다. main crystal clock 과 PLL0 는 HCLK and PCLK peripherals reference clock sources 로써 사용 된다.

HCLK 과 PCLK 은 각각 AHB 영역과 APB 영역에 클럭을 공급한다. 두 클럭은 동일한 위상이며 2:1 의 주파수비의 관계를 갖고 있다. HCLK 의 최대 주파수는 120Mhz 이며 PCLK 의 최대 주파수는 60Mhz 이다. HCLK 도메인은 CPU 와 AHB peripherals 에 사용된다. PCLK domain 은 APB peripherals 에 사용 된다. HCLK 와 PCLK reference 는 main crystal clock 또는 PLL0 clock output 이될 수 있습니다. PCLK 은 실제로 HCLK 도메인 에서 분주 됩니다. 그래서, PCLK 과 HCLK 은 synchronous 이다. 모든 APB peripheral 은 PCLK 을 사용하며, PCLK 도메인으로 간주된다.

4.2.1 Main oscillator

main oscillator 는 PLL0 및 PLL1 대한 clock 소스로 사용될 수 있다.

내부 PLL 를 사용하지 않는 경우의 main oscillator 의 주파수는 32 KHz 에서 27MHz.이다. 내부의 PLL 을 사용하는 경우 crystal 은 60KHz 부터 2.25MHz 의 주파수 범위 이어야 한다. main oscillator clock 을 생성하기 위해 사용될 때, Figure 4-4 와 같이 2 개의 부하 capacitors 와 함께 외부 크리스털 XIN 및 XOUT 핀 사이에 연결 할 필요가 있다.

main oscillator 입력은 대부분의 내부 모듈에 사용된다.

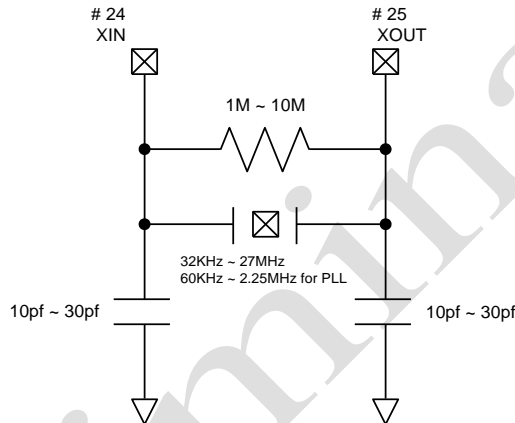


Figure 4-4 Main Oscillator Circuit

4.2.2 RTC oscillator (32KHz)

RTC oscillator 는 RTC 블록의 clock source 로 사용 된다. RTC oscillator 는 Static mode 를 제외한 모든 전력 모드에서 사용할 수 있다. Figure 4-5 에 도시된 바와 같이 oscillator 는 RTC clock 을 생성하는 외부 크리스털 회로가 필요하다

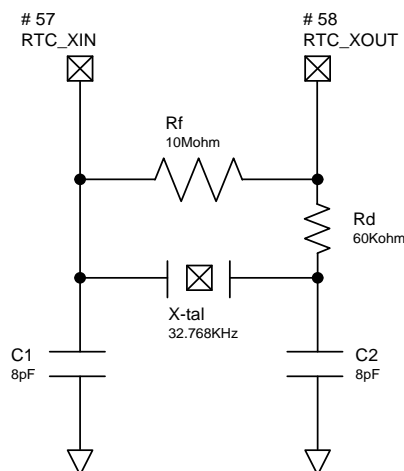


Figure 4-5 32.768-KHz Oscillator Circuit

4.2.3 PLL0

PLL0 은 reference 클럭 으로 Main oscillator 를 받는다.

PLL0 은 60KHz 에서 2.25MHz 범위의 입력 clock 주파수를 사용 한다.

PLL0 은 소프트웨어에 의해 사용할 수 있다. 프로그램으로 PLL0 를 활성화 해야 합니다. PLL0 lock 을 기다린 다음 clock 소스로 PLL0 에 연결 한다.

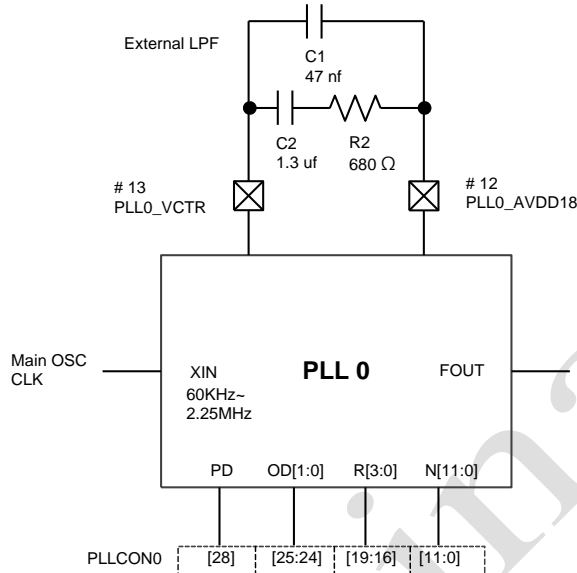


Figure 4-6 PLL0 with External Filter

PLL0 가 활성화되기 전에 올바르게 설정 해야 합니다. 주요 OSC clock 은 PLL0 reference clock 의 source 이다.

PLL 출력 주파수는 다음 식으로부터 계산 된다:

$$F_{out} = \frac{XIN \times N}{OD}$$

R 은 입력 분주 비이고, 이는 R[3:0]에 의해 조절될 수 있다 :

R[3:0]	Input Divider Ratio (R)
0010	2
0011	3
...	...
1101	13
1110	14
1111	15

N 은 피드백 루프의 분할 비율을 나타낸다(multiplier). 이는 N[11:0]에 의해 조절될 수 있다

N[11:0]	Feedback Divider Ratio (N)
0000,0000,0010	2
0000,0000,0011	3
...	...
1111,1111,1101	4093
1111,1111,1110	4094
1111,1111,1111	4095

OD 출력 분배기 이고, 이는 OD[1:0]에 의해 조절될 수 있다

OD[1:0]	Output Divider Ratio (OD)
00	Normal operation
10	divide by 2
01	divide by 4
11	divide by 8

예를 들어, 만약 XIN이 1MHz이고, R[3:0] 은 1000, N[11:0]은 010000000000, OD[1:0] is 11 이면,

$$F_{out} = \frac{1 \times \frac{1024}{8}}{8} = 16 \text{ MHz}$$

PLL0을 설정 (PLL0는 PLLCON0 레지스터의 PLL power down bit를 0으로 write하여 사용할 수 있다)

4.2.4 PLL1

PLL1 은 60KHz 에서 2.25MHz 범위의 입력 clock 주파수를 사용 한다.

PLL1 은 disabled 은 reset 에 powered off 된다.

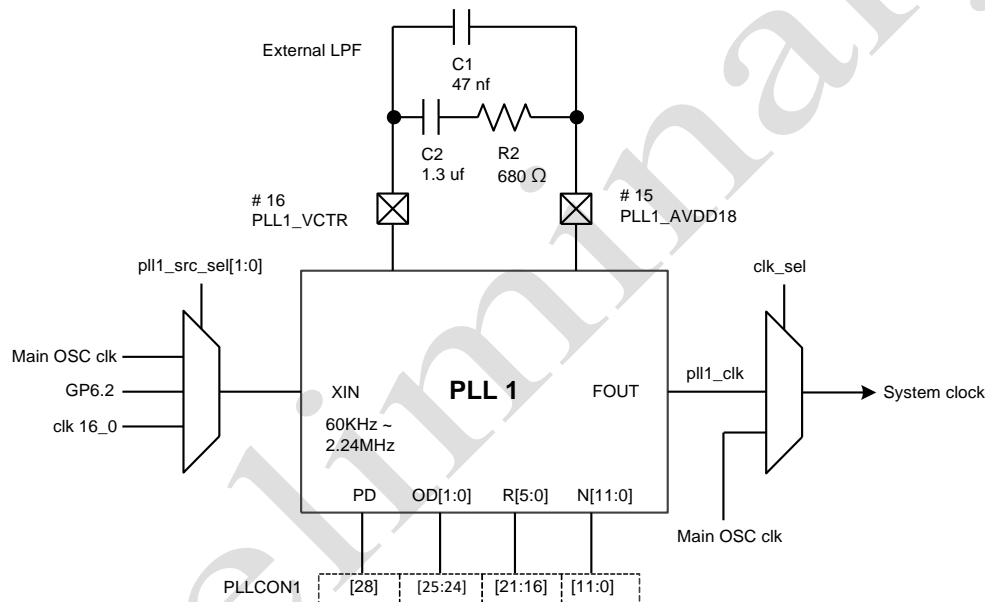


Figure 4-7 PLL1 with External Filter

PLL1 소스 선택 필드 (pll1_src_sel)는 레퍼런스 클럭의 소스를 선택 한다.

출력 주파수의 계산에 대한 자세한 내용은 PLL0 섹션을 참조.

4.2.5 PLLx Clock Change

사용자는 System이 동작하는 중간에도 PLL clock의 주파수를 변경할 수 있다.

PLL Clock Source를 변경하거나 PLL 설정을 변경하면 PLL Clock의 주파수는 변경된다.

그런데 동작중에 PLL 주파수를 변경하는 것은 시스템을 불안정하게 만들기 때문에 안정적인 변경을 위해서는 시스템 클럭을 External clock 동작시킨 후에 PLL의 주파수를 변경해야 한다. External Clock 과 PLL Clock 사이에 변경은 Glitch Free Mux를 통해 이루어지므로 언제나 안정적인 변경이 가능하다.

PLL 의 설정을 변경하게 되면 PLL 에서 변경된 주파수의 Clock 이 나오기 까지 Lock time 이 소요된다.

Lock time은 Max 2ms 이다.

사용자는 PLL 변경한 후 Lock time 이 지난 후에 시스템 클럭을 PLL 클럭으로 변경해야 한다.

4.2.6 Clock gating

각각의 주변 장치는 개별 클럭과 시스템 제어기 및 HCLKEN PCLKEN 레지스터 비트를 이용하여 게이트 on/off 할 수 있다. 이 비트는 모든 reset 후 삭제된다. Clock off 전에, peripheral 이 실행되지 않았는지 확인한다.

비활성화 된 클럭을 가지고 어떤 버스 액세스가 peripheral 에 에러 종료를 생성 한다.

4.2.7 Additional Clock Divider

각 고정 된 디바이더의 정수 값 또는 분별 값으로 입력 기준 주파수를 분할하는 기능을 갖는다. 레퍼런스 클럭 주파수는 원하는 출력 주파수를 달성하도록 선택 되어야 한다.

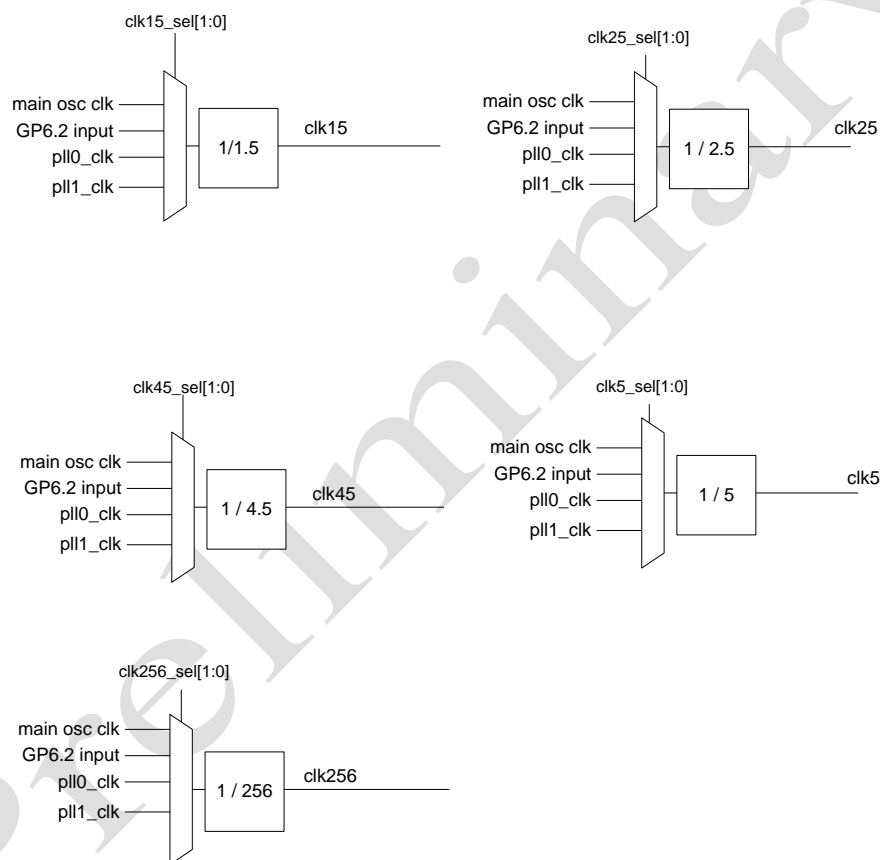


Figure 4-8 Additional Clock Divider

4.2.8 USB Clock

USB Host/Device 는 Figure 4-9 에 도시된 바와 같이 두 개의 clock source 에서 clock 이 공급 된다.

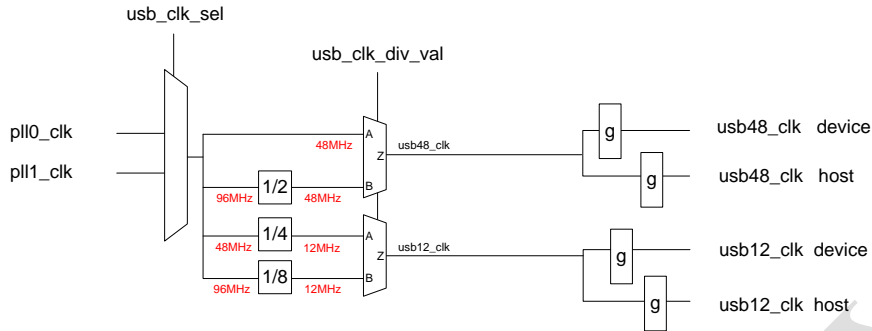


Figure 4-9 USB Clock

Figure 4-9 에 도시 된 바와 같이, USB 클럭에 대한 두 가지 소스는 두 개의 PLL 에서 각각 clock 을 받는다.

usb48_clk 주파수는 48MHz 로 해야 하며, usb12_clk 주파수는 작동을 위해 12MHz 로해야 한다.

4.2.9 TFT LCD Clock

LCD 컨트롤러는 세 가지 기본 클럭을 사용 한다 : hclk_lcd, pclk_lcd, DOTCLK.

hclk_lcd 과 DOTCLK 은 비동기 이다

LCD module 은 Figure 4-10 에 도시된 바와 같다.

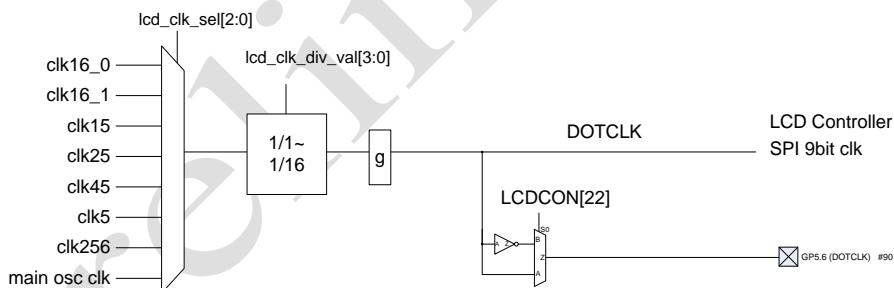


Figure 4-10 TFT LCD Clock

Figure 4-10 에 도시 된 바와 같이, DOTCLK 에 대한 8 개의 가능한 소스가 있다. 선택된 클럭은 추가로 LCD 모듈에 가기 전에 1 ~ 1/16 까지 모든 비율로 분할 될 수 있다. DOTCLK 또한 핀에 출력 된다.

4.2.10 Sound Mixer Clock

Sound Mixer module 은 Figure 4-11 에 도시된 바와 같이 clock 을 생성 할 수 있다.

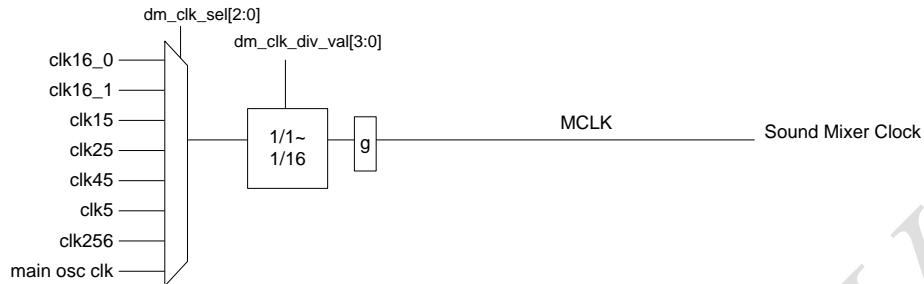


Figure 4-11 Sound Mixer Clock

Figure 4-11 에 도시된 바와 같이, MCLK 를 위한 8 개의 가능한 소스가 있다. 선택된 클럭은 추가로 음향 믹서 모듈 가기 전에 1 ~ 1/16 까지 모든 비율로 분할 될 수 있다.

4.2.11 Protection Mechanism

adStar-L 은 시스템 제어 레지스터에 write 접근 하기 위해 두 단계 절차를 필요로 한다.

첫 번째는 절차는 GLOCK 레지스터에 0xe5511acc 값을 write 하여 unlock 을 시켜야 한다. 이것은 모듈의 모든 레지스터들을 해제 한다.

(GLOCK 레지스터는 시스템 제어 모듈에서 중요한 레지스터에 우발적인 쓰기를 방지하기 위해 필요 하다.)

두 번째 절차는 필요한 각각의 레지스터를 write 하려면 WREN 레지스터의 각각의 비트를 활성화 하여야 한다.

4.3 Power modes

전력 관리 컨트롤러의 다수의 전원 옵션은 사용자가 필요한 사용자 애플리케이션에 대한 전력 소비를 최적화 할 수 있도록 제공한다.

파워 모드는 인수로 모드 인덱스 번호를 취하는 정지 명령에 의해 선택된다.

Modes	CPU Clock	Main OSC	Main domain Power	RTC OSC	RTC domain power	Exit
Sleep(Halt3)	Off	On	On	On	On	RESET#, Interrupt Source
Stop(Halt2)	Off	Off	On	On	On	RESET# Event Source, Wake-up
Shutdown(Halt1)	Off	Off	Off	On	On	RTC Alarm Wake-up Reboot from Power-up
Static(Halt0)	Off	Off	Off	Off	On	Wake-up Reboot from Power-up

4.3.1 RUN mode

Run mode 는 칩에 대한 정상 작동 모드 이다. 이 모드는 모든 리셋 후 입력 된다.

RUN mode 는 모든 clocks 을 활성화 하고, 소프트웨어 실행 및 주변 동작을 허용 한다.

이 모드에서 전력 소비를 줄여야 한다면, 사용하지 않는 클럭은 그에 상응하는 클럭의 제어에서 사용하지 않도록 레지스터를 설정하여 전력 소모를 줄일 수 있다. (AHBCLKEN, APBCLKEN).

4.3.2 Sleep mode

Halt3 명령은 CPU 와 SPM 의 memorys 을 중단 한다.

CPU clock 은 정지하고, 칩의 나머지는 동작을 수행 한다 wake up 소스는 인터럽트 이다.

인터럽트는 active high level 이어야 wake up 소스로 사용할 수 있다.

- CPU is disabled.
- SPM is disabled.

Wake-up from Sleep mode(Halt3)

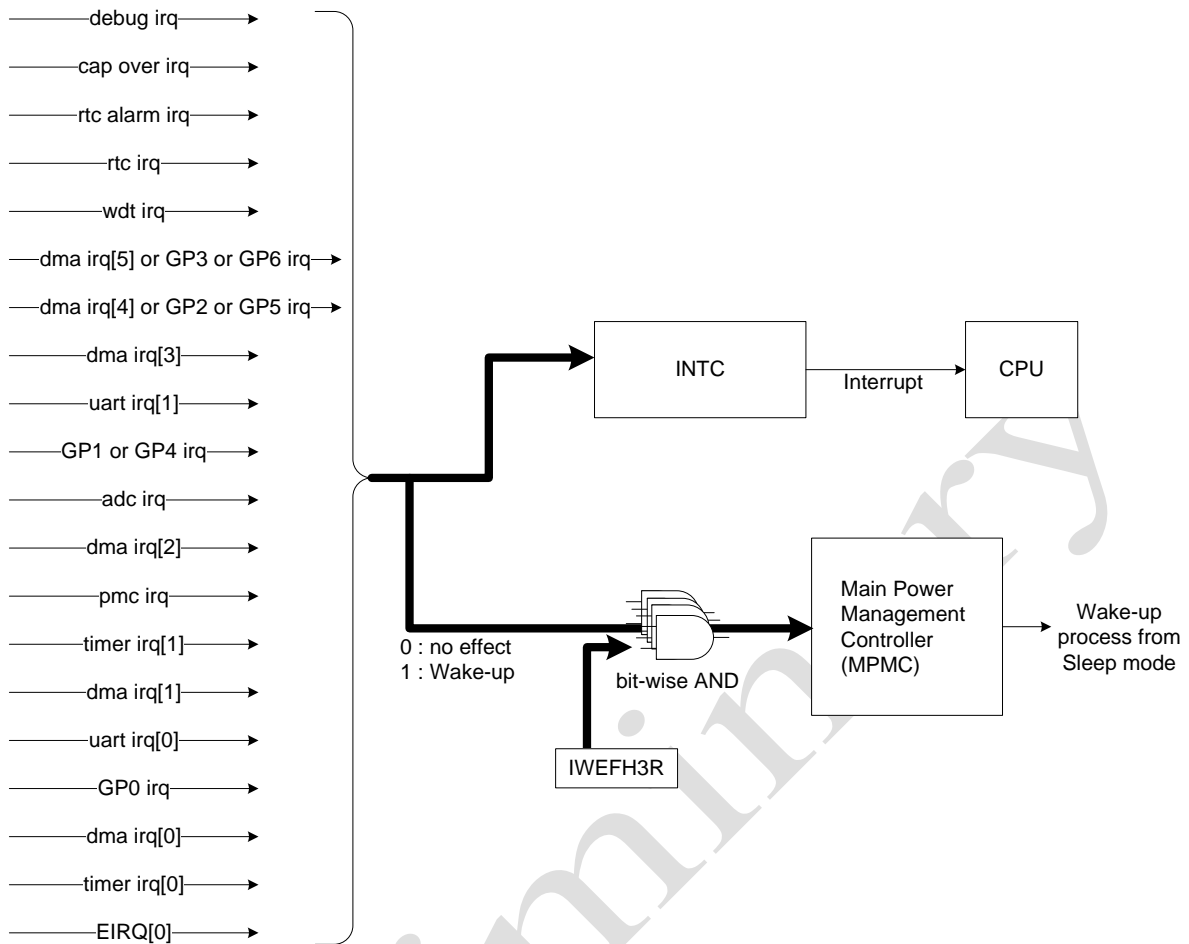


Figure 4-12 Wake-up process from Sleep mode

4.3.3 Stop mode

모든 clock 은 정지 하지만 RTC oscillator 와 RTC block 은 동작 한다. Wake up 소스는 RTC 또는 외부 입력 핀 이다.

- The PLLs are disabled
- The Main OSC is disabled
- RAM is retention

Wake-up from Stop mode(Halt2)

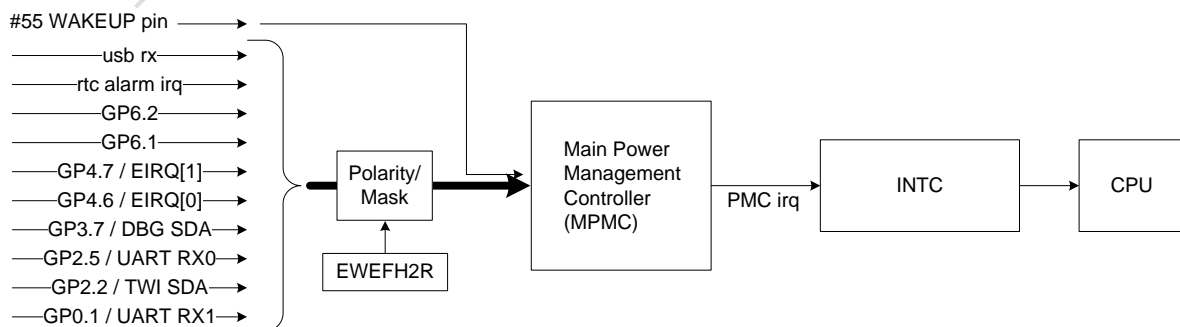


Figure 4-13 Wake-up process from Stop mode

4.3.4 Shutdown mode

메인 전력 도메인의 전력이 제거되고, 누설 전류를 감소 한다.

RTC 발진기, RTC 로직 블록을 포함하여 소량의 전원만 유지 한다.

외부 전압 조정기가 파워 다운과 함께 사용되는 경우에만, shutdown 모드가 가능하다. RTC 블록은 VBAT 에 의해 구동.

장치가 셧 다운 모드에 진입하면, 외부 레귤레이터는 턴 오프 된다.

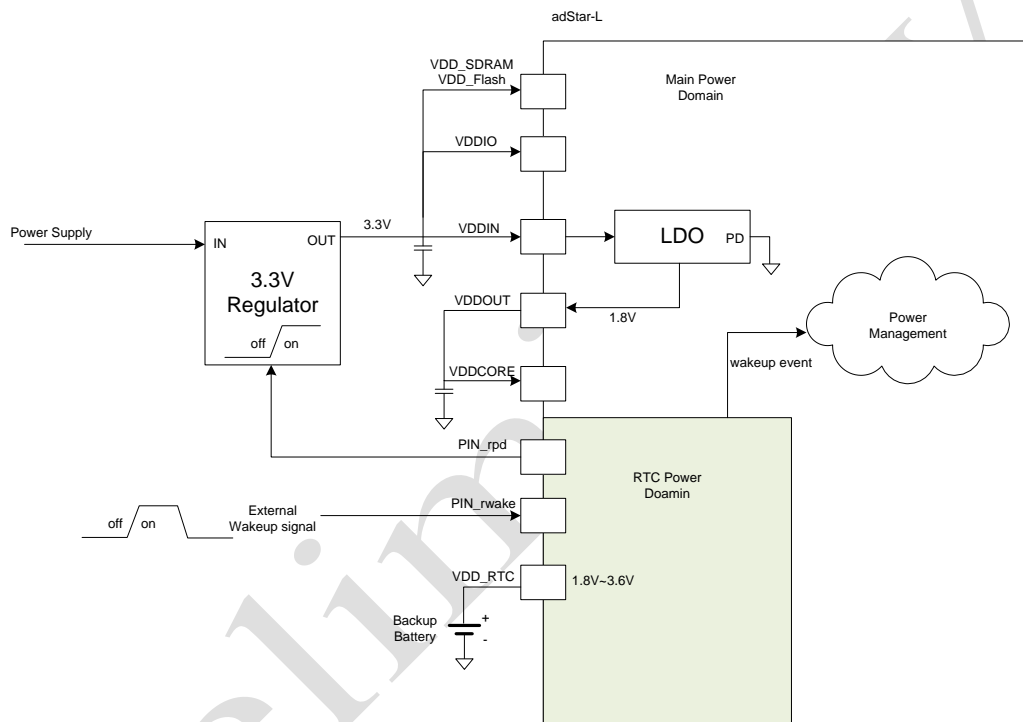
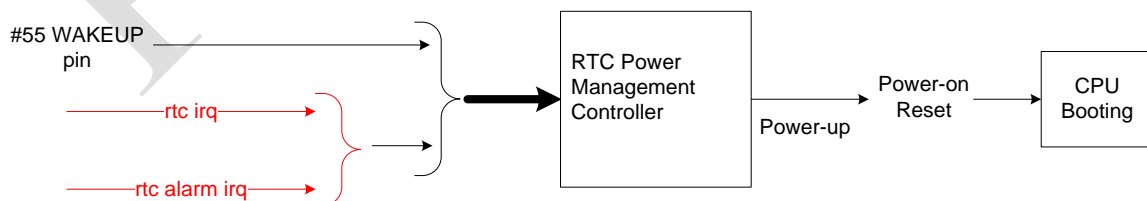


Figure 4-14 Power Off for Shutdown/Static mode

Wake-up sources는 RTC interrupts, external wake-up pin 이다

Wake-up from Shutdown mode (Halt1)



* Do not use both rtc_irq and rtc_alarm_irq simultaneously.
One of them must be used as wake-up signal.

Figure 4-15 Wake-up process from Standby mode

4.4.2 System Control Write Enable Register (WREN)

Address : 0x8002_3C04

Bit	R/W	Description	Default Value
31:20	R	Reserved	-
19	R/W	DM Clock Divider register	0
18	R/W	LCD Clock Divider register	0
17	R/W	CLK16_1 Divider register	0
16	R/W	CLK16_0 Divider register	0
15	R/W	HCLK Divider register	0
14	R	Reserved	-
13	R/W	USB PHY Control Register Write Enable	0
12	R/W	PCLK Control Register Write Enable	0
11	R/W	HCLK Control Register Write Enable	0
10	R/W	Sound Clock Control Register Write Enable	0
9	R/W	PLL Control Register Write Enable	0
8	R/W	Clock Control Register Write Enable	0
7:4	R	Reserved	-
3	R/W	OSC stable counter Register Write Enable	-
2	R/W	Interrupt Wakeup Enable register	0
1	R/W	Reserved	-
0	R/W	halt register enable (Effective CPU halt instruction enable bit) 1 - Disable write protection for the corresponding register. 0 - Enables write protection for the corresponding register	0

* 이 레지스터를 사용 하려면, GLOCK 레지스터의 잠금을 해제 해야 한다.

* CPU 의 Halt 명령으로 PMC를 제어하기 위해서는 bit[0]를 1로 set해야 한다.

* Halt 명령으로 sleep mode가 된 core를 깨우려면, 인터럽트를 발생시켜야 한다.

4.4.3 Halt Register

Address : 0x8002_3C08

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4:0	W	10 : halt0 11 : halt1 12 : halt2 13 : halt3 (cpu, spm clock off) PCLK의 one pulse 신호이다. write 된 data가 유지 되지 않는다.	0

* 이 레지스터를 사용 하려면, WREN register에 halt register enable 비트를 enable 시켜줘야 한다.

* CPU halt 명령어도 이 register 를 접근 하기 때문에, 쓰기 접근이 활성화 되어 있어야 한다.

* Halt 명령으로 sleep mode가 된 core를 깨우려면, 인터럽트를 발생시켜야 한다.

4.4.4 Halt Status Register

Address : 0x8002_3C0C

Bit	R/W	Description	Default Value
31:11	R	Reserved	-
10	R	PMC IRQ 인터럽트 발생 유무를 알 수 있다. PMU Status reg[0]에서도 확인 할 수 있다.	0
9	R	RTC wakeup event latch. Halt0나 Halt1에서 깨어났음을 알 수 있다.	0
8	R/W	Cpu only clock disable during halt3 0 : cpu, spm clock off when halt3 excuting 1 : cpu only clock off	0
7:5	R	Reserved.	-
4:0	R	12 : halt2 13 : halt3 수행 된 halt 모드를 알 수 있다. Main 파워가 off 되는 halt0와 halt1은 상태를 알 수 없다. 모두 clear 가 되기 때문이다.	0

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜줘야 한다

4.4.5 Interrupt Wake up Enable Register

Address : 0x8002_3C10

Bit	R/W	Description	Default Value
		Halt 3 모드에서만, Wakeup 시 사용할 Interrupt 종류를 선택 한다. IRQ는 reg 순서와 동일 하다. 깨어 날 때 사용할 IRQ를 선택 하면 된다. (debug irq 가 포함) PMC irq도 포함. RTC irq RTC wakeup irq 여기서 활성화된 인터럽트에 의해서만 CPU 의HCLK가 살아나게 됨. 인터럽트 처리와는 무관하다. CPU 클럭만 살린다. 해당 하는 인터럽트에 의해서 Halt3 이후 ISR처리를 위해서는 인터 럽트 컨트롤러를 적절히 설정해야지만 처리가 된다. 이 register단지 cpu 클럭만 깨우는데 관여 한다. ISR 과는 무관하다.	-
31	R/W	SWD Interrupt Use edge method Clock_ctrl_r[0]	1
30	R/W	MJPEG 1 Interrupt	1
29	R/W	Capture Over Interrupt	1
28	R/W	SPI LCD Interrupt	1
27	R/W	RTC Alarm Interrupt	1
26	R/W	RTC Interrupt	1
25	R/W	TWI Interrupt	1
24	R/W	NAND Interrupt	1
23	R/W	WDT Interrupt	1
22	R/W	DMA CH5 Interrupt , GPIO 3 interrupt, GPIO 6 interrupt	1
21	R/W	SDCard Interrupt	1
20	R/W	DMA CH4 Interrupt , GPIO 2 Interrupt, GPIO 5 Interrupt	1
19	R/W	MJPEG 0 Interrupt	1
18	R/W	SPI Interrupt	1
17	R/W	DMA CH3 Interrupt	1
16	R/W	UART 1 Interrupt	1
15	R/W	GPIO 1 Interrupt, GPIO 4 Interrupt	1
14	R/W	USB host interrupt, Device Interrupt	1
13	R/W	ADC Interrupt	1
12	R/W	DMA CH2 Interrupt	1
11	R/W	PMC interrupt	1
10	R/W	Timer 1 Interrupt	1
9	R/W	DMA CH1 Interrupt	1
8	R/W	UART 0 Interrupt	1
7	R/W	GPIO 0 Interrupt	1
6	R/W	DMA CH0 Interrupt	1
5	R/W	LCD Frame sync Interrupt	1
4	R/W	EIRQ1 Interrupt	1
3	R/W	Sound Mixer Interrupt	1
2	R/W	Timer 0 Interrupt	1
1	R/W	Core timer Interrupt	1
0	R/W	EIRQ0 Interrupt (Highest Priority)	1

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜줘야 한다.

* halt3 (sleep mode) 상태에서 wakeup 할때, 어떤 interrupt 에 의해 wakeup 할지 결정해 주는 register 이다.

4.4.6 Event Wake up Enable Register

Address : 0x8002_3C14

Bit	R/W	Description	Default Value
31:27	R	Always awake by the RTC wakeup signal. This is not an option	-
26	R/W	SWD interrupt mask 0: mask 1: unmask	0
25	R/W	Usb receive data mask 0: mask 1: unmask	0
24	R/W	Rtc alarm interrupt mask 0: mask 1: unmask	0
23	R/W	Gp6.2 mask 0: mask 1: unmask	0
22	R/W	GP6.1 mask 0: mask 1: unmask	0
21	R/W	GP4.7 mask 0: mask 1: unmask	0
20	R/W	GP4.6 mask 0: mask 1: unmask	0
19	R/W	GP3.7 mask 0: mask 1: unmask	0
18	R/W	GP2.5 mask 0: mask 1: unmask	0
17	R/W	GP2.2 mask 0: mask 1: unmask	0
16	R/W	GP0.1 mask 0: mask 1: unmask	0
15:11	R	Reserved	-
10	R/W	SWD interrupt Polarity 0: active low 1: active high	0
9	R/W	Usb receive data Polarity 0: active low 1: active high	0
8	R/W	Rtc alarm interrupt Polarity 0: active high 1: active low	0
7	R/W	GP6.2 Polarity 0: active low 1: active high	0
6	R/W	GP6.1 Polarity 0: active low 1: active high	0
5	R/W	GP4.7 Polarity 0: active low 1: active high	0
4	R/W	GP4.6 Polarity 0: active low 1: active high	0
3	R/W	GP3.7 Polarity 0: active low 1: active high	0
2	R/W	GP2.5 Polarity 0: active low 1: active high	0
1	R/W	GP2.2 Polarity 0: active low 1: active high	0
0	R/W	GP0.1 Polarity 0: active low 1: active high	0

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜줘야 한다

* halt2 (stop mode) 상태에서 wakeup 할때, 어떤 interrupt 에 의해 wakeup 할지 결정해 주는 register 이다.

* 이 신호는 PCM_IRQ로 통합 된다.

PMC ISR 루틴이 수행 된다. 그리고 이 register를 읽으면 어떤 wake up source에 의해 wake up이 발생 했는지 알 수 있다. Halt2 상태로 진입 중에 발생한 wake up event는 무시가 된다. 진입이 완벽하게 이뤄진 뒤에 wake up event가 발생하면, 깨어나기 시작 한다.

4.4.7 PMC Status Register

Address : 0x8002_3C18

Bit	R/W	Description	Default Value
31:2	R	Reserved.	-
1	R/W	RTC s/w reset 0 : release reset(normal operation state) 1 : reset asserted	0
0	R/W	PMC IRQ clear bit Read 하면 IRQ 발생 유무 확인 1을 Write 하면 clear 함.(0 write할 필요 없음, 자동 clear 됨) PMC IRQ 는 halt2, halt1, halt0에서 발생 한다. Halt3 에서는 발생 하지 않는다. Halt 3 에서는 Wake를 한 블록의 irq를 고려 하면 된다.	0

4.4.8 OSC Stable Counter Register

Address : 0x8002_3C1C

Bit	R/W	Description	Default Value
31:11	R	Reserved.	-
10 : 0	R/W	Wake 시 사용 될 osc stable coutner 의 value 이다.	11'h7ff

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜줘야 한다

4.4.9 Clock Control Register (CLKCON)

Address : 0x8002_3C20

Bit	R/W	Description	Default Value
31:24	R	Reserved.	-
23:20	R/W	ADC Clock divider 0000: System Clock 0001: System Clock / 2 0010: System Clock / 3 0011: System Clock / 4 ... 1110: System Clock / 15 1111: System Clock / 16	0
12:8	R/W	PLL Lock Counter value for halt2	5'h1f
7:4	R	Reserved.	-
5 : 4	R/W	PLL1 clock source select. These bits select the PLL1 clock source. 00:xin clock selected 01:GPIO clock selected 1x:clk16_0 clock selected	
3	R/W	USB Clock Enable 0: USB clock is off 1: USB clock is on	0
2	R/W	USB Clock divider. USB requires 48MHz clock. 0: USB Source Clock (when source clock is 48MHz) 1: USB Source Clock / 2 (when source clock is 96MHz)	0
1	R/W	USB Source Clock Select. 0: pll0_clk selected 1: pll1_clk selected	0
0	R/W	Select clock source for HCLK domain 0: XIN input selected 1: PLL0 clock selected	0

* 이 레지스터를 사용 하려면, WREN register 에 해당하는 비트를 enable 시켜주고, GLOCK register 를 해제 시켜줘야 한다

4.4.10 PLL0 Control Register (PLLCON0)

Address : 0x8002_3C24

Bit	R/W	Description	Default Value
31 : 29		Reserved	-
28	R/W	PLL Power Down 0 : normal operation 1 : power down	1
27 : 26	R	Reserved	-
25 : 24	R/W	OD (Output divider). These bits set the output divider value for the PLL0. 00 : divide by 1 01 : divide by 4 10 : divide by 2 11 : divide by 8	0
23 : 20	R	Reserved	-
19 : 16	R/W	R (Input divider). These bits set the input divider value for the PLL0. R must be >=2 or unpredictable operation results.	02h
15 : 12	R	Reserved	-
11 : 0	R/W	N (Multiplier). These bits set the multiplier value for the PLL0. N must be >=2 or unpredictable operation results.	002h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다

* $FOUT = (XIN * N) / (R * OD)$

4.4.11 Clock Divider Control Register (CLKDCON)

Address : 0x8002_3C28

Bit	R/W	Description	Default Value
31:28	R	Reserved	-
27:25	R/W	DM clock source select. 000: clk16_0 001: clk16_1 010: clk15 011: clk25 100: clk45 101: clk5 110: clk256 111: XIN	000
24:22	R/W	LCD clock source select. 000: clk16_0 001: clk16_1 010: clk15 011: clk25 100: clk45 101: clk5 110: clk256 111: XIN	000
21:20	R/W	CLK16_1 clock source select. 00 : XIN 01 : GPIO 10 : PLL1	0
19:18	R/W	CLK16_0 clock source select. 00 : XIN 01 : GPIO 10 : PLL0	0
17:16	R/W	CLK256 clock source select. 00 : xin 01: GPIO clock 10: pll0 11: pll1	0
15:14	R/W	CLK5 clock source select. 00 : xin 01: GPIO clock 10: pll0 11: pll1	0
13:12	R/W	CLK45 clock source select. 00 : xin 01: GPIO clock 10: pll0 11: pll1	01
11:10	R/W	CLK25 clock source select. 00 : xin 01: GPIO clock 10: pll0 11: pll1	0
9:8	R/W	CLK15 clock source select. 00 : xin 01: GPIO clock 10: pll0 11: pll1	00
7:0	R	Reserved	-

* 이 레지스터를 사용하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.12 AHB Clock Enable Register (HCLKEN)

Address : 0x8002_3C2C

Bit	R/W	Description	Default Value
31	R/W	bus clock enable	1
30:16	R	Reserved.	-
15	R/W	SD Card IO clock enable	1
14	R/W	NAND clock enable	1
13	R/W	CRTC clock enable	1
12	R/W	USB Host Clock Enable (12MHz, 48MHz, bus clock)	1
11	R/W	USB Device Clock Enable (12MHz, 48MHz, bus clock)	1
10	R	Reserved.	-
9	R	Reserved.	-
8	R/W	H/W JPEG AHB Clock Enable	1
7	R/W	SPI LCD Clock Enable	1
6	R/W	Flash Controller Clock Enable	1
5	R/W	DMA Clock Enable	1
4	R/W	GPIO Clock Enable	1
3	R/W	Interrupt Controller Clock Enable	1
2	R/W	SDRAM Clock Enable	1
1	R/W	SDRAM Controller Clock Enable	1
0	R	Reserved.	1

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.13 APB Clock Enable Register (PCLKEN)

Address : 0x8002_3C30

Bit	R/W	Description	Default Value
31	R/W	Bus clock Enable PMU block signal. Power management is not available without this clock.(Halt3)	1
30:16	R	Reserved.	-
14	R/W	RTC interface clock enable	1
13	R/W	CRTC clock enable	1
12	R/W	Pin MUX Clock Enable	1
11	R/W	ADC APB Clock Enable	1
10	R	Reserved.	-
9	R	Reserved.	-
8	R/W	Sound Mixer APB Clock Enable	1
7	R/W	TWI Clock Enable	1
6	R/W	Reserved.	1
5	R/W	SPI Clock Enable	1
4	R/W	UART Clock Enable	1
3	R/W	Timer Clock Enable	1
2	R/W	Watch Dog Timer Clock Enable	1
1	R	Reserved.	-
0	R	Reserved.	-

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.14 USB PHY Control Register (USBPHYCON)

Address : 0x8002_3C34

Bit	R/W	Description	Default Value
31:18	R	Reserved	-
17	R/W	Reserved	1
16	R/W	Reserved	0
15:9	R	Reserved	-
8	R/W	USB Function Select bit 0: USB Device 1: USB Host	0
7	R	USB PHY suspend bit 0: No effect 1: Suspend	0
6	R/W	D- Pull-down Enable bit 0: Pull-down Disable 1: Pull-down Enable	0
5	R/W	D+ Pull-down Enable bit 0: Pull-down Disable 1: Pull-down Enable	0
4	R/W	Receive Enable bit 0: USB PHY가 외부 신호를 받아들이지 않는다. 1: USB PHY가 외부 신호를 받아들인다.	0
3	R/W	D- Weak Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
2	R/W	D- Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
1	R/W	D+ Weak Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0
0	R/W	D+ Pull-up Enable bit 0: Pull-up Disable 1: Pull-up Enable	0

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.15 Boot mode status register(BMST)

Address : 0x8002_3C38

Bit	R/W	Description	Default Value
31:1	R	Reserved	-
0	R	Boot mode 0: normal mode or debug mode.. etc 1: nandboot mode	1

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.16 Boot mode config register(BMCT)

 Address : **0x8002_341C (pin mux register)**

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4 : 2	R	000 : NAND Boot Small 3C 001 : NAND Boot Small 4C 010 : NAND Boot Large 4C 011 : NAND Boot Large 5C 100 : NAND Boot MLC 4-bit 101 : NAND Boot MLC 24-bit 110 : Serial Flash boot 111 : Serial Flash boot	111b
1	R	Reserved	1
0	R	0 : Debug boot 1 : Normal boot	1

4.4.17 HCLK clock divide register(HCLKDIV)

Address : 0x8002_3C3C

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4	R/W	Synchronization bit 1로 설정하면 synch 가 되고, 다시 0으로 반드시 설정 해준다.	0
3:0	R/W	AHB Clock Select 0000: Source Clock 0001: Source Clock / 2 0010: Source Clock / 3 0011: Source Clock / 4 ... 1110: Source Clock / 15 1111: Source Clock / 16	0

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.18 CLK16_0 clock divide register(CLK16DIV0)

Address : 0x8002_3C40

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4	R/W	Synchronization bit 1로 설정하면 synch 가 되고, 다시 0으로 반드시 설정 해준다.	0
3:0	R/W	CLK16_0 Clock Select 0000: Source Clock 0001: Source Clock / 2 0010: Source Clock / 3 0011: Source Clock / 4 ... 1110: Source Clock / 15 1111: Source Clock / 16	0

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.19 CLK16_1 clock divide register(CLK16DIV1)

Address : 0x8002_3C44

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4	R/W	Synchronization bit 1로 설정하면 synch 가 되고, 다시 0으로 반드시 설정 해준다.	0
3:0	R/W	CLK16_1 Clock Select 0000: Source Clock 0001: Source Clock / 2 0010: Source Clock / 3 0011: Source Clock / 4 ... 1110: Source Clock / 15 1111: Source Clock / 16	0

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.20 LCD clock divide register(LCDDIV)

Address : 0x8002_3C48

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4	R/W	Synchronization bit 1로 설정하면 synch 가 되고, 다시 0으로 반드시 설정 해준다.	0
3:0	R/W	LCD Clock Select 0000: Source Clock 0001: Source Clock / 2 0010: Source Clock / 3 0011: Source Clock / 4 ... 1110: Source Clock / 15 1111: Source Clock / 16	0

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.21 Sound Mixer clock divide register(SMDIV)

Address : 0x8002_3C4C

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4	R/W	Synchronization bit 1로 설정하면 synch 가 되고, 다시 0으로 반드시 설정 해준다..	0
3:0	R/W	DM Clock Select 0000: Source Clock 0001: Source Clock / 2 0010: Source Clock / 3 0011: Source Clock / 4 ... 1110: Source Clock / 15 1111: Source Clock / 16	0

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

4.4.22 PLL1 Control Register (PLLCON1)

Address : 0x8002_3C50

Bit	R/W	Description	Default Value
31 : 29		Reserved	-
28	R/W	PLL Power Down 0 : normal operation 1 : power down	1
27 : 26	R	Reserved	-
25 : 24	R/W	OD (Output divider)에 대한 PLL1 출력 분주 값을 설정. 00 : divide by 1 01 : divide by 4 10 : divide by 2 11 : divide by 8	0
23 : 20	R	Reserved	-
19 : 16	R/W	R (Input divider). 에 대한 입력 PLL1 디바이더 값을 설정. R must be >=2 or unpredictable operation results.	02h
15 : 12	R	Reserved	-
11 : 0	R/W	N (Multiplier) PLL1 승수 값을 설정. N must be >=2 or unpredictable operation results.	002h

* 이 레지스터를 사용 하려면, WREN register에 해당하는 비트를 enable 시켜주고, GLOCK register를 해제 시켜줘야 한다.

$$* FOUT = (XIN*N)/(R*OD)$$

5 SPI FLASH MEMORY CONTROLLER

5.1 Introduction

Flash 메모리는 메모리의 용량 제한은 512k bytes 이며, 메모리의 동작 속도는 최대 80Mhz 까지 이지만 Flash Memory Controller 는 AHB clock 을 분주하여 사용하므로 최대 시스템 clock 의 2분주로 동작하게 된다.

Flash controller 는 2 개의 bus interface 가 존재 한다: [memory interface & register interface]

Memory interface 는 CPU 와 DMA 가 직접 접근하여, flash memory 의 data 를 read 또는 write 한다.

XIP (execute In Place)

Register interface 는 SPI flash mode 를 설정하거나, flash memory 에 read/write/erase 를 수행 할 수 있다.

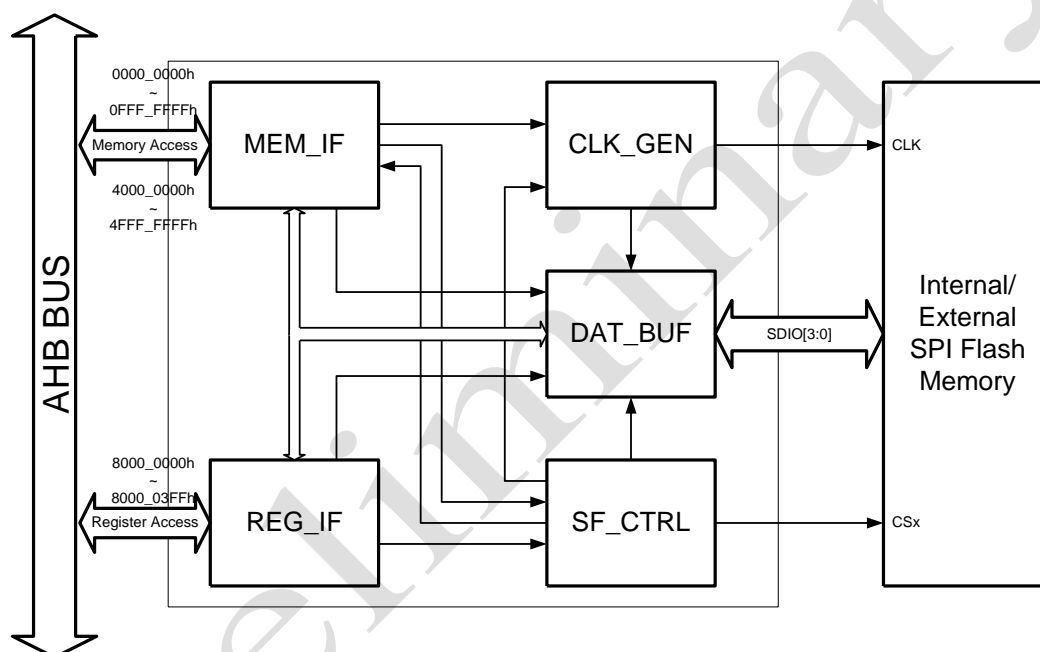


Figure 5-1 Flash Memory Controller Block Diagram

5.2 Feature

SPI flash controller 의 주요 기능

- Single, Double 및 Quad mode
- H/W 및 S/W 통한 flash erase 및 flash program
- XIP 제공(execute In Place)

5.3 Functional Description

5.3.1 Register Interface

register interface 를 통해 operation mode selection register 및 command/data register 를 설정 할 수 있다.

Register interface 기능

- Flash erase operation
- Flash program operation
- Read/Write status operation.
- Read data operation

5.3.2 Memory Interface

memory interface range 안에서, flash memory 에 직접 read/write 를 수행 한다. (XIP mode)

read 동작이 수행되면, controller 는 read 가 완료 될 때까지, next access 를 하지 않으며, wait 상태를 유지 한다.

Memory interface 기능

- Flash program operation
- Read data operation

5.3.3 Internal Flash Memory

Internal flash memory 기능

- 4M-bit/512K-byte
- 256-byte per programmable page
- Uniform 4KB Sectors, 32KB & 64KB Blocks
- More than 100,000 erase/write cycles
- More than 20-year data retention

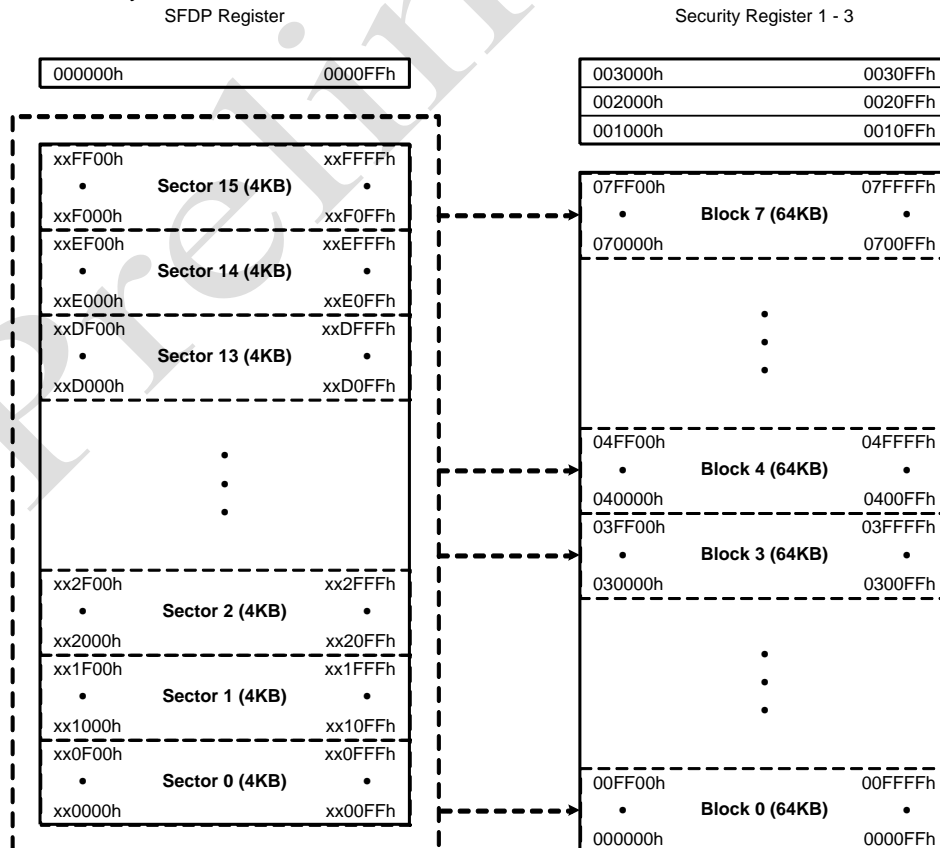


Figure 5-2 Internal Serial Flash Memory

5.3.4 Internal Flash Memory Commands

Table 5-1 Instruction Set Table 1 (Erase, Program Instructions)

Instruction NAME	BYTE 1 (CODE)	BYTE2	BYTE3	BYTE4	BYTE5	BYTE6
Write Enable	06h					
Write Enable for Volatile Status Register	50h					
Write Disable	04h					
Read Status Register-1	05h	(S7-S0)				
Read Status Register-2	35h	(S15-S8)				
Write Status Register	01h	S7-S0	S15-S8			
Page Program	02h	A23-A16	A15-A8	A7-A0	D7-D0	
Quad Page Program	32h	A23-A16	A15-A8	A7-A0	D7-D0, ...	
Sector Erase (4KB)	20h	A23-A16	A15-A8	A7-A0		
Block Erase (32KB)	52h	A23-A16	A15-A8	A7-A0		
Block Erase (64KB)	D8h	A23-A16	A15-A8	A7-A0		
Chip Erase	C7/60h					
Erase / Program Suspend	75h					
Erase / Program Resume	7Ah					
Power-down	B9h					
Continuous Read Mode Reset	FFh	FFh				

Table 5-2 Instruction Set Table 2 (Read Instructions)

Instruction NAME	BYTE 1 (CODE)	BYTE2	BYTE3	BYTE4	BYTE5	BYTE6
Release Power Down/ Device ID	ABh	dummy	dummy	dummy	(ID7-ID0)	
Manufacturer/ Device ID	90h	dummy	dummy	00h	(MF-MF0)	(ID7-ID0)
Manufacturer/Device ID by Dual I/O	92h	A23-A8	A7-A0, M[7:0]	(MF[7:0], ID[7:0])		
Manufacturer/Device ID by Quad I/O	94h	A23-A0, M[7:0]	xxx,(MF[7:0], ID[7:0])	(MF[7:0], ID[7:0], ...)		
JEDEC ID	9Fh	(MF7-MF0) manufacturer	(D15-ID8) Memory Type	(ID7-ID0) Capacity		
Read Unique ID	4Bh	dummy	dummy	dummy	dummy	(ID63-ID0)
Read SFDP Register	5Ah	00h	00h	A7-A0	dummy	(D7-D0)
Erase Security Registers	44h	A23-A16	A15-A8	A7-A0		
Program Security Registers	42h	A23-A16	A15-A8	A7-A0	D7-D0	D7-D0
Read Security Registers	48h	A23-A16	A15-A8	A7-A0	dummy	D7-D0

Table 5-3 Instruction Set Table 3 (ID, Security Instructions)

Instruction NAME	BYTE 1 (CODE)	BYTE2	BYTE3	BYTE4	BYTE5	BYTE6
Release Power Down/ Device ID	ABh	dummy	dummy	dummy	(ID7-ID0)	
Manufacturer/ Device ID	90h	dummy	dummy	00h	(MF-MF0)	(ID7-ID0)
Manufacturer/Device ID by Dual I/O	92h	A23-A8	A7-A0, M[7:0]	(MF[7:0], ID[7:0])		
Manufacturer/Device ID by Quad I/O	94h	A23-A0, M[7:0]	xxx,(MF[7:0], ID[7:0])	(MF[7:0], ID[7:0], ...)		
JEDEC ID	9Fh	(MF7-MF0) manufacturer	(D15-ID8) Memory Type	(ID7-ID0) Capacity		
Read Unique ID	4Bh	dummy	dummy	dummy	dummy	(ID63-ID0)
Read SFDP Register	5Ah	00h	00h	A7-A0	dummy	(D7-D0)
Erase Security Registers	44h	A23-A16	A15-A8	A7-A0		
Program Security Registers	42h	A23-A16	A15-A8	A7-A0	D7-D0	D7-D0
Read Security Registers	48h	A23-A16	A15-A8	A7-A0	dummy	D7-D0

5.3.5 Flash Status Register

Flash Status Register (FLSTS)

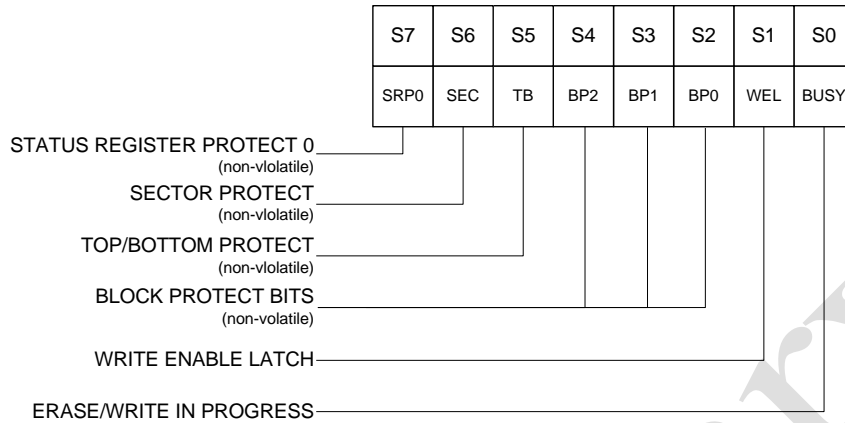


Figure 5-3 Serial Flash Memory Status Register 1

위의 레지스터는 플래시 상태 레지스터의 하위 1 바이트를 access 한 것이다.
기록 동작이 완료되지 않는 것은 [0]번 비트(BUSY)를 사용 하여 확인 한다.

Flash 2nd Status Register (FLSTS2)

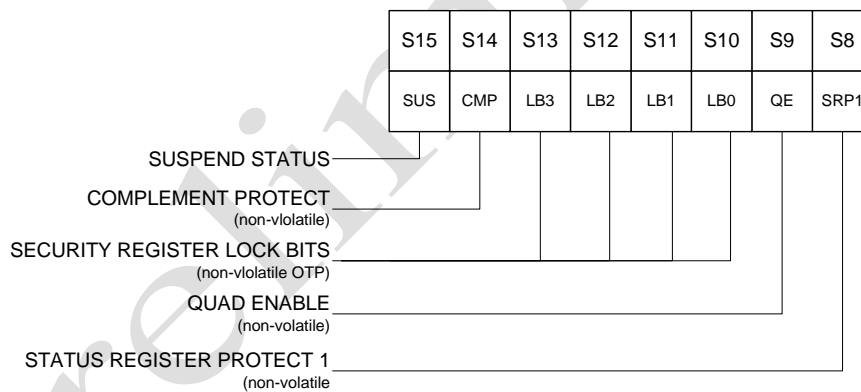


Figure 5-4 Serial Flash Memory Status Register 2

위의 레지스터는 플래시 상태 레지스터의 상위 1 바이트에 access 한 것이다.
쿼드 모드 사용은 [1]번 비트를 설정하여 수행 할 수 있다(QE). - 플래시 상태 레지스터 [9]번 비트 사용.

Table 5-4 Serial Flash Memory Status Register Description

Bit	Signal Name	Description
15	SUS	Erase/Program Suspend Status The suspend Status bit is a read only bit in the status register (S15) that is set to 1 after executing a Erase/Program Suspend (75h) instruction. The SUS status bit is cleared to 0 by Erase/Program Resume (7Ah) instruction as well as a power-down, power-up cycle.
14	CMP	Complement Protect The Complement Protect bit (CMP) is a non-volatile read/write bit in the status register (S14). It is used in conjunction with SEC, TB, BP2, BP1 and BP0 bits to provide more flexibility for the array protection. Once CMP is set to 1, previous array protection set by SEC, TB, BP2, BP1 and BP0 will be reversed. For instance, when CMP=0, a top 4KB sector can be protected while the rest of the array is not; when CMP=1, the top 4KB sector will become unprotected while the rest of the array become read-only, Please refer to the Status Register Memory Protection table for details. The default setting is CMP=0.
13	LB3	Security Register Lock Bits The Security Register Lock Bits (LB3, LB2, LB1, LB0) are non-volatile One Time Program (OTP) bits in Status Register (S13, S12, S11, S10) that provide the write protect control and status to the Security Registers. The default state of LB3-0 is 0, security Registers are unlocked. LB3-0 can be set to 1 individually using the Write Status Register instruction. LB3-0 are One Time Programmable (OTP), once it's set to 1, the corresponding 256-Byte Security Register will become read-only permanently.
12	LB2	
11	LB1	
10	LB0	
9	QE	Quad Enable The Quad Enable (QE) bit is a non-volatile read/write bit in the status register (S9) that allows Quad SPI operation. When the QE bit is set to a 0 state (factory default), the /WP pin and /HOLD are enable. When the QE bit is set to a 1, the Quad IO2 and IO3 pins are enabled.
8	SRP1	Status Register Protect The Status Register Protect bits (SRP1 and SRP0) are non-volatile read/write bits in the status register (S8 and S7). The SRP bits control the method of write protection: software protection, hardware protection, power supply lock-down or one time programmable (OTP) protection.
7	SRP0	
6	SEC	Sector/Block Protect The non-volatile Sector/Block Protect bit (SEC) controls if the Block Protect Bits (BP2, BP1, BP0) protect either 4KB Sectors (SEC=1) or 64KB Blocks (SEC=0) in the Top (TB=0) or the Bottom (TB=1) of the array as shown in the Status Register Memory Protection table. The default setting is SEC=0.
5	TB	Top/Bottom Block Protect The non-volatile Top/Bottom bit (TB) controls if the Block Protect Bits (BP2, BP1, BP0) protect from the Top (TB=0) or the Bottom (TB=1) of the array as shown in the Status Register Memory Protection table. The factory default setting is TB=0. The TB bit can be set with the Write Status Register Instruction depending on the state of the SRP0, SRP1 and WEL bits.
4	BP2	Block Protect Bits The Block Protect Bits (BP2, BP1, BP0) are non-volatile read/write bits in the status register (S4, S3, and S2) that provide Write Protection control and status. Block Protect bits can be set using the Write Status Register Instruction (see tW in AC characteristics).; All, none or a portion of the memory array can be protected from Program and Erase instructions (see Status Register memory Protection table). The factory default setting for the Block Protection Bits is 0, none of the array protected.
3	BP1	
2	BP0	
1	WEL	Write Enable Latch Write Enable Latch (WEL) is a read only bit in the status register (S1) that is set to 1 after executing a Write Enable Instruction. The WEL status bit is cleared to 0 when the device is write disabled. A write disable state occurs upon power-up or after any of the following instructions: Write Disable, Page Program, Quad Page Program, Sector Erase, Block Erase, Chip Erase, Write Status Register, Erase Security Register and Program Security Register.
0	BUSY	BUSY is a read only bit in the status register (S0) that is set to a 1 state when the device is executing a Page Program, Quad Page Program, Sector Erase, Block Erase, Chip Erase, Write Status Register or Erase/Program Security Register instruction. During this time the device will ignore further instructions except for the Read Status Register and Erase/Program Suspend instruction (see TW, tPP, tSE,tBE, and tCE in AC Characteristics). When the program, erase or write status/security register instruction has completed, the BUSY bit will be cleared to a 0 state indicating the device is ready for further instruction.

5.3.6 Chip Erasing Flash memory

Using FLCMD register (entire flash memory)

- Write 06h command to the FLCMD register.
- Write C7h/60h command to the FLCMD register.

Using SFDAT register (entire flash memory)

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 06h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write C7h/60h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high)
- Poll the busy status bit of the FLSTS register until this operation has completed (Chip Erase complete).

5.3.7 Sector/Block Erasing Flash memory

Using FLSEA register (4KB)

- Set the address associated with the Flash memory region.

Using FLBEA register (64KB)

- Set the address associated with the Flash memory region.

Using SFDAT register (4KB, 32KB, 64KB)

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 06h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 20h(4KB) or 52h(32KB) or D8h(64KB) command to the SFDAT register
- Write the target address [23:16] to the SFDAT register.
- Write the target address [15:8] to the SFDAT register.
- Write the target address [7:0] to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Poll the busy status bit of the FLSTS register until this operation has completed (Sector/Block Erase complete)

5.3.8 Programming Flash memory

Using SFDAT register

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 06h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 02h command to the SFDAT register
- Write the target address [23:16] to the SFDAT register.
- Write the target address [15:8] to the SFDAT register.
- Write the target address [7:0] to the SFDAT register
- Write a 32-bit, 16-bit or 8-bit data up to 256 byte.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).
- Poll the busy status bit of the FLSTS register until this operation has completed (Erase complete)

5.3.9 Reading Flash memory

Using SFDAT register

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write 03h command to the SFDAT register.
- Write the target address [23:16] to the SFDAT register.
- Write the target address [15:8] to the SFDAT register.
- Write the target address [7:0] to the SFDAT register
- Read a 32-bit, 16-bit or 8-bit data up to 256 byte.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).

5.3.10 Power Down and Release Power Down

Using SFDAT register (Power down)

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write B9h command to the SFDAT register.
- Set the chip select bit in the SFMOD register to 0x1(chip select high).

Using SFDAT register (Release Power down)

- Set the chip select bit in the SFMOD register to 0x0(chip select low).
- Write ABh command to the SFBAT register.
- SFDAT(8bit, 16bit, 32bit access 가능) Read
- Set the chip select bit in the SFMOD register to 0x1(chip select high).

5.3.11 Flash Mode Register (FLMOD)

Flash 동작 모드 결정 (Single, Dual, Quad)

5.3.12 Flash Baudrate Register (FLBRT)

Flash baudrate(high pulse 및 low pulse) register

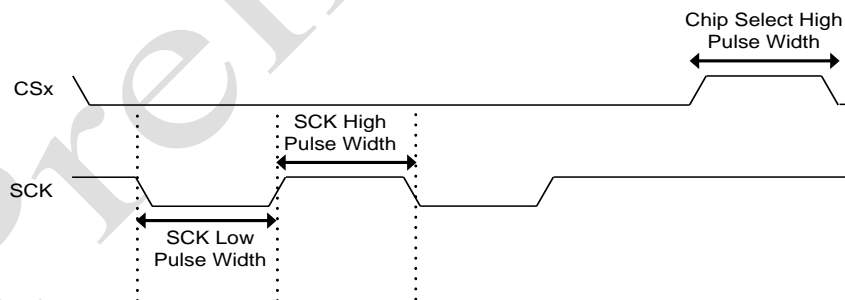


Figure 5-5 SCK and CS timing

5.3.13 Flash Chip Select High Pulse Width Register (FLCSH)

flash memory chip select high time 을 설정하는 register 이다. [deselect 시 전류의 변화는 없을 것이다.]
Program/Erase 후 read 동작 시, 또는 read 후 다음 read 동작 시까지, 50ns 의 deselect time 이 필요 하다.
adstar-L 의 external flash memory 의 값은, flash type 마다 다르므로, 해당 flash memory deselect time 을 check 해야 한다.

5.3.14 Flash WIP Check Period Register (FLWCP)

Flash memory 를 program 하거나 erase 시 hardware 적으로 flash memory 의 상태를 확인하는 period 를 결정하는 register 이다. Status memory 의 0bit 와도 관련이 있으며 flash controller 의 status register 를 통해서도 확인이 가능하다.

5.3.15 Flash Clock Delay Register (FLCKDLY)

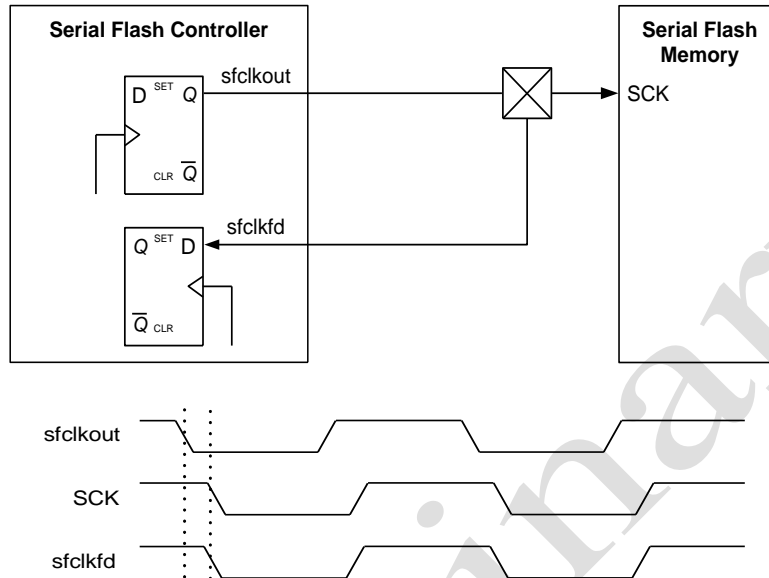


Figure 5-6 Flash Clock Delay Timing

이 register 는 read timing 을 정정 해준다. register 의 값에 따라 read clock 이 delay 된다.

5.4 Register Description

5.4.1 Flash Mode Register (FLMOD)

Address : 0x8000_0000

Bit	R/W	Description	Default Value
31:9	R	Reserved	-
8	R/W	Chip select control 1: Chip select 신호가 H/W에 의해 제어 0: Chip select 신호를 Low level로 고정	1b
7	R/W	Bus Error Enable 1: Flash에 Write 접근이 일어날 시, Bus Error를 발생 0: Flash에 Write 허용	1b
6	R	Reserved	-
5	R	EQIO Mode Flag; Checks whether or not this feature is available in flash memory. 1: EQIO Mode 0: Normal Mode Command Register에 EQIO(38h)를 write하면 Flash는 EQIO모드로 전환된다.	0
4	R	Performance Enhance Mode (Flash 지원 여부 확인) 1: Performance Enhance Mode가 적용. 0: Normal Mode. 적용되지 않음. FLPEM Register에 1을 write하여 Performance Enhance Mode를 Enable하였을 경우, Quad Read이거나 EQIO 모드일 때만 적용된다.	0
3	R/W	Bus Ready Control 0: Write 동작의 경우, bus ready를 제어. S/W가 flash의 status를 확인할 필요 없음. 1: Write 동작 후, S/W에서 flash의 status를 확인하도록 설정.	0b
2	R	Reserved	-
1:0	R/W	Flash Read Mode 00: Single Read Mode 01: Dual Read Mode 10: Quad Read Mode 11: Reserved	00b

5.4.2 Flash Baudrate Register (FLBRT)

Address : 0x8000_0004

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:4	R/W	SCK High Pulse Width 0000: 1clock 0001: 2clocks 0010: 3clocks ... 1110: 15clocks 1111: 16clocks	111b
3:0	R/W	SCK Low Pulse Width 0000: 1clock 0001: 2clocks 0010: 3clocks ... 1110: 15clocks 1111: 16clocks	111b

5.4.3 Flash Chip Select High Pulse Width Register (FLCSH)

Address : 0x8000_0008

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:0	R/W	Chip Select High Pulse Width (It need 100ns) <p style="color: red;">Delay in hclk_sf clocks for the length that the chip select output is de-asserted between transactions. The minimum delay is always the deselect period to ensure the chip select is never re-asserted within the deselect period.</p> 0000: 1clock 0001: 2clocks 0010: 3clocks ... 11111110: 255clocks 11111111: 256clocks	FFh

5.4.4 Flash Performance Enhance Mode Register (FLPEM)

Address : 0x8000_000C

Bit	R/W	Description	Default Value
31:1	R	Reserved	-
0	R/W	Performance Enhance Mode 1: Enabled 0: Disabled	0b

5.4.5 Flash Command Register (FLCMD)

Address : 0x8000_0010

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:0	R/W	Flash Command	0b

5.4.6 Flash Status Register (FLSTS)

Address : 0x8000_0014

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7:0	R/W	Flash Status	0b

5.4.7 Flash Sector Erase Address Register (FLSEA)

Address : 0x8000_0018

Bit	R/W	Description	Default Value
31:24	R	Reserved	-
23:0	R/W	Flash Sector Address to Erase	0b

5.4.8 Flash Block Erase Address Register (FLBEA)

Address : 0x8000_001C

Bit	R/W	Description	Default Value
31:24	R	Reserved	-
23:0	R/W	Flash Block Address to Erase	0b

5.4.9 Flash Data Register (FLDAT)

Address : 0x8000_0020

Bit	R/W	Description	Default Value
31:0	R/W	Flash Data (8, 16, 32-bit supported)	0b

5.4.10 Flash WIP Check Period Register (FLWCP)

Address : 0x8000_0024

Bit	R/W	Description	Default Value
31:0	R/W	Flash WIP Status Check Period	FFFh

5.4.11 Flash Clock Delay Register (FLCKDLY)

Address : 0x8000_0028

Bit	R/W	Description	Default Value
31:4	R	Reserved	-
3:0	R/W	Serial Flash Feed-back Clock Delay Value	0h

5.4.12 Flash 2nd Status Register (FLSTS2)

Address : 0x8000_002C

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
15:8	W	Flash 2 nd Status (Winbond only)	-
7:0	R/W	READ 시 Flash 2 nd Status (Winbond only) WRITE 시 Flash 1 st Status (Winbond only)	-

5.4.13 Flash ID Read Register (FLIDR)

Address : 0x8000_0030

Bit	R/W	Description	Default Value
31:24	R	Reserved	-
23:0	R	Serial Flash JEDEC ID Read	000000h

6 GPIO (GENERAL PURPOSE I/O)

GPIO Ports 는 8-bit 으로 구성된 6 개 블록과 7-bit 으로 구성된 1 개의 블록으로 총 55 개의 I/O Ports 를 제공한다. 각 Ports 는 레지스터 설정으로 쉽게 구성될 수 있으며, 다양한 입출력 응용과 시스템 구성에 사용된다.

6.1 Features

- GP0.x has 8 I/O Ports
- GP1.x has 8 I/O Ports
- GP2.x has 8 I/O ports
- GP3.x has 8 I/O ports
- GP4.x has 8 I/O Ports
- GP5.x has 8 I/O Ports
- GP6.x has 7 I/O ports (GP6.4 not supported)

6.2 Block Diagram

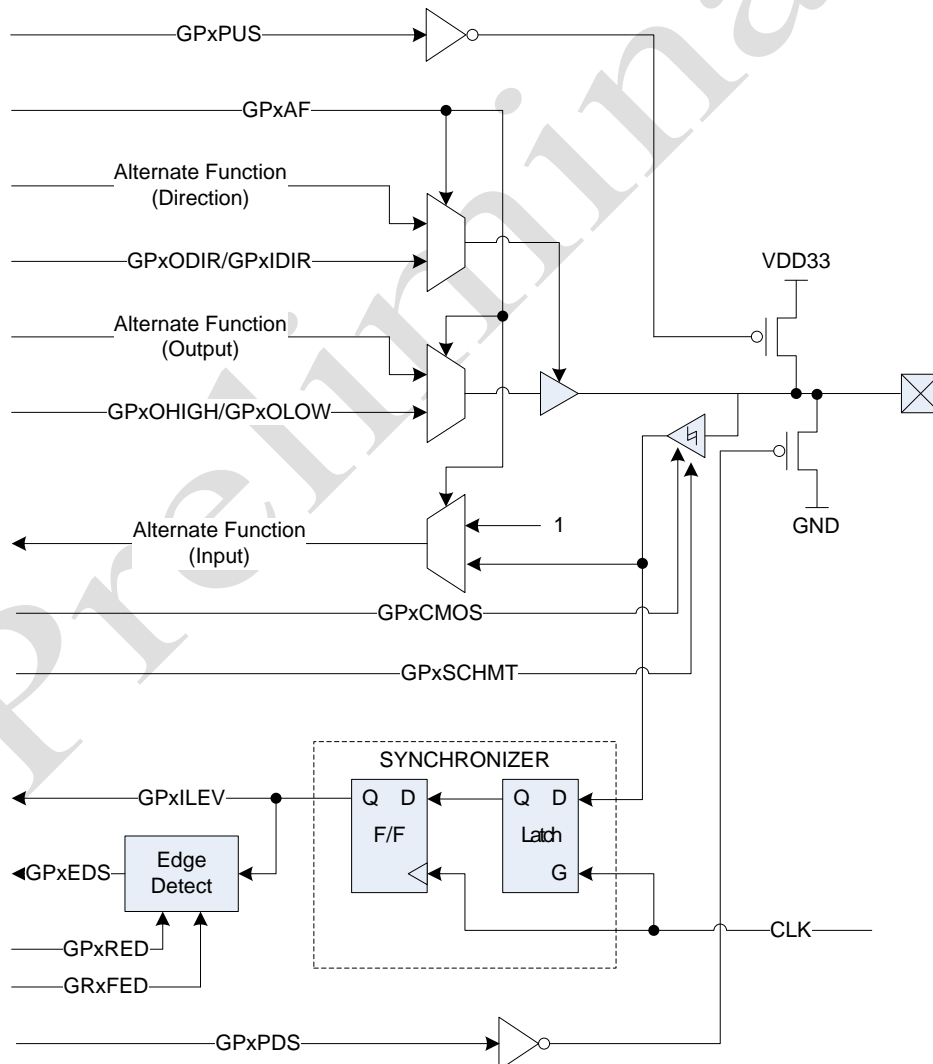


Figure 6-1 GPIO Block Diagram

6.3 Functional Description

6.3.1 Port Control

GPIO Ports 는 GPxODIR 레지스터를 통해 각 Port 별로 Output mode 로 설정되고 또한 GPxIDIR 레지스터에 의해 각 Port 별로 Input mode 로 설정된다. 각 Port 의 설정상태는 GPxDIR 레지스터를 통해 확인할 수 있다. GPxODIR 레지스터와 GPxIDIR 레지스터 설정 시 “1”인 비트만 해당 동작으로 설정되고, “0”인 비트는 어떠한 영향을 미치지 못한다.

GPIO Ports 의 출력 레벨은 Output mode 로 설정된 상태에서 GPxOHIGH 레지스터를 통해 High Level 로 설정되고, GPxOLOW 레지스터를 통해 Low Level 로 설정된다. Output level 의 설정상태는 GPxOLEV 레지스터를 통해 확인할 수 있다.

GPIO Ports 의 입력 레벨은 GPxILEV 레지스터를 통해 확인할 수 있다. 각 Port 에 연결된 Pull-up 저항은 외부 입력이 존재하거나 출력인 경우에는 Pull-up 을 제거하면, 신호레벨이 “Low”일 때 누설전류를 줄일 수 있다.

Table 6-1 Internal Pull-up Resistance Characteristics

<i>Parameter</i>	<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Unit</i>
Pull-Up Resistance	34	41	64	K Ω
Pull-Down Resistance	33	44	79	K Ω

6.3.2 Port Edge Detect

EIRQ 핀을 통한 외부 인터럽트 이외에 GPIO 의 Port Edge Detect 을 통해 각각의 그룹별로 외부 인터럽트를 수행할 수 있다. Port 들은 Rising Edge, Falling Edge 그리고 Any Edge 모드를 지원한다.

6.4 Register Description

6.4.1 Port Direction Registers (GPxDIR)

Address: 0xFFFF_3000 / 0xFFFF_3040 / 0xFFFF_3080 / 0xFFFF_30C0 / 0xFFFF_3100 / 0xFFFF_3140 / 0xFFFF_3180

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R	GPx.OMD : GPx. Output Control Mode bit 0 : Control individual ports 1 : Control a group of 8 ports	0
7 : 0	R	GPx.yDIR : GPx.y Direction bit 0 : Input 1 : Output	0x00

6.4.2 Port Direction Output Mode Setting Registers (GPxODIR)

Address: 0xFFFF_3000 / 0xFFFF_3040 / 0xFFFF_3080 / 0xFFFF_30C0 / 0xFFFF_3100 / 0xFFFF_3140 / 0xFFFF_3180

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	W	GPx.OPRT : Output Control by Port Mode Setting bit	-
7	W	GPx.7ODIR : GPx.7 Direction Output Mode Setting bit	-
6	W	GPx.6ODIR : GPx.6 Direction Output Mode Setting bit	-
5	W	GPx.5ODIR : GPx.5 Direction Output Mode Setting bit	-
4	W	GPx.4ODIR : GPx.4 Direction Output Mode Setting bit	-
3	W	GPx.3ODIR : GPx.3 Direction Output Mode Setting bit	-
2	W	GPx.2ODIR : GPx.2 Direction Output Mode Setting bit	-
1	W	GPx.1ODIR : GPx.1 Direction Output Mode Setting bit	-
0	W	GPx.0ODIR : GPx.0 Direction Output Mode Setting bit	-

* Port Direction Output Mode Setting bit
0 : No effect 1 : Set to output mode the corresponding bit

6.4.3 Port Direction Input Mode Setting Registers (GPxIDIR)

Address: 0xFFFF_3004 / 0xFFFF_3044 / 0xFFFF_3084 / 0xFFFF_30C4 / 0xFFFF_3104 / 0xFFFF_3144 / 0xFFFF_3184

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	W	GPx.IPRT : Input Control by Port Mode Setting bit	-
7	W	GPx.7IDIR : GPx.7 Direction Input Mode Setting bit	-
6	W	GPx.6IDIR : GPx.6 Direction Input Mode Setting bit	-
5	W	GPx.5IDIR : GPx.5 Direction Input Mode Setting bit	-
4	W	GPx.4IDIR : GPx.4 Direction Input Mode Setting bit	-
3	W	GPx.3IDIR : GPx.3 Direction Input Mode Setting bit	-
2	W	GPx.2IDIR : GPx.2 Direction Input Mode Setting bit	-
1	W	GPx.1IDIR : GPx.1 Direction Input Mode Setting bit	-
0	W	GPx.0IDIR : GPx.0 Direction Input Mode Setting bit	-

* 포트 방향 입력 모드 설정 비트.
0 : No effect
1 : PxDIR 레지스터의 입력 모드에 해당하는 비트를 설정.

6.4.4 Port Output Data Level Registers (GPxOLEV)

Address: 0xFFFF_3008 / 0xFFFF_3048 / 0xFFFF_3088 / 0xFFFF_30C8 / 0xFFFF_3108 / 0xFFFF_3148 / 0xFFFF_3188

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	GPx.yOLEV : GPx.y Output Level bit 0 : Low Level 1 : High Level	0xFF

6.4.5 Port Output Data Registers (GPxDOUT)

Address: 0xFFFF_3008 / 0xFFFF_3048 / 0xFFFF_3088 / 0xFFFF_30C8 / 0xFFFF_3108 / 0xFFFF_3148 / 0xFFFF_3188

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	GPx.DO : GPx.Port Output Data	0xFF

* GPxDIR의 8번 bit가 1인 경우, 이 register를 이용해 GPIO Port output을 결정한다.

6.4.6 Port Output Data High Level Setting Registers (GPxOHIGH)

Address: 0xFFFF_3008 / 0xFFFF_3048 / 0xFFFF_3088 / 0xFFFF_30C8 / 0xFFFF_3108 / 0xFFFF_3148 / 0xFFFF_3188

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7OH : GPx.7 Output Data High Level Setting bit	-
6	W	GPx.6OH : GPx.6 Output Data High Level Setting bit	-
5	W	GPx.5OH : GPx.5 Output Data High Level Setting bit	-
4	W	GPx.4OH : GPx.4 Output Data High Level Setting bit	-
3	W	GPx.3OH : GPx.3 Output Data High Level Setting bit	-
2	W	GPx.2OH : GPx.2 Output Data High Level Setting bit	-
1	W	GPx.1OH : GPx.1 Output Data High Level Setting bit	-
0	W	GPx.0OH : GPx.0 Output Data High Level Setting bit	-

* Port Output Data High Level Setting bit (GPxDIR의 8번 bit가 0인 경우 유효하다.)

0 : No effect

1 : output data에 해당하는 비트를 high level 설정.

6.4.7 Port Output Data Low Level Setting Registers (GPxOLOW)

Address: 0xFFFF_300C / 0xFFFF_304C / 0xFFFF_308C / 0xFFFF_30CC / 0xFFFF_310C / 0xFFFF_314C / 0xFFFF_318C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7OL : GPx.7 Output Data Low Level Setting bit	-
6	W	GPx.6OL : GPx.6 Output Data Low Level Setting bit	-
5	W	GPx.5OL : GPx.5 Output Data Low Level Setting bit	-
4	W	GPx.4OL : GPx.4 Output Data Low Level Setting bit	-
3	W	GPx.3OL : GPx.3 Output Data Low Level Setting bit	-
2	W	GPx.2OL : GPx.2 Output Data Low Level Setting bit	-
1	W	GPx.1OL : GPx.1 Output Data Low Level Setting bit	-
0	W	GPx.0OL : GPx.0 Output Data Low Level Setting bit	-

* Port Output Data Low Level Setting bit (It is effective only when GPxDIR[8] is 0.)

0 : No effect

1 : output data에 해당하는 비트를 low level 설정.

6.4.8 Port Input Data Level Registers (GPxILEV)

Address: 0xFFFF_3010 / 0xFFFF_3050 / 0xFFFF_3090 / 0xFFFF_30D0 / 0xFFFF_3110 / 0xFFFF_3150 / 0xFFFF_3190

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	GPx.7ILEV : GPx.7 Input Level bit 0 : Low Level 1 : High Level	-
6	R	GPx.6ILEV : GPx.6 Input Level bit 0 : Low Level 1 : High Level	-
5	R	GPx.5ILEV : GPx.5 Input Level bit 0 : Low Level 1 : High Level	-
4	R	GPx.4ILEV : GPx.4 Input Level bit 0 : Low Level 1 : High Level	-
3	R	GPx.3ILEV : GPx.3 Input Level bit 0 : Low Level 1 : High Level	-
2	R	GPx.2ILEV : GPx.2 Input Level bit 0 : Low Level 1 : High Level	-
1	R	GPx.1ILEV : GPx.1 Input Level bit 0 : Low Level 1 : High Level	-
0	R	GPx.0ILEV : GPx.0 Input Level bit 0 : Low Level 1 : High Level	-

6.4.9 Port Pull-up Status Registers (GPxPUS)

Address: 0xFFFF_3018 / 0xFFFF_3058 / 0xFFFF_3098 / 0xFFFF_30D8 / 0xFFFF_3118 / 0xFFFF_3158 / 0xFFFF_3198

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	GPx.yUP : GPx.y Pull-up Status bit 0 : Pull-up Disable 1 : Pull-up Enable	0x0

6.4.10 Port Pull-up Enable Registers (GPxPUEN)

Address: 0xFFFF_3018 / 0xFFFF_3058 / 0xFFFF_3098 / 0xFFFF_30D8 / 0xFFFF_3118 / 0xFFFF_3158 / 0xFFFF_3198

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7PUEN : GPx.7 Pull-up enable bit	-
6	W	GPx.6PUEN : GPx.6 Pull-up enable bit	-
5	W	GPx.5PUEN : GPx.5 Pull-up enable bit	-
4	W	GPx.4PUEN : GPx.4 Pull-up enable bit	-
3	W	GPx.3PUEN : GPx.3 Pull-up enable bit	-
2	W	GPx.2PUEN : GPx.2 Pull-up enable bit	-
1	W	GPx.1PUEN : GPx.1 Pull-up enable bit	-
0	W	GPx.0PUEN : GPx.0 Pull-up enable bit	-

* Port Pull-up enable bit

0 : No effect

1 : 해당하는 비트의 pull_up을 설정 한다.

6.4.11 Port Pull-up Disable Registers (GPxPUDIS)

Address: 0xFFFF_301C / 0xFFFF_305C / 0xFFFF_309C / 0xFFFF_30DC / 0xFFFF_311C / 0xFFFF_315C / 0xFFFF_319C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7PUDIS : GPx.7 Pull-up disable bit	-
6	W	GPx.6PUDIS : GPx.6 Pull-up disable bit	-
5	W	GPx.5PUDIS : GPx.5 Pull-up disable bit	-
4	W	GPx.4PUDIS : GPx.4 Pull-up disable bit	-
3	W	GPx.3PUDIS : GPx.3 Pull-up disable bit	-
2	W	GPx.2PUDIS : GPx.2 Pull-up disable bit	-
1	W	GPx.1PUDIS : GPx.1 Pull-up disable bit	-
0	W	GPx.0PUDIS : GPx.0 Pull-up disable bit	-

* Port Pull-up disable bit

0 : No effect. 1 : 해당하는 비트의 pull_up을 Disable 한다.

6.4.12 Port Rising Edge Detect Registers (GPxRED)

Address: 0xFFFF_3020 / 0xFFFF_3060 / 0xFFFF_30A0 / 0xFFFF_30E0 / 0xFFFF_3120 / 0xFFFF_3160 / 0xFFFF_31A0

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7RED : GPx.7 Rising Edge Detect bit 0 : Disable 1 : Enable	0
6	R/W	GPx.6RED : GPx.6 Rising Edge Detect bit 0 : Disable 1 : Enable	0
5	R/W	GPx.5RED : GPx.5 Rising Edge Detect bit 0 : Disable 1 : Enable	0
4	R/W	GPx.4RED : GPx.4 Rising Edge Detect bit 0 : Disable 1 : Enable	0
3	R/W	GPx.3RED : GPx.3 Rising Edge Detect bit 0 : Disable 1 : Enable	0
2	R/W	GPx.2RED : GPx.2 Rising Edge Detect bit 0 : Disable 1 : Enable	0
1	R/W	GPx.1RED : GPx.1 Rising Edge Detect bit 0 : Disable 1 : Enable	0
0	R/W	GPx.0RED : GPx.0 Rising Edge Detect bit 0 : Disable 1 : Enable	0

* Rising Edge 와 Falling Edge가 동시에 설정되었을 때는 Any Edge mode 가 된다.

6.4.13 Port Falling Edge Detect Registers (GPxFED)

Address: 0xFFFF_3024 / 0xFFFF_3064 / 0xFFFF_30A4 / 0xFFFF_30E4 / 0xFFFF_3124 / 0xFFFF_3164 / 0xFFFF_31A4

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7FED : GPx.7 Falling Edge Detect bit 0 : Disable 1 : Enable	0
6	R/W	GPx.6FED : GPx.6 Falling Edge Detect bit 0 : Disable 1 : Enable	0
5	R/W	GPx.5FED : GPx.5 Falling Edge Detect bit 0 : Disable 1 : Enable	0
4	R/W	GPx.4FED : GPx.4 Falling Edge Detect bit 0 : Disable 1 : Enable	0
3	R/W	GPx.3FED : GPx.3 Falling Edge Detect bit 0 : Disable 1 : Enable	0
2	R/W	GPx.2FED : GPx.2 Falling Edge Detect bit 0 : Disable 1 : Enable	0
1	R/W	GPx.1FED : GPx.1 Falling Edge Detect bit 0 : Disable 1 : Enable	0
0	R/W	GPx.0FED : GPx.0 Falling Edge Detect bit 0 : Disable 1 : Enable	0

* Rising Edge 와 Falling Edge가 동시에 설정되었을 때는 Any Edge mode 가 된다..

6.4.14 Port Edge Detect Status Registers (GPxEDS)

Address: 0xFFFF_3028 / 0xFFFF_3068 / 0xFFFF_30A8 / 0xFFFF_30E8 / 0xFFFF_3128 / 0xFFFF_3168 / 0xFFFF_31A8

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	GPx.7EDS : GPx.7 Edge Detect Status bit	0
6	R/W	GPx.6EDS : GPx.6 Edge Detect Status bit	0
5	R/W	GPx.5EDS : GPx.5 Edge Detect Status bit	0
4	R/W	GPx.4EDS : GPx.4 Edge Detect Status bit	0
3	R/W	GPx.3EDS : GPx.3 Edge Detect Status bit	0
2	R/W	GPx.2EDS : GPx.2 Edge Detect Status bit	0
1	R/W	GPx.1EDS : GPx.1 Edge Detect Status bit	0
0	R/W	GPx.0EDS : GPx.0 Edge Detect Status bit	0

* Port Edge Detect Status bit

0 : No edge detect has occurred on port

1 : Edge detect has occurred on port

* 상태 비트는 write하여 clear됩니다.,

* "0"을 write하면 효과 없음.

6.4.15 Port Open Drain Mode Control Registers (GPxODM)

Address: 0xFFFF_302C / 0xFFFF_306C / 0xFFFF_30AC / 0xFFFF_30EC / 0xFFFF_312C / 0xFFFF_316C / 0xFFFF_31AC

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	GPx.yOD : GPx.y Open Drain Mode Setting bit 0 : Normal 1 : Open Drain	0

6.4.16 Port Schmitt Input Enable Registers (GPxSHMT)

Address: 0xFFFF_3034 / 0xFFFF_3074 / 0xFFFF_30B4 / 0xFFFF_30F4 / 0xFFFF_3134 / 0xFFFF_3174 / 0xFFFF_31B4

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7SHMT : GPx.7 Schmitt input enable bit	0
6	W	GPx.6SHMT : GPx.6 Schmitt input enable bit	0
5	W	GPx.5SHMT : GPx.5 Schmitt input enable bit	0
4	W	GPx.4SHMT : GPx.4 Schmitt input enable bit	0
3	W	GPx.3SHMT : GPx.3 Schmitt input enable bit	0
2	W	GPx.2SHMT : GPx.2 Schmitt input enable bit	0
1	W	GPx.1SHMT : GPx.1 Schmitt input enable bit	0
0	W	GPx.0SHMT : GPx.0 Schmitt input enable bit	0

* Port Schmitt input enable bit
0 : CMOS input mode
1 : Schmitt input mode

6.4.17 Port Pull-down Status Registers (GPxPDS)

Address: 0xFFFF_3030 / 0xFFFF_3070 / 0xFFFF_30B0 / 0xFFFF_30F0 / 0xFFFF_3130 / 0xFFFF_3170 / 0xFFFF_31B0

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	GPx.yDN : GPx.y Pull-down Status bit 0 : Pull-down Disable 1 : Pull-down Enable	0x0

6.4.18 Port Pull-down Enable Registers (GPxPDEN)

Address: 0xFFFF_3030 / 0xFFFF_3070 / 0xFFFF_30B0 / 0xFFFF_30F0 / 0xFFFF_3130 / 0xFFFF_3170 / 0xFFFF_31B0

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7PDEN : GPx.7 Pull-down enable bit	-
6	W	GPx.6PDEN : GPx.6 Pull-down enable bit	-
5	W	GPx.5PDEN : GPx.5 Pull-down enable bit	-
4	W	GPx.4PDEN : GPx.4 Pull-down enable bit	-
3	W	GPx.3PDEN : GPx.3 Pull-down enable bit	-
2	W	GPx.2PDEN : GPx.2 Pull-down enable bit	-
1	W	GPx.1PDEN : GPx.1 Pull-down enable bit	-
0	W	GPx.0PDEN : GPx.0 Pull-down enable bit	-

* Port Pull-down enable bit
0 : No effect
1 : 해당하는 비트의 Pull-down을 Enable 한다.

6.4.19 Port Pull-down Disable Registers (GPxPDDIS)

Address: 0xFFFF_301C / 0xFFFF_305C / 0xFFFF_309C / 0xFFFF_30DC / 0xFFFF_311C / 0xFFFF_315C / 0xFFFF_319C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	GPx.7PDDIS : GPx.7 Pull-down disable bit	-
6	W	GPx.6PDDIS : GPx.6 Pull-down disable bit	-
5	W	GPx.5PDDIS : GPx.5 Pull-down disable bit	-
4	W	GPx.4PDDIS : GPx.4 Pull-down disable bit	-
3	W	GPx.3PDDIS : GPx.3 Pull-down disable bit	-
2	W	GPx.2PDDIS : GPx.2 Pull-down disable bit	-
1	W	GPx.1PDDIS : GPx.1 Pull-down disable bit	-
0	W	GPx.0PDDIS : GPx.0 Pull-down disable bit	-

* Port Pull-down disable bit

0 : No effect

1 : 해당하는 비트의 Pull-down을 Disable 한다.

7 PIN MUX

일반 입력 / 출력 (GPIO) 기능과 함께 핀 당 최대 세 가지 peripheral function 을 사용할 수 있다.

7.1 Pin Mux register

Register	bit	1st	2nd	3rd	4th	Default value
		00	01	10	11	
GP0 Mux 0x80023400	1:0	uart_tx[1]	cap_in[0]		PG0.0	0xffff or 0x557f (nand boot)
	3:2	uart_rx[1]	cap_in[1]		PG0.1	
	5:4	Spi_lcd_cs			PG0.2	
	7:6	Spi_lcd_sdi	nand_d[7]		PG0.3	
	9:8	Spi_lcd_sdo	nand_d[6]		PG0.4	
	11:10	Spi_lcd_scl	nand_d[5]		PG0.5	
	13:12		nand_d[4]	sd_clk	PG0.6	
GP1 Mux 0x80023404	1:0	spi_sdi	nand_d[2]	sd_d[2]	PG1.0	0x003f or 0x5555 (nand boot)
	3:2	spi_cs	nand_d[1]	sd_d[1]	PG1.1	
	5:4	spi_scl	nand_d[0]	sd_d[0]	PG1.2	
	7:6	sf_hold (d3)	nand_wrx		PG1.3	
	9:8	sf_clk	nand_ale		PG1.4	
	11:10	sf_di (d0)	nand_cle		PG1.5	
	13:12	sf_cs1	nand_cs		PG1.6	
15:14	sf_wp (d2)	nand_rdx		PG1.7		
GP2 Mux 0x80023408	1:0	sf_do (d1)	nand_busy		PG2.0	0xffff0 or 0xffffd (nand boot)
	3:2	sf_cs0	sd_cmd		PG2.1	
	5:4	twi_sda	usb_host_in		PG2.2	
	7:6	twi_scl	usb_host_out		PG2.3	
	9:8	uart_tx[0]			PG2.4	
	11:10	uart_rx[0]			PG2.5	
	13:12	lcd_r[0]			PG2.6	
GP3 Mux 0x8002340C	1:0	lcd_r[2]			PG3.0	0x5fff
	3:2	lcd_r[3]			PG3.1	
	5:4	lcd_r[4]			PG3.2	
	7:6	lcd_r[5]			PG3.3	
	9:8	lcd_r[6]			PG3.4	
	11:10	lcd_r[7]			PG3.5	
	13:12	lcd_g[0]	dbg_sck		PG3.6	
GP4 Mux 0x80023410	1:0	lcd_g[2]	dbg_sda		PG3.7	0xffff
	3:2	lcd_g[3]			PG4.0	
	5:4	lcd_g[4]			PG4.1	
	7:6	lcd_g[5]			PG4.2	
	9:8	lcd_g[6]			PG4.3	
	11:10	lcd_g[7]			PG4.4	
	13:12	lcd_b[0]	ext_irq[0]		PG4.5	
GP5 Mux 0x80023414	1:0	lcd_b[2]	ext_irq[1]		PG4.6	0xffff
	3:2	lcd_b[3]			PG4.7	
	5:4	lcd_b[4]			PG5.0	
	7:6	lcd_b[5]			PG5.1	
	9:8	lcd_b[6]			PG5.2	
	11:10	lcd_b[7]			PG5.3	
	13:12	dotclk			PG5.4	
GP6 Mux 0x80023418	1:0	disp_en			PG5.5	0xffff
	3:2	hsync	Timer_pwm[0]		PG5.6	
	5:4	vsync	Timer_pwm[1]		PG5.7	
	7:6	lcd_clk_in			PG6.0	
	9:8	SND_pwm_p0			PG6.1	
	11:10	SND_pwm_n0			PG6.2	
	13:12	SND_pwm_p1			PG6.3	
		SDN_pwm_n1			PG6.4	
					PG6.5	
					PG6.6	

*GP6.4 Not supported.

8 INTERRUPT CONTROLLER

adStar-L 는 32 개 채널의 인터럽트 입력을 가지며, 이 입력들은 Timer, SPI, TWI, UART 등과 같은 내부 장치에서 발생하는 30 개의 인터럽트와 외부 2 개의 인터럽트로 구성된다.

8.1 Features

- 32 채널의 인터럽트 (2 채널의 외부 인터럽트와 30채널의 내부 인터럽트)
- 외부 인터럽트에 대한 동작 조건 설정 (5가지)
- 내부 인터럽트에 대한 동작 조건 설정 (2가지)
- 채널 별 인터럽트 Enable 기능
- 채널 별 인터럽트 Mask 기능
- 개별적으로 프로그램 가능한 인터럽트 우선순위

8.2 Functional Description

인터럽트의 순차 처리는 다음과 같은 과정을 통하여 이루어진다.

1. 각 인터럽트 소스들은 인터럽트 제어기에 인터럽트를 요청한다.
2. Interrupt Enable Register에 의해 선별된 후, Interrupt Pending Register에 저장한다.
3. 인터럽트 우선순위를 판단한 후, CPU에 인터럽트를 요청한다.
4. 인터럽트를 요청 받으면 CPU의 인터럽트가 비활성화되며 인터럽트 벡터 주소를 읽어서 해당 Interrupt Service Routine(ISR)으로 진입한다.
5. ISR 을 수행한다.
6. ISR 수행이 끝나면 Interrupt Pending Clear Register에 해당 Vector값을 씌으로써 Interrupt Pending Register에 저장된 인터럽트 값을 지운다.
7. ISR을 빠져나오면서 CPU의 인터럽트가 활성화된다.

인터럽트의 중첩 처리는 다음과 같은 과정을 통하여 이루어진다.

1. 각 인터럽트 소스들은 인터럽트 제어기에 인터럽트를 요청한다.
2. Interrupt Enable Register에 의해 선별된 후, Interrupt Pending Register에 저장한다.
3. 인터럽트 우선순위를 판단한 후, CPU에 인터럽트를 요청한다.
4. 인터럽트를 요청 받으면 CPU의 인터럽트가 비활성화되며 인터럽트 벡터 주소를 읽어서 해당 Interrupt Service Routine(ISR)으로 진입한다.
5. 인터럽트의 중첩을 허용하기 위해 Interrupt Pending Clear Register에 해당 Vector값을 씌으로써 Interrupt Pending Register에 저장된 인터럽트 값을 지우고 asm("set 13")을 통해 CPU의 인터럽트를 활성화 시킨다.
6. ISR을 수행한다.
7. 만약, 현재 ISR의 수행 도중 다시 인터럽트가 발생하면 중첩 처리가 허용되어 해당 ISR로 진입한다.
8. 새롭게 진입한 ISR의 수행이 끝나면 이전 ISR로 복귀하여 나머지 수행을 진행한다.
9. ISR 수행이 끝나면 완전히 빠져 나온다.

8.2.1 Interrupt Vector and Priority

인터럽트 우선순위는 EIRQ0가 가장 높다. 인터럽트 벡터 주소는 CPU가 32bit Addressing을 하기 때문에 각각 4bytes의 크기를 가진다.

Table 8-1 Interrupt Vector & Priority

<i>Index</i>	<i>Vector No.</i>	<i>Description</i>	<i>Vector Address</i>
31	0x3F	SWD Interrupt Use edge method Clock_ctrl_r[0]	0x000000FC
30	0x3E	MJPEG 1 Interrupt	0x000000F8
29	0x3D	Capture Over Interrupt	0x000000F4
28	0x3C	SPI LCD Interrupt	0x000000F0
27	0x3B	RTC Alarm Interrupt	0x000000EC
26	0x3A	RTC Interrupt	0x000000E8
25	0x39	TWI Interrupt	0x000000E4
24	0x38	NAND Interrupt	0x000000E0
23	0x37	WDT Interrupt	0x000000DC
22	0x36	DMA CH5 Interrupt , GPIO 3 interrupt, GPIO 6 interrupt	0x000000D8
21	0x35	SDCard Interrupt	0x000000D4
20	0x34	DMA CH4 Interrupt , GPIO 2 Interrupt, GPIO 5 Interrupt	0x000000D0
19	0x33	MJPEG 0 Interrupt	0x000000CC
18	0x32	SPI Interrupt	0x000000C8
17	0x31	DMA CH3 Interrupt	0x000000C4
16	0x30	UART 1 Interrupt	0x000000C0
15	0x2F	GPIO 1 Interrupt, GPIO 4 Interrupt	0x000000BC
14	0x2E	USB host interrupt, Device Interupt	0x000000B8
13	0x2D	ADC Interrupt	0x000000B4
12	0x2C	DMA CH2 Interrupt	0x000000B0
11	0x2B	PMC interrupt	0x000000AC
10	0x2A	Timer 1 Interrupt	0x000000A8
9	0x29	DMA CH1 Interrupt	0x000000A4
8	0x28	UART 0 Interrupt	0x000000A0
7	0x27	GPIO 0 Interrupt	0x0000009C
6	0x26	DMA CH0 Interrupt	0x00000098
5	0x25	LCD Frame sync Interrupt	0x00000094
4	0x24	EIRQ1 Interrupt	0x00000090
3	0x23	Sound Mixer Interrupt	0x0000008C
2	0x22	Timer 0 Interrupt	0x00000088
1	0x21	Core timer Interrupt	0x00000084
0	0x20	EIRQ0 Interrupt (Highest Priority)	0x00000080

8.2.2 External Interrupt (EIRQx)

External Interrupt 는 EINTMOD 레지스터의 설정에 의해 5 가지 형태의 외부 인터럽트를 받아들인다.

- Low Level Mode에서는 External Interrupt 신호가 “Low”를 유지하는 동안에 매 System Cycle 마다 인터럽트 발생시킨다.
- High Level Mode에서는 External Interrupt 신호가 “High”를 유지하는 동안에 매 System Cycle 마다 인터럽트를 발생시킨다.
- Falling Edge Mode에서는 External Interrupt 신호가 “High->Low”로 바뀔 때 인터럽트를 발생시킨다.
- Rising Edge Mode에서는 External Interrupt 신호가 “Low->High”로 바뀔 때 인터럽트를 발생시킨다.
- Any Edge Mode에서는 External Interrupt 신호가 “High->Low” 또는 “Low-> High” 로 바뀔 때 인터럽트를 발생시킨다.

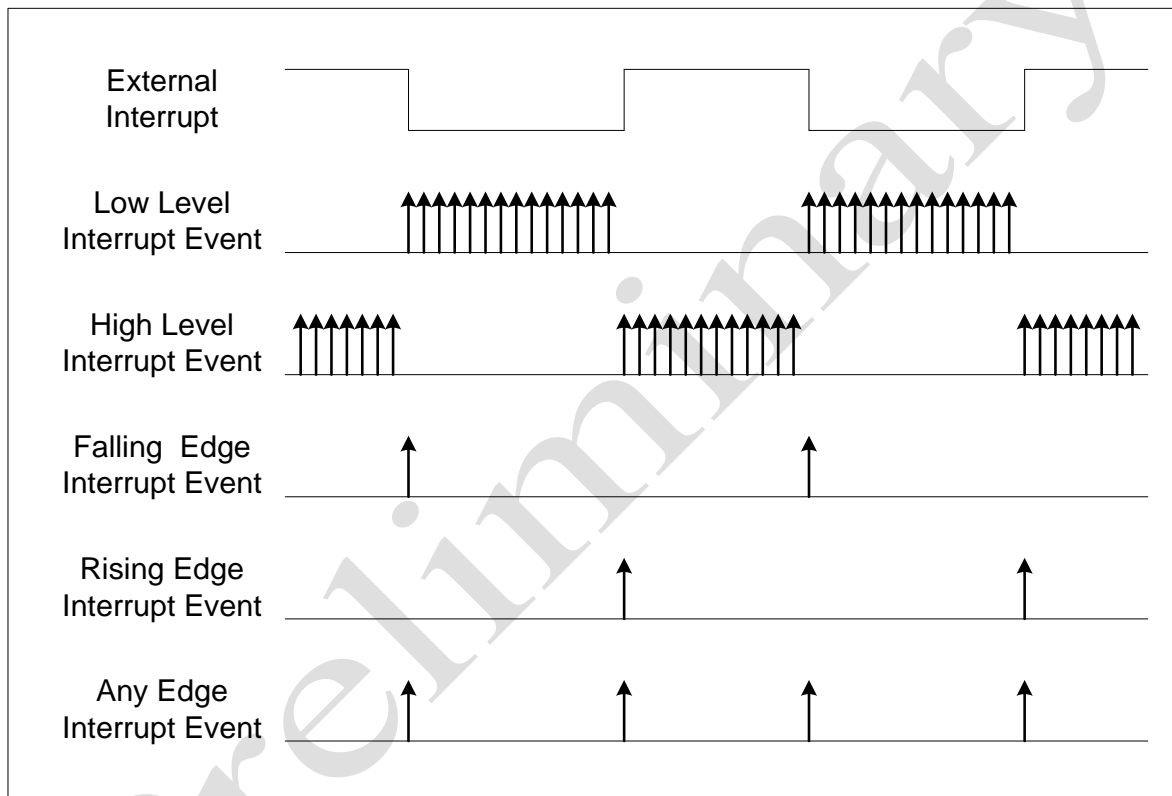


Figure 8-1 External Interrupt Mode

8.2.3 Internal Interrupt Mode

내부 인터럽트는 모두 “Rising Edge”로 동작한다. 그러나 사용자가 “High Level”로 인터럽트를 처리를 원할 경우에 Internal Interrupt Mode Registers를 통해 설정할 수 있다.

8.2.4 Interrupt Pending and Interrupt Pending Clear

각 인터럽트의 발생상태는 Interrupt Pending Registers 를 통해 확인할 수 있다. 일단 한번 발생한 인터럽트는 Interrupt Pending Clear Register 에 의해 Clear 되기 전까지는 계속 Interrupt Pending Register 에 저장된다. 또한 현재 발생한 인터럽트보다 높은 우선순위의 인터럽트가 Masking 되지 않은 상태로 Interrupt Pending Registers 에 저장되어 있을 경우에는 높은 우선순위의 인터럽트가 모두 Clear 될 때까지 Interrupt Pending Registers 에 저장되어 자신의 우선순위가 되기를 기다린다.

Interrupt Pending Registers 에 저장된 인터럽트들을 Clear 하기 위해서는 Interrupt Pending Clear Register 를 통해 해당 인터럽트 벡터 번호 값을 Write 하면 된다.

8.2.5 Interrupt Enable

Interrupt Mask Registers 에 의해 Mask 되어 있는 인터럽트는 Interrupt Pending Registers 에 계속 저장되는데 비해, Interrupt Enable Registers(IENR)에 의해 Disable 된 인터럽트는 Interrupt Pending Registers 에 저장되지 않는다. 따라서 이 레지스터는 전혀 받아들이고 싶지 않은 인터럽트에 대해 Disable 하는데 사용한다.

8.2.6 Interrupt Mask Set/Clear Register

Set 이면 Request 가 Enable 되고, Clear 이면 Request 가 Disable 된다.

각 인터럽트는 Interrupt Mask Registers 에 의해 해당 인터럽트에 대한 Request 를 수행할 수 있다. Interrupt Mask Set bit 가 “1”일 경우에는 Interrupt Pending Register 에 저장된 Interrupt 를 CPU 로 요청하고, Interrupt Mask Clear bit 가 “1” 일 경우에는 Interrupt Pending Register 에 저장되어 있는 Interrupt 를 CPU 로 요청하지 못한다. 설정되지 않은 나머지 Interrupt 들은 요청될 수 있다.

Mask bit 가 “0”으로 설정된 인터럽트라도 Interrupt Pending Registers(IPR)에는 저장되기 때문에 Mask bit 을 “1”로 재설정하면 Interrupt Pending Registers 에 저장되어 있는 인터럽트가 우선순위에 의해 인터럽트를 다시 요청한다.

8.3 Register Description

8.3.1 Interrupt Pending Clear Register (INTPENDCLR)

Address : 0xFFFF_0000

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	W	Interrupt Pending Register Clear Value (0x20 ~ 0x3F)	0xFF

* Interrupt Pending Register를 Clear 하기 위해서는 Interrupt Vector No. 값으로 clear 해야 한다.
(Interrupt Vector No. 참고)

8.3.2 External Interrupt Mode and External PIN Level Register (EINTMOD)

Address : 0xFFFF_0004

Bit	R/W	Description	Default Value
31:8	R	Reserved	-
7	R	EIRQ1ST : EIRQ1 PIN Level	-
6 : 4	R/W	EIRQ1MOD : EIRQ1 Active State 000 : Low Level 001 : High Level 010 : Falling Edge 011 : Rising Edge 1xx : Any Edge	010
3	R	EIRQ0ST : EIRQ0 PIN Level	-
2 : 0	R/W	EIRQ0MOD : EIRQ0 Active State 000 : Low Level 001 : High Level 010 : Falling Edge 011 : Rising Edge 1xx : Any Edge	010

8.3.3 Internal Interrupt Mode Register (IINTMODn)

Address : 0xFFFF_0008

Bit	R/W	Description	Default Value
31	R/W	Vector No. 0x3F Interrupt Mode bit	0
30	R/W	Vector No. 0x3E Interrupt Mode bit	0
29	R/W	Vector No. 0x3D Interrupt Mode bit	0
28	R/W	Vector No. 0x3C Interrupt Mode bit	-
27	R/W	Vector No. 0x3B Interrupt Mode bit	0
26	R/W	Vector No. 0x3A Interrupt Mode bit	0
25	R/W	Vector No. 0x39 Interrupt Mode bit	0
24	-	Reserved	-
23	R/W	Vector No. 0x37 Interrupt Mode bit	0
22	R/W	Vector No. 0x36 Interrupt Mode bit	0
21	R/W	Vector No. 0x35 Interrupt Mode bit	0
20	R/W	Vector No. 0x34 Interrupt Mode bit	-
19	R/W	Vector No. 0x33 Interrupt Mode bit	0
18	R/W	Vector No. 0x32 Interrupt Mode bit	0
17	R/W	Vector No. 0x31 Interrupt Mode bit	0
16	-	Reserved	-
15	R/W	Vector No. 0x2F Interrupt Mode bit	0
14	R/W	Vector No. 0x2E Interrupt Mode bit	0
13	R/W	Vector No. 0x2D Interrupt Mode bit	0
12	R/W	Vector No. 0x2C Interrupt Mode bit	-
11	R/W	Vector No. 0x2B Interrupt Mode bit	0
10	R/W	Vector No. 0x2A Interrupt Mode bit	0
9	R/W	Vector No. 0x29 Interrupt Mode bit	0
8	-	Reserved	-
7	R/W	Vector No. 0x27 Interrupt Mode bit	0
6	R/W	Vector No. 0x26 Interrupt Mode bit	0
5	R/W	Vector No. 0x25 Interrupt Mode bit	0
4	R/W	Vector No. 0x24 Interrupt Mode bit	-
3	R/W	Vector No. 0x23 Interrupt Mode bit	0
2	R/W	Vector No. 0x22 Interrupt Mode bit	0
1	R/W	Vector No. 0x21 Interrupt Mode bit	0
0	-	Reserved	-

* Internal Interrupt Mode bit

0 : High Level Mode

1 : Rising Edge Mode

8.3.4 Interrupt Pending Register (INTPENDn)

Address : 0xFFFF_000C

Bit	R/W	Description	Default Value
31	R	Vector No. 0x3F Interrupt Pending bit	-
30	R	Vector No. 0x3E Interrupt Pending bit	-
29	R	Vector No. 0x3D Interrupt Pending bit	-
28	R	Vector No. 0x3C Interrupt Pending bit	-
27	R	Vector No. 0x3B Interrupt Pending bit	-
26	R	Vector No. 0x3A Interrupt Pending bit	-
25	R	Vector No. 0x39 Interrupt Pending bit	-
24	R	Vector No. 0x38 Interrupt Pending bit	-
23	R	Vector No. 0x37 Interrupt Pending bit	-
22	R	Vector No. 0x36 Interrupt Pending bit	-
21	R	Vector No. 0x35 Interrupt Pending bit	-
20	R	Vector No. 0x34 Interrupt Pending bit	-
19	R	Vector No. 0x33 Interrupt Pending bit	-
18	R	Vector No. 0x32 Interrupt Pending bit	-
17	R	Vector No. 0x31 Interrupt Pending bit	-
16	R	Vector No. 0x30 Interrupt Pending bit	-
15	R	Vector No. 0x2F Interrupt Pending bit	-
14	R	Vector No. 0x2E Interrupt Pending bit	-
13	R	Vector No. 0x2D Interrupt Pending bit	-
12	R	Vector No. 0x2C Interrupt Pending bit	-
11	R	Vector No. 0x2B Interrupt Pending bit	-
10	R	Vector No. 0x2A Interrupt Pending bit	-
9	R	Vector No. 0x29 Interrupt Pending bit	-
8	R	Vector No. 0x28 Interrupt Pending bit	-
7	R	Vector No. 0x27 Interrupt Pending bit	-
6	R	Vector No. 0x26 Interrupt Pending bit	-
5	R	Vector No. 0x25 Interrupt Pending bit	-
4	R	Vector No. 0x24 Interrupt Pending bit	-
3	R	Vector No. 0x23 Interrupt Pending bit	-
2	R	Vector No. 0x22 Interrupt Pending bit	-
1	R	Vector No. 0x21 Interrupt Pending bit	-
0	R	Vector No. 0x20 Interrupt Pending bit	-

* Interrupt Pending Register의 각 비트의 값은 해당 인터럽트가 발생하였음을 나타낸다. Interrupt Pending Register의 값은 Interrupt Pending Clear 레지스터에 의해 Clear된다. 일반적으로 해당 Interrupt 가 끝날 때 Clear한다.

8.3.5 Interrupt Enable Register (INTENn)

Address : 0xFFFF_0010

Bit	R/W	Description	Default Value
31	R/W	Vector No. 0x3F Interrupt Enable bit	0
30	R/W	Vector No. 0x3E Interrupt Enable bit	0
29	R/W	Vector No. 0x3D Interrupt Enable bit	0
28	R/W	Vector No. 0x3C Interrupt Enable bit	0
27	R/W	Vector No. 0x3B Interrupt Enable bit	0
26	R/W	Vector No. 0x3A Interrupt Enable bit	0
25	R/W	Vector No. 0x39 Interrupt Enable bit	0
24	R/W	Vector No. 0x38 Interrupt Enable bit	0
23	R/W	Vector No. 0x37 Interrupt Enable bit	0
22	R/W	Vector No. 0x36 Interrupt Enable bit	0
21	R/W	Vector No. 0x35 Interrupt Enable bit	0
20	R/W	Vector No. 0x34 Interrupt Enable bit	0
19	R/W	Vector No. 0x33 Interrupt Enable bit	0
18	R/W	Vector No. 0x32 Interrupt Enable bit	0
17	R/W	Vector No. 0x31 Interrupt Enable bit	0
16	R/W	Vector No. 0x30 Interrupt Enable bit	0
15	R/W	Vector No. 0x2F Interrupt Enable bit	0
14	R/W	Vector No. 0x2E Interrupt Enable bit	0
13	R/W	Vector No. 0x2D Interrupt Enable bit	0
12	R/W	Vector No. 0x2C Interrupt Enable bit	0
11	R/W	Vector No. 0x2B Interrupt Enable bit	0
10	R/W	Vector No. 0x2A Interrupt Enable bit	0
9	R/W	Vector No. 0x29 Interrupt Enable bit	0
8	R/W	Vector No. 0x28 Interrupt Enable bit	0
7	R/W	Vector No. 0x27 Interrupt Enable bit	0
6	R/W	Vector No. 0x26 Interrupt Enable bit	0
5	R/W	Vector No. 0x25 Interrupt Enable bit	0
4	R/W	Vector No. 0x24 Interrupt Enable bit	0
3	R/W	Vector No. 0x23 Interrupt Enable bit	0
2	R/W	Vector No. 0x22 Interrupt Enable bit	0
1	R/W	Vector No. 0x21 Interrupt Enable bit	0
0	R/W	Vector No. 0x20 Interrupt Enable bit	0

* Interrupt Enable bit

0 : Interrupt Disable and Pending Clear

1 : Interrupt Enable

8.3.6 Interrupt Mask Status Register (INTMASKn)

Address : 0xFFFF_0014

Bit	R/W	Description	Default Value
31 : 0	R	Interrupt Mask Status Register	0x0000_0000

* 모든 Mask bit의 상태를 확인할 수 있다.

8.3.7 Interrupt Mask Set Register (INTMASKSETn)

Address : 0xFFFF_0014h

Bit	R/W	Description	Default Value
31	W	Vector No. 0x3F Interrupt Request Set bit	0
30	W	Vector No. 0x3E Interrupt Request Set bit	0
29	W	Vector No. 0x3D Interrupt Request Set bit	0
28	W	Vector No. 0x3C Interrupt Request Set bit	0
27	W	Vector No. 0x3B Interrupt Request Set bit	0
26	W	Vector No. 0x3A Interrupt Request Set bit	0
25	W	Vector No. 0x39 Interrupt Request Set bit	0
24	W	Vector No. 0x38 Interrupt Request Set bit	0
23	W	Vector No. 0x37 Interrupt Request Set bit	0
22	W	Vector No. 0x36 Interrupt Request Set bit	0
21	W	Vector No. 0x35 Interrupt Request Set bit	0
20	W	Vector No. 0x34 Interrupt Request Set bit	0
19	W	Vector No. 0x33 Interrupt Request Set bit	0
18	W	Vector No. 0x32 Interrupt Request Set bit	0
17	W	Vector No. 0x31 Interrupt Request Set bit	0
16	W	Vector No. 0x30 Interrupt Request Set bit	0
15	W	Vector No. 0x2F Interrupt Request Set bit	0
14	W	Vector No. 0x2E Interrupt Request Set bit	0
13	W	Vector No. 0x2D Interrupt Request Set bit	0
12	W	Vector No. 0x2C Interrupt Request Set bit	0
11	W	Vector No. 0x2B Interrupt Request Set bit	0
10	W	Vector No. 0x2A Interrupt Request Set bit	0
9	W	Vector No. 0x29 Interrupt Request Set bit	0
8	W	Vector No. 0x28 Interrupt Request Set bit	0
7	W	Vector No. 0x27 Interrupt Request Set bit	0
6	W	Vector No. 0x26 Interrupt Request Set bit	0
5	W	Vector No. 0x25 Interrupt Request Set bit	0
4	W	Vector No. 0x24 Interrupt Request Set bit	0
3	W	Vector No. 0x23 Interrupt Request Set bit	0
2	W	Vector No. 0x22 Interrupt Request Set bit	0
1	W	Vector No. 0x21 Interrupt Request Set bit	0
0	W	Vector No. 0x20 Interrupt Request Set bit	0

* Interrupt Request Set bit

0 : No Effect interrupt Mask.

1 : pending 인터럽트가 활성화되도록 허용 (interrupts sent to CPU).

8.3.8 Interrupt Mask Clear Register (INTMASKCLRn)

Address : 0xFFFF_0018

Bit	R/W	Description	Default Value
31	W	Vector No. 0x3F Interrupt Req. Clear bit	0
30	W	Vector No. 0x3E Interrupt Req. Clear bit	0
29	W	Vector No. 0x3D Interrupt Req. Clear bit	0
28	W	Vector No. 0x3C Interrupt Req. Clear bit	0
27	W	Vector No. 0x3B Interrupt Req. Clear bit	0
26	W	Vector No. 0x3A Interrupt Req. Clear bit	0
25	W	Vector No. 0x39 Interrupt Req. Clear bit	0
24	W	Vector No. 0x38 Interrupt Req. Clear bit	0
23	W	Vector No. 0x37 Interrupt Req. Clear bit	0
22	W	Vector No. 0x36 Interrupt Req. Clear bit	0
21	W	Vector No. 0x35 Interrupt Req. Clear bit	0
20	W	Vector No. 0x34 Interrupt Req. Clear bit	0
19	W	Vector No. 0x33 Interrupt Req. Clear bit	0
18	W	Vector No. 0x32 Interrupt Req. Clear bit	0
17	W	Vector No. 0x31 Interrupt Req. Clear bit	0
16	W	Vector No. 0x30 Interrupt Req. Clear bit	0
15	W	Vector No. 0x2F Interrupt Req. Clear bit	0
14	W	Vector No. 0x2E Interrupt Req. Clear bit	0
13	W	Vector No. 0x2D Interrupt Req. Clear bit	0
12	W	Vector No. 0x2C Interrupt Req. Clear bit	0
11	W	Vector No. 0x2B Interrupt Req. Clear bit	0
10	W	Vector No. 0x2A Interrupt Req. Clear bit	0
9	W	Vector No. 0x29 Interrupt Req. Clear bit	0
8	W	Vector No. 0x28 Interrupt Req. Clear bit	0
7	W	Vector No. 0x27 Interrupt Req. Clear bit	0
6	W	Vector No. 0x26 Interrupt Req. Clear bit	0
5	W	Vector No. 0x25 Interrupt Req. Clear bit	0
4	W	Vector No. 0x24 Interrupt Req. Clear bit	0
3	W	Vector No. 0x23 Interrupt Req. Clear bit	0
2	W	Vector No. 0x22 Interrupt Req. Clear bit	0
1	W	Vector No. 0x21 Interrupt Req. Clear bit	0
0	W	Vector No. 0x20 Interrupt Req. Clear bit	0

* Interrupt Request Clear bit

0 : No Effect Interrupt Mask.

1 : Pending 인터럽트가 활성화되는 것을 마스크링(interrupts not sent to CPU).

9 CORE TIMER

adStar_L 은 MCU 에 밀접하게 붙은 32-bit Core_Timer 가 내장 되어있다.

9.1 Features

- 15-bit Pre-scaler
- 32-bit Timer/Counter
- Core timer는 CPU halt(halt3)되면, counter 또한 동작을 멈춘다.
CPU resume 되면 counter resume 된다.

9.2 15-bit Pre-scaler with clock source selection

Pre-scaler 는 15-bit Pre-scaler 를 통해 1/2 ~ 1/32768 배 분주 된 클럭을 생성하여 Timer/Counter 로 전달한다. Timer/Counter 는 Pre-scaler 를 통해 분주된 클럭을 선택하여 32-bit Counter 를 구동한다.

Pre-scaler 에서 분주되는 클럭의 정확한 위상이 필요할 경우에는 TPCON 레지스터의 CNTCLR 비트를 통하여 Pre-scaler counter 를 초기화한 후 사용한다.

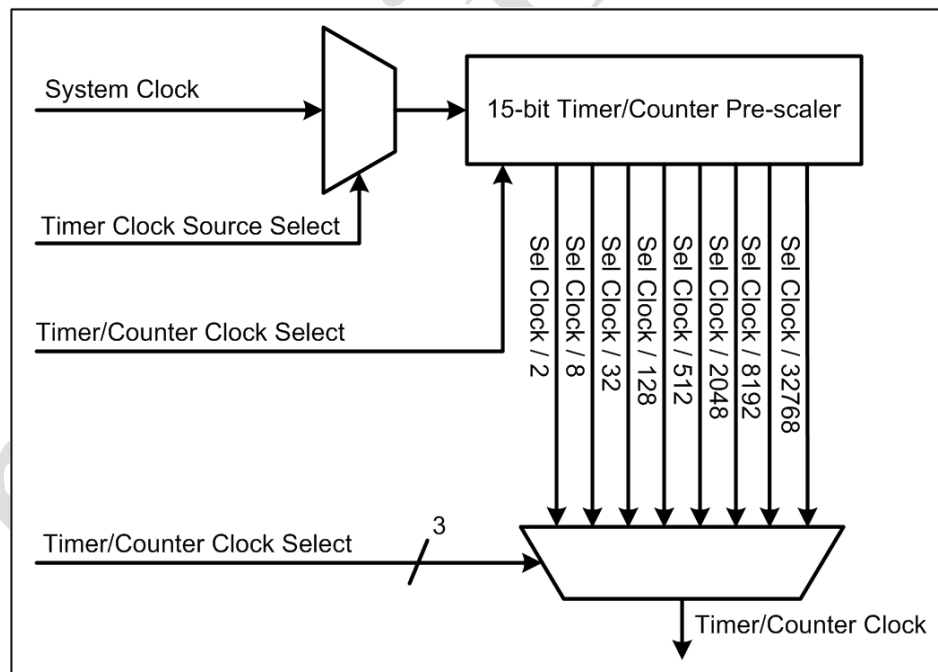


Figure 9-1 Pre-scaler Block Diagram

9.3 Timer/Counter

Pre-scaler 에 의해 분주된 Clock 을 사용하여 설정된 Timer Counter register value 에서 매 clock 마다 counter value 을 “1” 씩 감소하여 0x0 에 도달하면 interrupt 를 발생하고, 다시 사용자가 설정한 Timer Counter register value 부터 “1”씩 감소 하기 시작한다. (Down Counter)

(TMCNT : 사용자가 설정한 timer counter register value)

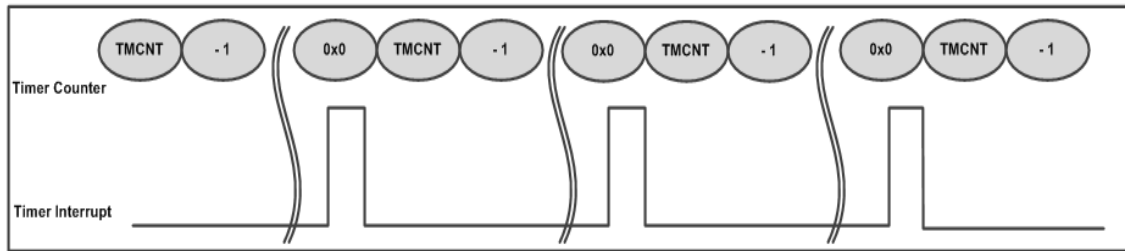


Figure 9-2 Timer Operation

Timer 주기는 선택된 클럭, Pre-scaler 그리고 Timer Counter 에 의해 결정된다.

$$Timer\ Period = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre\ -\ scaler\ Factor} \times (TMCNT) [sec] \quad \{Pre\ -\ scaler\ Factor \geq 3\}$$

$$Timer\ Period = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre\ -\ scaler\ Factor} \times (TMCNT + 1) [sec] \quad \{Pre\ -\ scaler\ Factor < 3\}$$

Timer Period Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Timer Counter Value (TMCNT) : 1000

$$\Rightarrow 1/12MHz \times 1024 \times 1000 = 85.333msec = 11.718Hz$$

Timer Counter 로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TMRST : 필요에 따라 Pre-scaler를 clear 한다.
- TMCON's PFSEL : Timer Counter에서 사용할 Clock을 결정한다.
- TMCON's TMEN : Timer Counter를 Enable 한다.
- TMCNT : Timer Counter의 시작 Counter 값을 결정한다.

Timer Counter 는 다음 순서로 설정하여 동작시킨다.

- TMCNT 설정
- TMCTRL 설정
- 필요에 따라 TMRST's CNTCLR 비트 설정

9.4 Timer Control Registers

9.4.1 Timer Reset Control Register (TMRST)

Address : 0xFFFF_1000

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	CNTCLR : "1"일 경우 Pre-scale Counter , Timer Counter를 Reset 한다	0
0	R	Reserved	-

9.4.2 Timer Control Registers (TMCON)

Address : 0xFFFF_1004

Bit	R/W	Description	Default Value
31 : 4	R	Reserved	-
3 : 1	R/W	PFSEL : Pre-scale Factor Selection 000 : clock / 1 001 : clock / 2 010 : clock / 8 011 : clock / 32 100 : clock / 128 101 : clock / 2048 110 : clock / 8192 111 : clock / 32768	111
0	R/W	TMEN : Timer Enable bit 0 : Disable 1 : Enable	0

- Core break (Core debug)일 때, core timer의 counting 동작도 같이 멈춘다.
CPU resume 되면, 다시 core timer counting을 재개한다.
- Core halt(halt3) 일 때, core timer의 counting 동작도 같이 멈춘다.
CPU resume 되면, 다시 core timer counting을 재개한다.

9.4.3 Timer Counter Registers (TMCNT)

Address : 0xFFFF_1008

Bit	R/W	Description	Default Value
31 : 0	R/W	- Write : Timer Counter 값 설정 레지스터. - Read : 현재 카운터 값을 출력 한다.	0xFFFFFFFFh

9.4.4 Timer Interrupt waveform

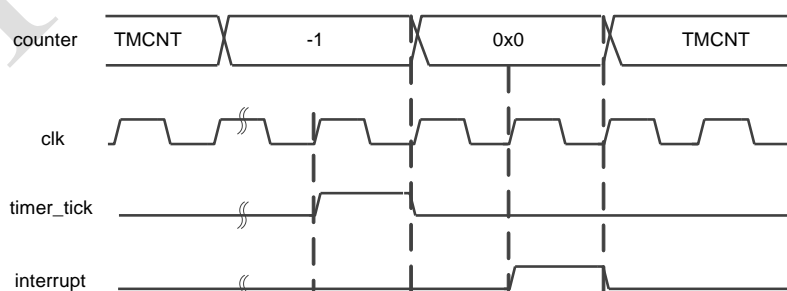


Figure 9-3 core timer interrupt waveform

* Core timer 는 다운 카운터 이다. 설정된 값에서부터 down counting 을 시작하고 0 이 되면, interrupt 가 발생한다.

Figure 9-3. 에 도시 된 바와 같이, interrupt 가 발생 한 다음 counter 값은 설정된 값에서부터 다시 counting 을 시작한다.

10 WATCHDOG TIMER

Watchdog Timer 는 시스템 에러, 정상적으로 응답하지 않는 장치 또는 noise 와 같은 이유로 CPU 가 정상적인 동작을 하지 않을 때, 정상 상태로 복귀시키는 역할을 한다.

Watchdog Timer 가 Enable 되면 WDCNT 에 설정된 값에서 '1'씩 감소하여 WDCNT 값이 '0'이 되면 Watchdog Reset 이 발생한다.

Watchdog Reset 이 발생하면 WDTST bit 에 Watchdog Reset 이 발생한 상태가 저장된다.

일단 Watchdog Timer 가 설정되면 Time-out 이 되지 않게 하기 위해서는 32 비트의 Watchdog Counter 값이 '0'이 되지 않도록 주기적으로 WDCNT 을 재설정하여 Watchdog Reset 이 발생하지 않도록 해야 한다.

WDTMOD bit 를 Interrupt mode 로 설정하면, Watchdog Reset 은 발생하지 않고 Interrupt 를 발생시켜 WDCNT 에 설정된 값이 0 이 되었음을 알려준다.

Watchdog timer 는 Lock 기능이 있다. lock 일 때는 설정(WDCON) 값이 변경되지 않고, 기록된 값을 유지한다. Unlock 일 경우, 변경된 값(WDCON)이 적용된다.

(UnLock : 0x1ACCE551 write.)

Preliminary

10.1 Register Description

10.1.1 Watchdog Timer Control Register (WDTCTRL)

Address : 0x8002_0000

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	HALTEN : Watchdog timer halt enable bit 0: Disable 1: Enable 이 bit를 set하면 Halt3에 의해 core가 정지할 경우, counting도 정지한다. Wakeup에 의해 core가 다시 동작하면 재개된다.	0
6	R/W	BRKEN : Watchdog timer core break enable bit 0: Disable 1: Enable 이 bit를 set하면 Debugger를 통해 core break한 경우, counting도 정지한다. Resume에 의해 core가 다시 동작하면 재개된다.	0
5	R	WDTLOCK : Watchdog timer 잠금 상태를 나타낸다. 0 : Lock 상태. 1 : Unlock 상태.	0
4	R	WDTST : Watchdog timer 상태 비트. watchdog timer가 reset mode, 일 경우 0 : No watchdog reset 1 : Watchdog reset 상태 비트는 read 동작에 의해 clear된다.	0
3 : 2	R	Reserved	-
1	R/W	WDTMOD : Watchdog timer의 mode를 결정 한다. 0 : Reset mode 1 : Interrupt mode	0
0	R/W	WDTEN : Watchdog timer enable bit 0 : Disable 1 : Enable	0

* unlock 일 경우에만, 설정 값을 write할 수 있다

10.1.2 Watchdog Timer Counter Value Register (WDTCNT)

Address : 0x8002_0004

Bit	R/W	Description	Default Value
31 : 0	R/W	Watchdog timer counter 32-bit value. Down-counter	0xFFFF_FFFF

* unlock 일 경우에만, 설정 값을 write할 수 있다

10.1.3 Watchdog Timer Lock Value Register (WDTLOCK)

Address : 0x8002_0008h

Bit	R/W	Description	Default Value
31 : 0	RW	Watchdog Timer Lock 32-bit Value. (Unlock = 0x1ACCE551) Read시, Lock : 0x00000001 Unlock : 0x00000000	0x00000001h

Operational Flow Diagrams

- * Watch dog timer에 대한 Flow chart이다. Lock register에 0x1ACCE551 value를 write해줘야만 watch dog timer setting이 가능하다. (Unlock 상태에서만 counter value와 control register setting이 가능)
- * Control register의 [1] bit가 0 or 1에 따라 reset mode, interrupt mode 선택이 가능하다.
- * Watch dog timer는 down counter로써 counter값이 0이 됐을 시, reset or interrupt를 발생시킨다. interrupt 발생 후, watch dog timer 는 상태를 유지 한다.
(주기적인 동작은 지원하지 않는다.)
- * interrupt 발생 후, watch dog timer interrupt service routine에서 watch dog timer disable후, enable(control write) 동작에 의해, 재개 한다.

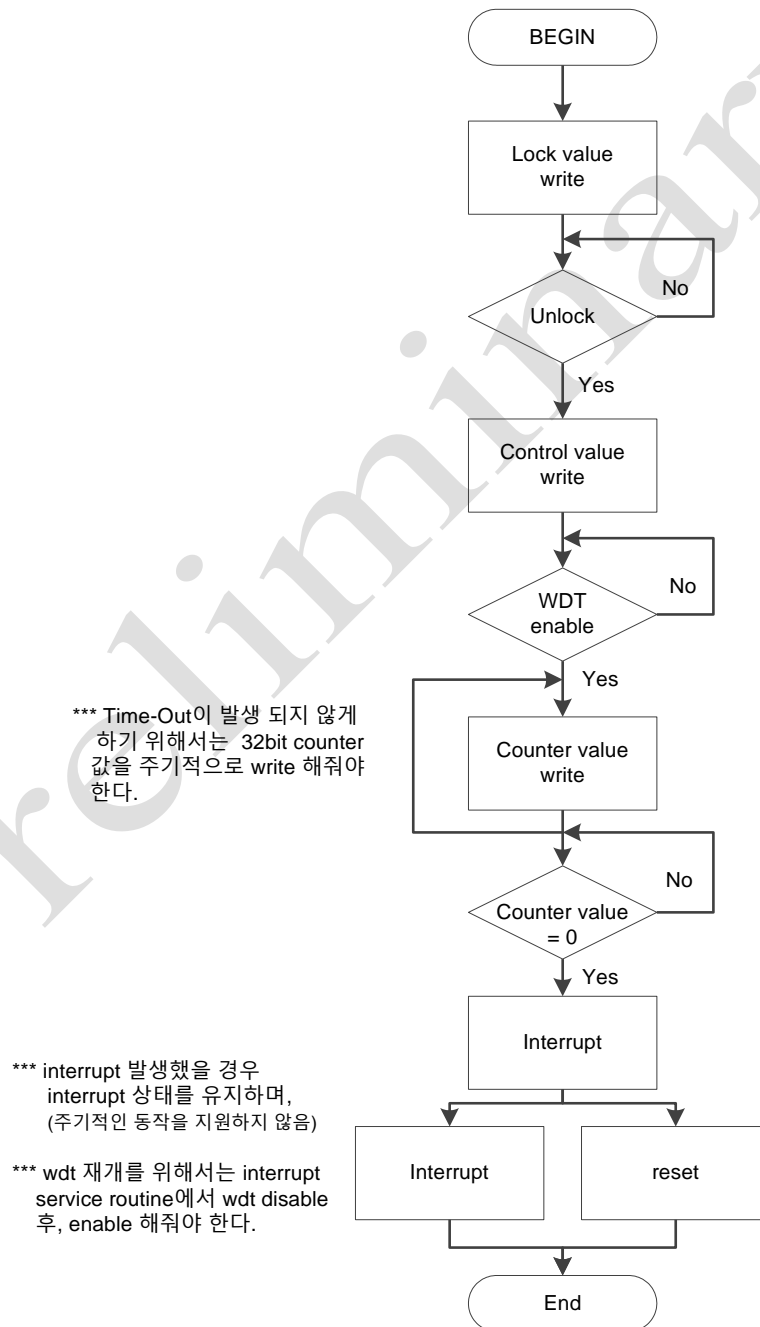


Figure 10-1 Operational flow

11 TIMERS

adStar_L 은 Timer/Counter, Capture, PWM 기능을 가진 32-bit Timer/Counter 를 2 채널 내장하였다.

11.1 Features

- 15-bit Pre-scale
- 32-bit Timer/Counter
- 32-bit Capture
- 32-bit PWM
- 32-bit Timer Counter Wave-Out

11.2 Functional Description

11.2.1 15-bit Pre-scaler with clock source selection

Pre-scaler 는 System Clock 과 External Clock 핀을 통해 외부로부터 받아들인 입력을 CLKSEL 비트를 통해 선택한 후, 15-bit Pre-scaler 를 통해 1/2 ~ 1/32768 배 분주 된 클럭을 생성하여 Timer/Counter 로 전달한다. Timer/Counter 는 Pre-scaler 를 통해 분주된 클럭을 선택하여 32-bit Counter 를 구동한다.

Pre-scaler 에서 분주되는 클럭의 정확한 위상이 필요할 경우에는 TPxCTRL 레지스터의 CNTCLR 비트를 통하여 Pre-scaler counter 를 초기화한 후 사용한다.

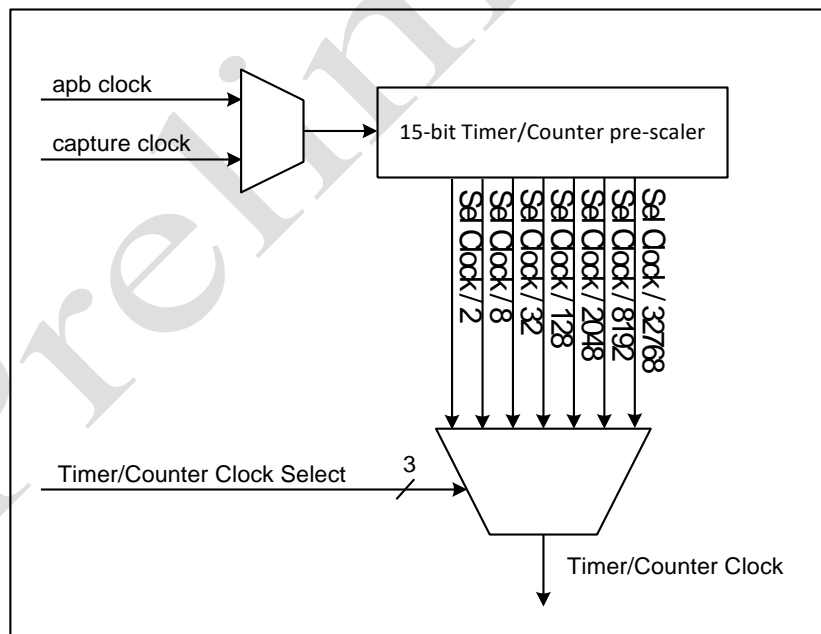


Figure 11-1 Pre-scaler Block Diagram

11.2.2 Timer/Counter

Pre-scaler 에 의해 분주된 Clock 을 사용하여 0x0 의 초기값에서 매 클럭 마다 카운터 값을 “1” 씩 증가하여 사용자가 설정한 Timer Counter 레지스터 값에 도달하면 다시 0x0 이 되면서 인터럽트를 발생한다.

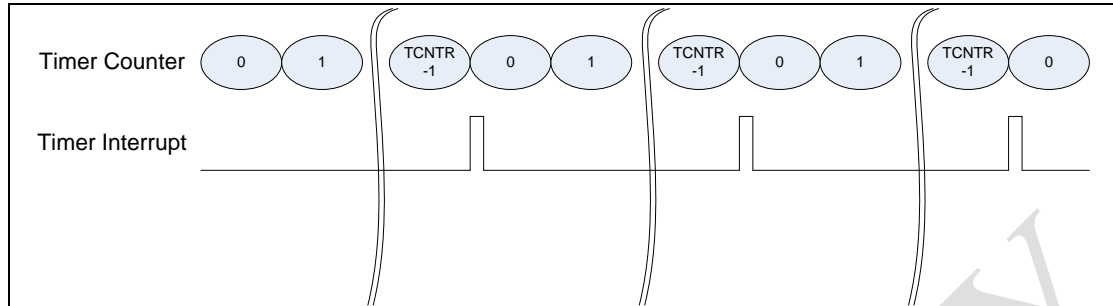


Figure 11-2 Timer Operation

*** TCNTR = Timer Counter Read.

Timer 주기는 선택된 클럭, Pre-scaler 그리고 Timer Counter 에 의해 결정된다.

$$Timer\ Period = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre\ -\ scaler\ Factor} \times (TMCNT) [sec] \quad \{Pre\ -\ scaler\ Factor \geq 3\}$$

$$Timer\ Period = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre\ -\ scaler\ Factor} \times (TMCNT + 1) [sec] \quad \{Pre\ -\ scaler\ Factor < 3\}$$

Timer Period Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Timer Counter Value (TMCNT) : 1000

$$\Rightarrow 1/12MHz \times 1024 \times 1000 = 85.333msec = 11.718Hz$$

Timer Counter 로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCTRL's TMOD : Timer Counter 모드를 설정한다.
- TMxCTRL's WAVE : Timer Counter의 주기로 생성된 클럭을 출력유무를 결정한다.
- TMxCTRL's PFSEL : Timer Counter에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN : Timer Counter를 Enable 한다.
- TMxCNT : Timer Counter의 최대 Counter 값을 결정한다.

Timer Counter 는 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCNT 설정
- TMxCTRL 설정
- 필요에 따라 TPxCTRL's CNTCLR 비트 설정

11.2.3 Pulse Width Modulation (PWM)

PWM은 programmable 한 duty와 주기의 펄스 신호를 출력하기 위한 제어기 이다.

Pre-scaler 에서 설정한 Clock 을 통해 동작하며 PWM Period 레지스터 값의 주기로 카운트를 반복하면서 사용자가 설정한 형태의 파형을 출력한다.

PWM의 출력 펄스는 32비트 카운터의 값이 PWM Duty, PWM Period 레지스터 값에 이를 때마다 레벨이 반전되어 출력 파형이 만들어진다. PWM의 출력횟수는 PWM Pulse Number 레지스터에 의해 결정되며 펄스의 출력횟수에 다르면 PWM Interrupt 를 발생한다. 그러나 PWM Interrupt 가 발생하더라도 별도의 설정이 없을 경우에는 PWM 출력이 계속 생성된다. 따라서 PWM Pulse 를 멈추기 위해서는 Timer Interrupt 에서 PWM 을 Disable 해야 한다.

$$PWM \text{ Pulse Period} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (TMCNT) [\text{sec}] \quad \{\text{Pre-scaler Factor} \geq 3\}$$

$$PWM \text{ Pulse Period} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (TMCNT + 1) [\text{sec}] \quad \{\text{Pre-scaler Factor} < 3\}$$

PWM Period Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- PWM Period Value(TMxCNT) : 10
- PWM Duty Value : 6

$$\Rightarrow 1/12\text{MHz} \times 1024 \times 10 = 0.853\text{msec} = 1.171\text{KHz}$$

PWM으로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCTRL's TMOD : PWM 모드로 설정한다.
- TMxCTRL's PWML : PWM 출력의 시작 레벨을 결정한다.
- TMxCTRL's PFSEL : PWM에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN : PWM을 Enable 한다.
- TMxCNT : PWM의 주기를 결정한다.
- TMxDUT : PWM의 Duty를 결정한다.
- TMxPUL : PWM의 Pulse 횟수를 결정한다. PWM Pulse의 횟수가 이 레지스터 값에 도달하면 PWM interrupt가 발생 한다. PWM Output One Period Generation bit(TMxCTRL[6])가 enable 일 경우, 설정 값에 도달 하면 PWM 출력은 disable 된다.

PWM은 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCNT 설정
- TMxDUT 설정
- TMxPUL 설정
- 필요에 따라 TPxCTRL's CNTCLR 설정

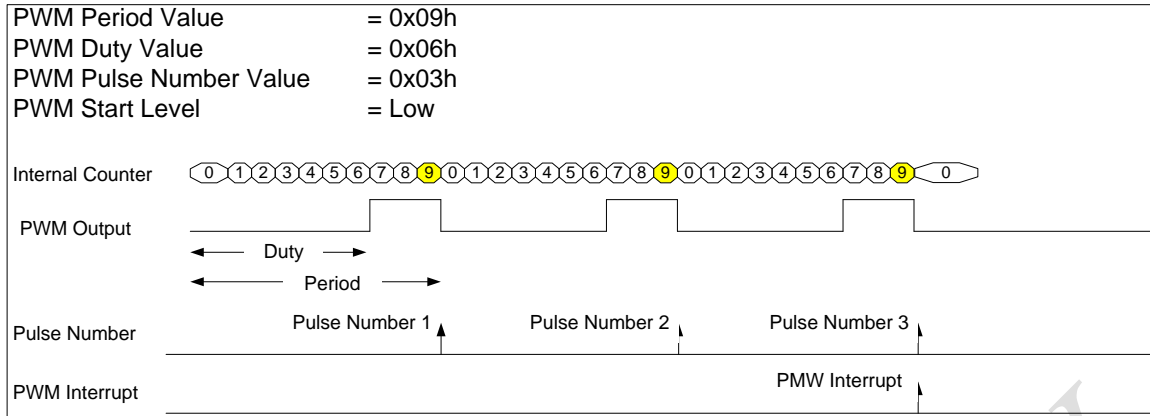


Figure 11-3 PWM Operation

**** Special Case**

Duty 100% 와 0% 설정인 경우의 PWM wave 출력은 다음과 같다.

* period 100% ,Duty 100% ,start level = low
PWM out = "0" level

* period 100% ,Duty 0% ,start level = low
PWM out = "1" level

* period 100% ,Duty 100% ,start level = high
PWM out = "1" level

* period 100% ,Duty 0% ,start level = high
PWM out = "0" level

Preliminary

11.2.4 Capture

Capture 기능은 Pre-scale 에서 설정한 Clock 을 기준으로 하여 외부 입력을 측정한다.

외부입력은 Low/High Pulse, Only Low Pulse, Only High Pulse, Falling to Falling Period, Rising to Rising Period 의 5 가지 형태의 펄스 주기를 측정할 수 있다.

Capture mode 로 Timer 를 Enable 할 때는 첫 번째로 Capture 하는 값은 신호가 변하는 중간의 값이기 때문에 무시하여야 한다.

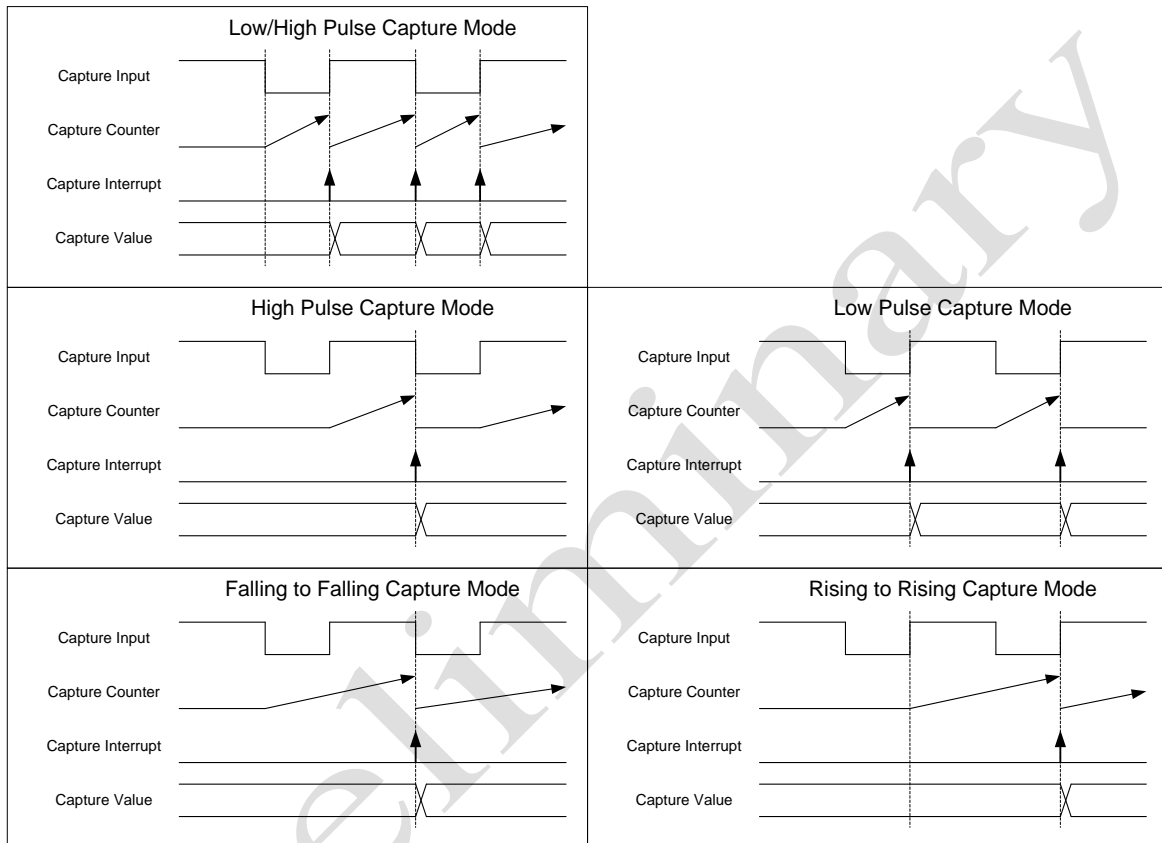


Figure 11-4 Capture Mode Operation

Capture 주기는 다음과 같이 측정된다.

$$\text{Capture Signal Width Time} = \frac{1}{\text{Clock Source Frequency}} \times \frac{1}{\text{Pre-scaler Factor}} \times (\text{OCA} + 1) \text{ [sec]}$$

Capture Time Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Capture Value(OCA) : 9

$$\Rightarrow 1/12\text{MHz} \times 1024 \times 10 = 0.853\text{msec}$$

Capture 모드로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL : Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCTRL's TMOD : Capture 모드로 설정한다.
- TMxCTRL's CAPMOD : Capture Pulse 형태를 결정한다.
- TMxCTRL's PFSEL : Capture에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN : Capture를 Enable 한다.

Capture 는 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCTRL 설정
- 필요에 따라 TPxCTRL's CNTCLR 설정
- TMxDUT를 읽어서 Capture 주기 확인
- TMxCTRL's OVST를 읽어서 Overflow 유무 확인

Preliminary

11.3 Register Description

11.3.1 Timer Pre-scale Control Registers (TPxCTRL)

Address : 0x8002_0400 / 0x8002_0420

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	CNTCLR : Pre-scale Counter and Timer Counter Reset When this bit is "1", the Timer Pre-scale and Counter will be reset.	0
0	R/W	CLKSEL : Pre-scale Clock Selection 0 : apb clock 1 : CAPx	0

* CAPx는 Timer 채널 별로 할당되어 있다

11.3.2 Timer Control Registers (TMxCTRL)

Address : 0x8002_0404 / 0x8002_0424

Bit	R/W	Description	Default Value
31 : 19	R	Reserved	-
18	R/W	HALTEN : Core Halt Enable bit 0: Disable 1: Enable 이 bit를 set하면 Halt3에 의해 core가 정지할 경우, counting도 정지한다. Wakeup에 의해 core가 다시 동작하면 재개된다..	0
17	R/W	BRKEN : Core Break Enable bit 0: Disable 1: Enable 이 bit를 set하면 Debugger를 통해 core break한 경우, counting도 정지한다. Resume에 의해 core가 다시 동작하면 재개된다.	0
16	R/W	DMAREQEN : Timer request(DMA) Enable bit 0: Timer는 설정된 주기마다 interrupt만 요청한다. 1: Timer의 설정된 주기마다 interrupt가 일어나면, DMA에 request 신호를 요청하게 된다.	0
15 : 14	R/W	TMOD : Timer/Counter Mode 00 : Timer 01 : PWM 1x : Capture	00
13	R	Reserved	-
12	R	OVST : Capture Overflow Status bit Read시 Overflow status bit가 clear된다.	0
11	R	Reserved	0
10 : 8	R/W	CAPMOD : Capture Mode Selection 00x : Low/High Pulse Capture mode 010 : Low Pulse Capture mode 011 : High Pulse Capture mode 10x : Falling to Falling Period Capture mode 11x : Rising to Rising Period Capture mode	000
7	R/W	IUE : Immediately Update Enable 0: Counter Register에 Write한 값이 이전에 설정된 Period가 완료된 후 적용된다. 1: Counter Register에 write하는 즉시, Period나 duty가 적용된다.	1
6	R/W	PWMO : PWM Output One Period Generation 0 : Disable 1 : Enable	0
5	R/W	PWML : PWM Output Start Level 0 : Start Level is Low 1 : Start Level is High	0
4	R/W	TMOU : Timer Wave Output Generation 0 : Disable 1 : Enable	0
3 : 1	R/W	PFSEL : Pre-scale Factor Selection 000 : 1/2 001 : 1/8 010 : 1/32 011 : 1/128 100 : 1/512 101 : 1/2048 110 : 1/8192 111 : 1/32768	111
0	R/W	TMEN : Timer/Counter or PWM Enable 0 : Disable 1 : Enable	0

* PWM Output One Period Generation : PWM 모드로 동작할 때, 주기를 설정한 개수만큼 발생시키는 bit이다.

펄스가 발생한 이후에는 자동으로 PWM은 Disable된다.

* Timer Wave Output Generation : Timer 모드에서 한 주기마다 toggle되는 파형의 출력여부를 결정한다.

* Immediately Update : 최초 Timer의 Counter값을 설정할 때는 IUE bit가 1인 상태 이어야 한다.

11.3.3 Timer Counter / PWM Period Registers (TMxCNT)

Address : 0x8002_0408 / 0x8002_0428

Bit	R/W	Description	Default Value
31 : 0	R/W	(Timer mode) - Write : Timer Counter Value - Read : Current Up-counter Value (PWM mode) - Read/Write : PWM Period Value	0xFFFFFFFF

11.3.4 Capture Counter Registers / PWM Duty Registers (TMxDUT)

Address : 0x8002_040C / 0x8002_042C

Bit	R/W	Description	Default Value
31 : 0	R/W	(Capture mode) - Read : Result value of counting at the sampling period (PWM mode) - Read/Write : PWM Duty Value	0xFFFFFFFF

11.3.5 PWM Pulse Count Registers (TMxPUL)

Address : 0x8002_0410 / 0x8002_0430

Bit	R/W	Description	Default Value
31 : 0	R/W	(PWM mode) - Read/Write : PWM Pulse Number Value	0xFFFFFFFF

12 REAL TIMER CLOCK

adStar-L 은 전원이 분리된 RTC 를 가진다. 32.768kHz 의 Clock 을 사용하여 동작하며 년, 월, 일, 시간, 분, 초의 레지스터를 설정하고 현재 진행중인 시간을 읽어볼 수 있다. RTC 의 인터럽트를 1/4 초, 1/2 초, 1 초, 2 초, 4 초, 1 분, 2 분, 4 분, 1 시간, 2 시간, 4 시간, 24 시간, 단위로 설정할 수 있다.

RTC 의 Alarm 은 초, 분, 시, 일, 월 단위로 설정할 수 있다.

12.1 RTC Features

- 전원 독립
- 윤년지원
- 주기적인 인터럽트 발생: 1/4초 ~ 24시간
- alarm 지원 (초, 분, 시, 일, 월)
- Crystal 오류에 대한 보상 가능. (calibration mode 지원)

RTC_VDD 에 3V 입력과 RTC_XIN 에 32.768kHz Clock 을 인가하면 RTC 는 04 년 1 월 1 일에서부터 동작하게 된다.

※RTC calibration

RTC 에는 calibration mode 가 존재 한다. Crystal 에 대한 오차를 최대 1day 마다

±1sec 보상할 수 있다.

- 다른 타이머의 자원을 사용하여, 사용자는 32.768kHz의 Crystal 오류를 찾아야 합니다. 오류를 알고 나면, calibration mode를 enable한 상태에서 sub_mode, pul_mode를 선택하여 설정하여야 합니다. Calibration compare value는 calibration mode 에서만 유효 하다.

12.2 RTC diagram

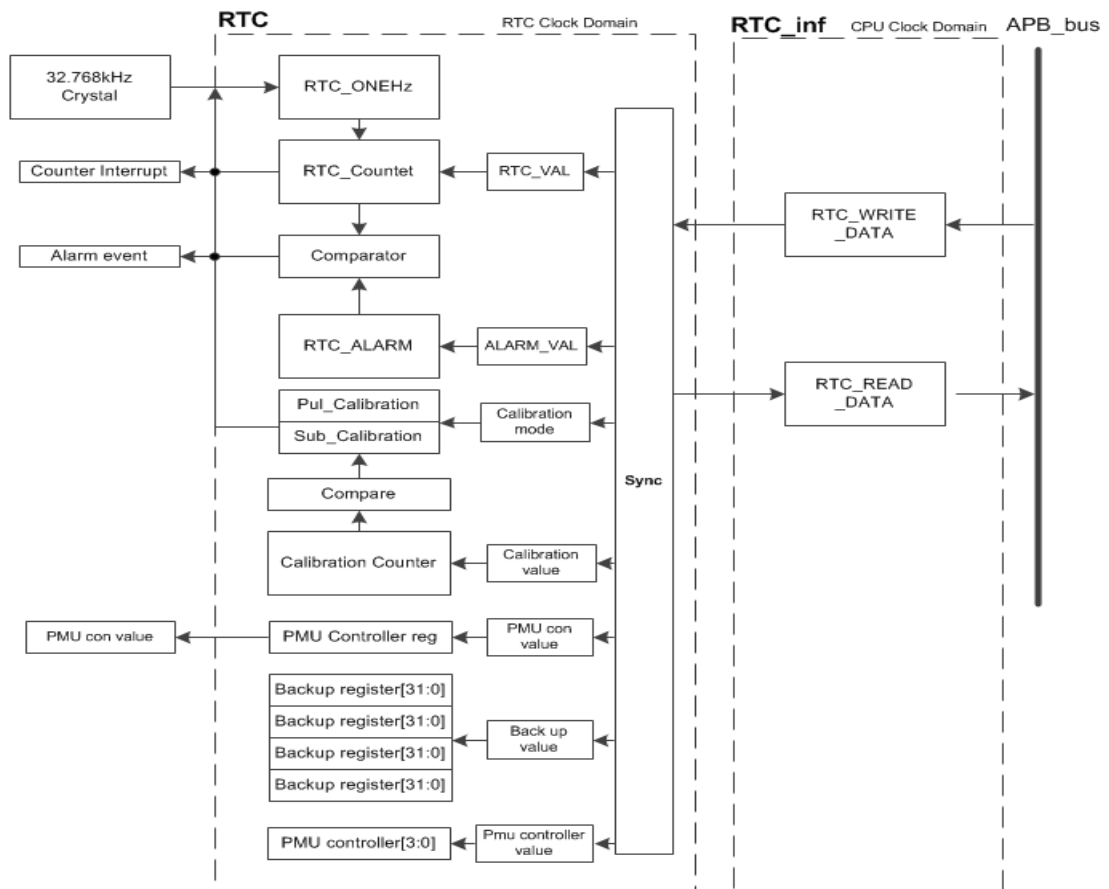


Figure 12-1 RTC Block Diagram

12.3 RTC Calibration (function diagram)

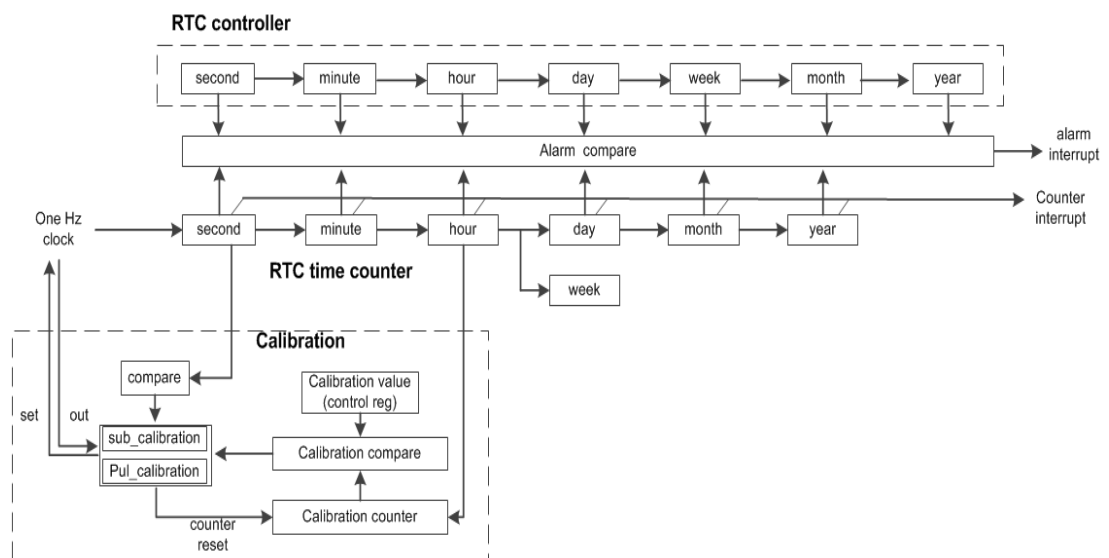


Figure 12-2 Calibration Function Diagram

12.4 Real Time Counter Control Register

12.4.1 Real Time Counter Control Register (RTCCON_1)

Address : 8002_3800h

Bit	R/W	Description	Default Value
7	RW	RTC Calibration Subtraction. 0 : Disable 1 : Calibration Plus Crystal이 기존 시간 보다 빨라졌을 경우, (1day 동안 총 -1sec를 보상해 준다.)	0
6	RW	RTC Calibration Puls. 0 : Disable 1 : Calibration Subtraction Crystal이 기존 시간 보다 느려졌을 경우, (1day 동안 총 +1sec를 보상해 준다.)	0
5	RW	RTC Calibration Mode. 0 : Disable 1 : Calibration Mode Calibration mode 일 때, Crystal 오차에 대한 보상이 가능하다.	0
4	RW	Test Mode 0 : Normal Mode 1 : RTC Test Mode(Fast)	0
3 : 0	RW	RTC Interrupt Select 0000 : No Interrupt 0001 : Alarm Interrupt 0010 : 1/4 Sec Period 0011 : 1/2 Sec Period 0100 : 1 Sec Period 0101 : 2 Sec Period 0110 : 4 Sec Period 0111 : Reserved 1000 : 1 Min Period 1001 : 2 Min Period 1010 : 4 Min Period 1011 : Reserved 1100 : 1 Hour Period 1101 : 2 Hour Period 1110 : 4 Hour Period 1111 : 24 Hour Period	0000

* Calibration Mode Bit를 Enable 해야 Crystal 오차에 대한 보상이 가능하다

12.4.2 Real Time Counter Control Register (RTCCON_2)

Address : 8002_3804h

Bit	R/W	Description	Default Value
7:6	R	Reserved	-
5	R	RTC alarm interrupt state bit This bit is cleared by PMUCON read. 0 : no interrupt 1 : alarm interrupt Occurs.	0
4	R	RTC interrupt state bit. This bit is cleared by PMUCON read. 0 : no interrupt 1 : interrupt Occurs.	0
3:0	RW	RTC Calibration compare value(Base 1 day) 0001 : 1sec , 0010 : 0.5sec , 0011 : 0.33sec , 0100 : 0.25sec , 0101 : 0.2sec , 0110 : 0.16sec , 0111 : 0.14sec , 1000 : 0.12sec , 1001 : 0.11sec , 1010 : 0.1sec , 1011 : 0.09sec , 1100 : 0.08sec , 1101 : 0.076sec , 1110 : 0.071sec , 1111 : 0.06sec, Crystal 오류 Correction value 선택할 수 있다. 1day 동안, 최소 0.06sec, 최대 1 sec Correction.	0001 (1 day 1sec Correction)

* Calibration Mode 상태에서 얼마만큼 보상 해줄지 결정하는 register이다(default value는 1day 기준으로 1sec 보상이다)

12.5 Real Time Counter Register

12.5.1 Real Time Counter Sec Register (RSEC)

Address : 8002_3808h

Bit	R/W	Description	Default Value
7 : 6	R	Reserved	-
5 : 0	RW	Sec (0~59)	000000

12.5.2 Real Time Counter Min Register (RMIN)

Address : 8002_380Ch

Bit	R/W	Description	Default Value
7 : 6	R	Reserved	-
5 : 0	RW	Min (0~59)	000000

12.5.3 Real Time Counter Hour Register (RHOURL)

Address : 8002_3810h

Bit	R/W	Description	Default Value
7 : 5	R	Reserved	-
4 : 0	RW	Hour (0~23)	00000

12.5.4 Real Time Counter Day Register (RDAY)

Address : 8002_3814h

Bit	R/W	Description	Default Value
7 : 5	R	Reserved	-
4 : 0	RW	Day (1~31)	00001

12.5.5 Real Time Counter Week Register (RWEK)

Address : 8002_3818h

Bit	R/W	Description	Default Value
7 : 3	R	Reserved	-
2 : 0	RW	Week (0~6)	100

12.5.6 Real Time Counter Month Register (RMONTH)

Address : 8002_381Ch

Bit	R/W	Description	Default Value
7 : 4	R	Reserved	-
3 : 0	RW	Month (0~11)	0001

12.5.7 Real Time Counter Year Register (RYEAR)

Address : 8002_3820h

Bit	R/W	Description	Default Value
7	R	Reserved	-
6 : 0	RW	Year (0~99)	0000100

12.6 Real Time Alarm Register

12.6.1 Real Time Alarm Register (RALM_S)

Address : 8002_3824h

Bit	R/W	Description	Default Value
7 : 6	R	Reserved	-
5 : 0	RW	Sec(0~59)	0

12.6.2 Real Time Alarm Register (RALM_M)

Address : 8002_3828h

Bit	R/W	Description	Default Value
7 : 6	R	Reserved	-
5 : 0	RW	Min(0~59)	0

12.6.3 Real Time Alarm Register (RALM_H)

Address : 8002_382Ch

Bit	R/W	Description	Default Value
7 : 5	R	Reserved	-
4 : 0	RW	Hour(0~23)	0

12.6.4 Real Time Alarm Register (RALM_D)

Address : 8002_3830h

Bit	R/W	Description	Default Value
7 : 5	R	Reserved	-
4 : 0	RW	Day(1~31)	0

12.6.5 Real Time Alarm Register (RALM_MO)

Address : 8002_3834h

Bit	R/W	Description	Default Value
7 : 4	R	Reserved	-
3 : 0	RW	Month(0~11)	0

* RTC alarm 은 month, day, hour, minute, second 모두 설정을 해줘야 alarm interrupt가 발생 한다.

12.7 Real Time Back up Register

12.7.1 Real Time Back up Register (BACKUP0_0)

Address : 8002_3840h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data0_0	-

12.7.2 Real Time Back up Register (BACKUP0_1)

Address : 8002_3844h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data0_1	-

12.7.3 Real Time Back up Register (BACKUP0_2)

Address : 8002_3848h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data0_2	-

12.7.4 Real Time Back up Register (BACKUP0_3)

Address : 8002_384Ch

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data0_3	-

12.7.5 Real Time Back up Register (BACKUP1_0)

Address : 8002_3850h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data1_0	-

12.7.6 Real Time Back up Register (BACKUP1_1)

Address : 8002_3854h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data1_1	-

12.7.7 Real Time Back up Register (BACKUP1_2)

Address : 8002_3858h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data1_2	-

12.7.8 Real Time Back up Register (BACKUP1_3)

Address : 8002_385Ch

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data1_3	-

12.7.9 Real Time Back up Register (BACKUP2_0)

Address : 8002_3860h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data2_0	-

12.7.10 Real Time Back up Register (BACKUP2_1)

Address : 8002_3864h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data2_1	-

12.7.11 Real Time Back up Register (BACKUP2_2)

Address : 8002_3868h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data2_2	-

12.7.12 Real Time Back up Register (BACKUP2_3)

Address : 8002_386Ch

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data2_3	-

12.7.13 Real Time Back up Register (BACKUP3_0)

Address : 8002_3870h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data3_0	-

12.7.14 Real Time Back up Register (BACKUP3_1)

Address : 8002_3874h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data3_1	-

12.7.15 Real Time Back up Register (BACKUP3_2)

Address : 8002_3878h

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data3_2	-

12.7.16 Real Time Back up Register (BACKUP3_3)

Address : 8002_387Ch

Bit	R/W	Description	Default Value
7 : 0	RW	Back up data3_3	-

12.8 Real Time PMU Controller Register (PMUCON)

Address : 8002_3880h

Bit	R/W	Description	Default Value
7:4	R	Reserved	-
3	R/W	Halt1 state bit 1 : power down signal occur Clear Halt1 state bit 1을 write 하면 clear 한다. 그리고 0으로 자동으로 된다.	0
2	R/W	Halt0 state bit 1 : osc disable signal occur Clear Halt0 state bit 1을 write 하면 clear 한다. 그리고 0으로는 자동으로 된다.	0
1	R/W	Wakeup latch output signal select 0 : f/f output 1 : latch output	0
0	R/W	RTC wakeup state bit state clear 0: release 1: clear	0

* RTC은 32K를 사용하는 RTC macro block과 CPU clock을 사용하는 RTC interface block이 따로 존재한다.
RTC clock에 맞춰서 data 전송을 위해 update bit를 확인 후, data W/R 해야 한다.

Ex)

```

RTCCON = 0x77;           // First data (w/r)
while (RTCCON & 0x100); // Update bit occur
RTCCON_1 = 0x01;        // Second data (w/r)
while (RTCCON & 0x100); // Update bit occur
  
```

12.9 RTC interrupt timing diagram

- * RTC 는 시간 설정에 의한 alarm interrupt 와 주기적으로 발생하는 interrupt 두 가지가 존재 한다.
- * Control register [3:0]에 alarm int 설정 후, alarm register write을 하면, 원하는 시간interrupt를 발생 시킬 수 있다.

Alarm interrupt는 1sec동안 high level을 유지 한다. (Refer to Figure 12-3)

- * 주기적인 interrupt는 발생은 1/4, 1/2 interrupt를 제외 하고, 1cycle interrupt를 발생 시킨다
(Refer to Figure 12-4, Figure 12-5, Figure 12-6)

12.9.1 Alarm interrupt operation

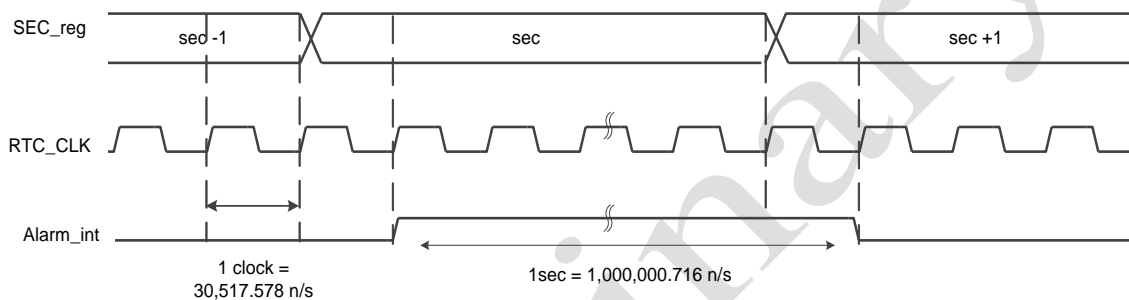


Figure 12-3 Alarm Interrupt Operation

12.9.2 1sec interrupt operation

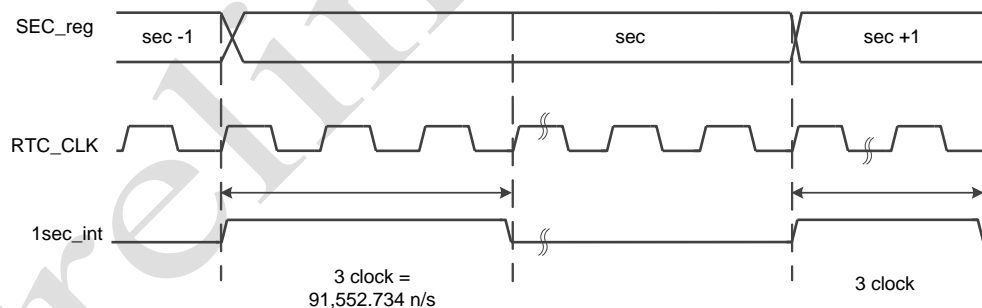


Figure 12-4 1sec Interrupt Operation

12.9.3 1/2 interrupt operation

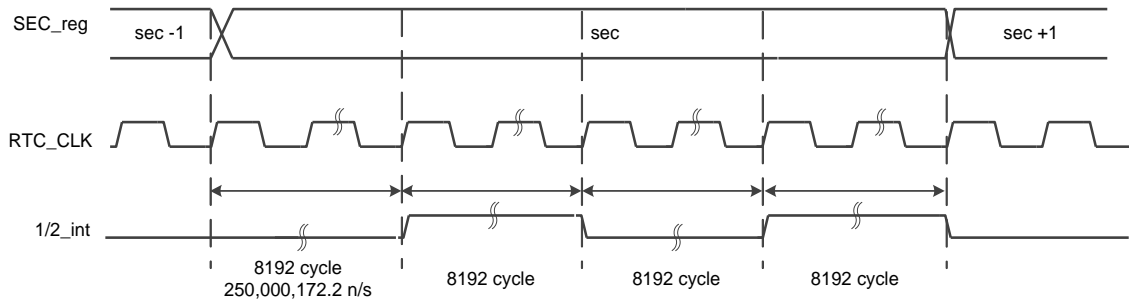


Figure 12-5 1/2 Interrupt Operation

12.9.4 1/4 interrupt operation

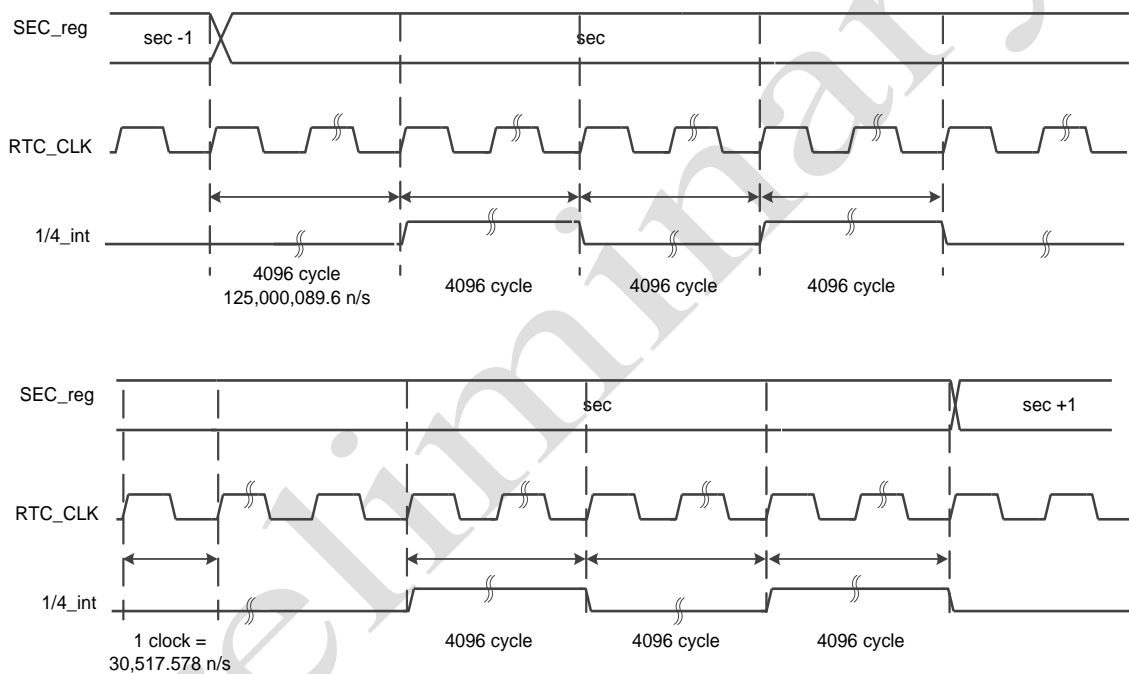


Figure 12-6 1/4 Interrupt Operation

13 COPROCESSOR

adStar-L 의 Coprocessor 는 메모리 관리를 위한 Memory Management Unit(MMU) 과 I-Cache, D-Cache 기능 블록을 포함하며, 이들 기능 블록들과 기타 부가 기능 블록에 대한 제어를 담당 한다.

13.1 Features

- Memory Management Unit
 - Real Memory mode
- 2 Way Set Associative Harvard Cache
 - 8KBytes I-Cache
 - 8KBytes D-Cache
 - Write Through
 - 16 Bytes / Line
 - LRU Replacement
 - Cache Invalidation by Software
- 4 Words Deep Write Buffer (FIFO)

Real Memory mode 는 CPU 가 4GB 크기의 선형 메모리 영역을 위해 예약된 일부 메모리 영역만 접근할 수 있으며, CPU 의 주소는 실제 메모리 주소와 일치한다.

Table 13-1 Real Memory map

Address Range	Sector Number	Size
0x0000_0000~0x000F_FFFF (Memory Bank0)	Flash	512KBytes
0x1000_0000~0x1000_07FF (Memory Bank0)	Internal SRAM for Instruction	2KBytes
0x1800_0000~0x1800_77FF (Memory Bank1)	Internal SRAM for Data	30KBytes
0x2000_0000 ~ 0x2FFF_FFFF	SDRAM	8 or 16Mbytes
0x5000_0000 ~ 0x5FFF_FFFF	External SRAM	-

13.2 Coprocessor Description

Table 13-2 Coprocessor Register Description

Register	R/W	Description
SCPR15	R	System Coprocessor Status Register
	W	Master Command Register
SCPR14	R/W	Supervisor Stack Point Register
SCPR13	R/W	User Stack Pointer
SCPR12	R/W	Vector Base Register
SCPR11	W	Invalidate Cache Line and Lock Register
SCPR10	-	Reserved
SCPR9	R/W	Memory Bank Configuration Register
SCPR8	R/W	Sub-Bank Configuration Register
SCPR7	R/W	Reserved
SCPR6	R/W	Reserved
SCPR5	R/W	Sub-Bank Address Register
SCPR4	R/W	General Access Point Data Register
SCPR3	R/W	General Access Point Index Register
SCPR2	R/W	Reserved
SCPR1	R/W	Reserved
SCPR0	R/W	Reserved

13.3 Coprocessor Control Registers

13.3.1 System Coprocessor Status Register (SCPR15)

Bit	R/W	Description	Default Value
31	R	System Co-Processor Access Right (Privileged) Coprocessor이 접근 권한을 나타낸다. 0 : Supervisor/User Accessible 1 : Supervisor Access only	1
30 : 28	R	Coprocessor Type	001
27 : 25	R	Coprocessor Subtype	000
24 : 19	R	Reserved	-
18	R	L1 Cache Presented 0 : Presented 1 : Not Presented	0
17	R	L1 Cache Snooping Capability 0 : Support Snooping 1 : Not support Snooping	1
16 : 7	R	Reserved	-
6	R	Misalign Correction Support for Data Access 0 : Not support Misalign Correction 1 : Support Misalign Correction	0
5 : 2	R	SCP Rending Exception Number 0000 : Inst. Fetch - Access Violation 0010 : Privilege Violation Exception 0011 : Data Access - Address Misalignment 0100 : Data Access - Access Violation 1000 : Inst. Fetch - Address Misalignment 1111 : N/A	1111
1	R	SCP Pending Exception status 0 : No Pending Exception 1 : Pending Exception Exist	0
0	R	Reserved	-

13.3.2 Master Command Register (SCPR15)

Bit	R/W	Description	Default Value
31 : 6	W	Reserved	-
5 : 2	W	End of Exception 0000 : Inst. Fetch - Access Violation 0010 : Privilege Violation Exception 0011 : Data Access - Address Misalignment 0100 : Data Access - Access Violation 1000 : Inst. Fetch - Address Misalignment 1111 : Privilege Violation Exception	1111
1 : 0	W	Reserved	-

13.3.3 Supervisor Stack Point Register (SCPR14)

Bit	R/W	Description	Default Value
31 : 2	R/W	Supervisor Stack Pointer	0x0000_0000
1 : 0	R/W	Always 0	00

13.3.4 User Stack Point Register (SCPR13)

Bit	R/W	Description	Default Value
31 : 2	R/W	User Stack Pointer	0x0000_0000
1 : 0	R/W	Always 0	00

13.3.5 Vector Base Register (SCPR12)

Bit	R/W	Description	Default Value
31 : 2	R/W	Vector Base for Exception	0x0000_0000
1 : 0	R/W	Always 0	00

13.3.6 Invalidate Cache Line and Lock Register (SCPR11)

Bit	R/W	Description	Default Value
31 : 7	W	Invalidation Target Address/Way	-
6 : 4	W	Invalidation Target Address/Way	-
3	W	Invalidation Mode 0 : Address Based Invalidation 1 : Way Based Invalidation	-
2	W	Copy-back Selection in Invalidation 0 : Invalidation without Copy-back 1 : Invalidation with Copy-back if need	-
1	W	Cache Line Locking in Invalidation 0 : Invalidation without Locking 1 : Invalidation with Locking	-
0	W	Cache Type in Invalidation 0 : I-Cache 1 : D-Cache	-

13.3.7 Memory Bank Configuration Register (SCPR9)

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	0
15	R/W	Always 0	0
14	R/W	Memory Bank 3 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
13 : 12	R/W	Memory Bank 3 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
11	R/W	Always 0	0
10	R/W	Memory Bank 2 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
9 : 8	R/W	Memory Bank 2 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
7	R/W	Always 0	0
6	R/W	Memory Bank 1 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
5 : 4	R/W	Memory Bank 1 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00
3	R/W	Always 0	0
2	R/W	Memory Bank 0 Access Right 0 : Supervisor only Accessible 1 : Supervisor/User Accessible	0
1 : 0	R/W	Memory Bank 0 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : N/A	00

13.3.8 General Access Point Data Register (SCPR4)

Bit	R/W	Description	Default Value
31 : 0	R/W	General Access Point Data Register value that is configured at SCPR3	0x0000_0000

13.3.9 General Access Point Index Register (SCPR3)

Bit	R/W	Description	Default Value
31 : 0	R/W	General Access Point Index - Core Debugging Information 0x0000_0000 : Backup IR 0x0000_0001 : Backup ER 0x0000_0002 : Backup PC 0x0000_0010 : Backup EAD - System Coprocessor Debugging Information 0x0000_0303 : Inst. Bus Error Address 0x0000_0304 : Data Bus Error Address - Cache Lock Information 0x0000_0500 : Inst. Lock Condition 0x0000_0501 : Data Lock Condition - Memory Bank Management Information 0x0000_0600 : Inst. MBMB Violation Address 0x0000_0601 : Data MBMB Violation Address - Internal SRAM Configuration Information 0x0000_0700 : Global Control Reg. Address Local Control Registers 0x0000_0701 : Local I-Control Reg.0 Address 0x0000_0711 : Local I-Control Reg.1 Address 0x0000_0721 : Local I-Control Reg.2 Address 0x0000_0731 : Local I-Control Reg.3 Address 0x0000_0704 : Local D-Control Reg.0 Address 0x0000_0714 : Local D-Control Reg.1 Address 0x0000_0724 : Local D-Control Reg.2 Address 0x0000_0734 : Local D-Control Reg.3 Address Local Start Address Registers 0x0000_0702 : Local I-Start Reg.0 Address 0x0000_0712 : Local I-Start Reg.1 Address 0x0000_0722 : Local I-Start Reg.2 Address 0x0000_0732 : Local I-Start Reg.3 Address 0x0000_0705 : Local D-Start Reg.0 Address 0x0000_0715 : Local D-Start Reg.1 Address 0x0000_0725 : Local D-Start Reg.2 Address 0x0000_0735 : Local D-Start Reg.3 Address Local End Address Registers 0x0000_0703 : Local I-End Reg.0 Address 0x0000_0713 : Local I-End Reg.1 Address 0x0000_0723 : Local I-End Reg.2 Address 0x0000_0733 : Local I-End Reg.3 Address 0x0000_0706 : Local D-End Reg.0 Address 0x0000_0716 : Local D-End Reg.1 Address 0x0000_0726 : Local D-End Reg.2 Address 0x0000_0736 : Local D-End Reg.3 Address	0x0000_0000

14 UART

adStar_L 의 UART 는 RS-232C 인터페이스의 기능을 보유한 일반적인 PC 및 I/O device 와 직렬 비동기 통신을 위한 다양한 제어기능을 가진 2 채널 UART(Universal Asynchronous Receiver/ Transmitter) Controller 가 내장되어 있다.

14.1 Features

- Compatible with standard 16450/16550 UARTs
- Fully programmable serial-interface protocols
 - 5,6,7,8-bit characters
 - Even, odd or no-parity, stick parity generation and detection
 - 1, 1.5, 2 stop bit generation
 - Baud rate generator
- Line break generation and detection
- False start bit detection
- Prioritized transmit, receive and line status control interrupts
- Independent 16 characters transmit and receive 16Bytes FIFOs
- 2 Ch. UARTs

14.2 Block Diagram

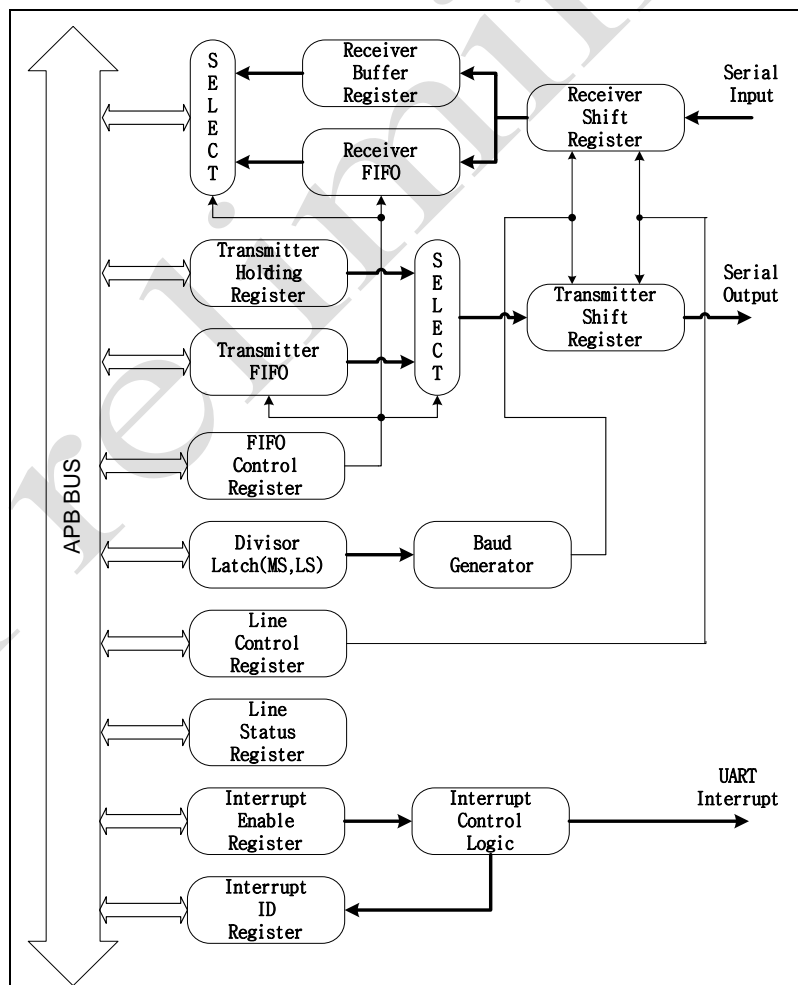


Figure 14-1 UART Block Diagram

14.3 Functional Description

14.3.1 Serial Data Format

adStar_L 의 UART 에서는 ULCRn[4:0] 비트의 레지스터 설정으로 UART 통신 Serial Data Format 에 대한 변경이 가능하다. 다음 표는 ULCRn[4:0] bit 의 Register 설정으로 변경 가능한 데이터 포맷에 대한 설명이다.

ULCRn[4:0]	Description
00010 No Parity / 1 Stop bit / 7 Data bit	
00011 No Parity / 1 Stop bit / 8 Data bit	
00110 No Parity / 2 Stop bit / 7 Data bit	
00111 No Parity / 2 Stop bit / 8 Data bit	
11010 Even Parity / 1 Stop bit / 7 Data bit	
11011 Even Parity / 1 Stop bit / 8 Data bit	

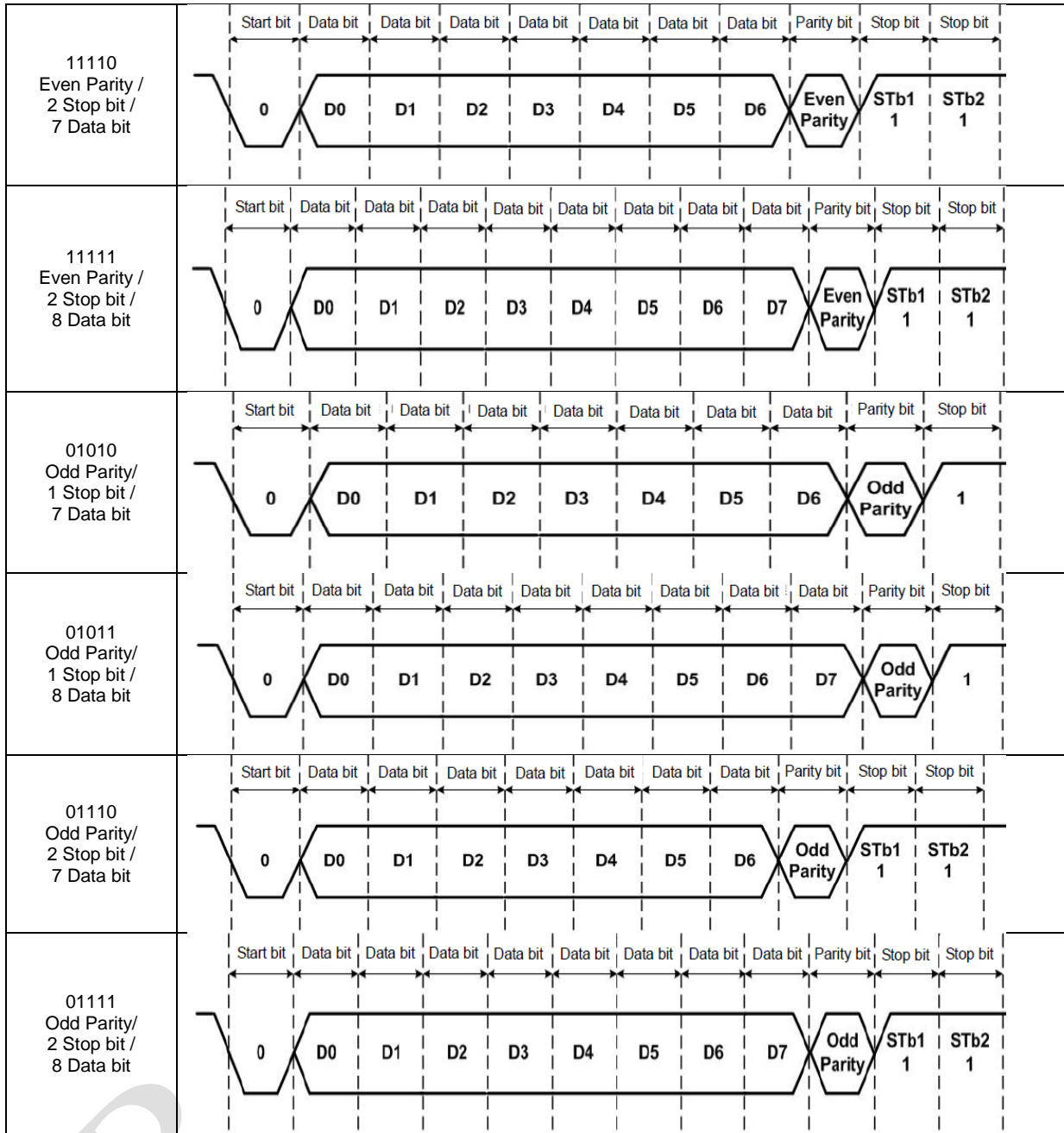


Figure 14-2 UART LCR Register Setting and Serial Data Format

14.3.2 UART Baud Rate

TX/RX Baud Rate 은 아래 식으로 계산된다.

$$UART \text{ Baud Rate} = \frac{f_{PCLK}}{16 \times UDL}$$

UART Divisor Latch Value (UDL) = UDLM[7:0] << 8 + UDLL[7:0]

Table 14-1 UART Baud Rate

f_{PCLK} (MHz)		1.024	2.048	5.6448	11.2896	24.0	48.0	62.0
2400 bps	UDL	27	53	147	294	625	1250	1615
	ERR(%)	1.23	0.63	0.00	0.00	0.00	0.00	0.03
4800 bps	UDL	-	27	74	147	313	625	807
	ERR(%)	-	1.23	0.68	0.00	0.16	0.00	0.04
9600 bps	UDL	-	-	37	74	156	313	404
	ERR(%)	-	-	0.68	0.68	0.16	0.16	0.09
14400 bps	UDL	-	9	25	49	104	208	268
	ERR(%)	-	1.23	2.00	0.00	0.16	0.16	0.03
19200 bps	UDL	-	-	18	37	78	156	202
	ERR(%)	-	-	2.08	0.68	0.16	0.16	0.09
38400 bps	UDL	-	-	9	18	39	78	101
	ERR(%)	-	-	2.08	2.08	0.16	0.16	0.41
57600 bps	UDL	-	-	6	12	26	52	67
	ERR(%)	-	-	2.08	2.08	0.16	0.16	1.07
115200bps	UDL	-	-	3	6	13	26	34
	ERR(%)	-	-	2.08	2.08	0.16	0.16	1.07

*ERR 이 2.2% 이상에서는 UART 동작의 안정성을 보장 받을 수 없다.

UART Fractional Divider Latch Value (FDL) = $\{(float(PCLK/16*BPS)) - (int(PCLK/16*BPS))\} * 64 + 0.5$

Table 14-2 UART Fractional Baud Rate

f_{PCLK} (MHz)		1.024	2.048	5.6448	11.2896	24.0	48.0	62.0
2400 bps	FDL	43	21	0	0	0	0	37
	ERR(%)	0.01	0.00	0.00	0.00	0.00	0.00	0.00
4800 bps	FDL	21	43	32	0	32	0	19
	ERR(%)	0.03	0.01	0.00	0.00	0.00	0.00	0.00
9600 bps	FDL	43	21	48	32	16	32	41
	ERR(%)	0.07	0.03	0.00	0.00	0.00	0.00	0.00
14400 bps	FDL	28	57	32	0	11	21	6
	ERR(%)	0.15	0.01	0.00	0.00	0.00	0.00	0.00
19200 bps	FDL	-	43	24	48	8	16	53
	ERR(%)	-	0.07	0.00	0.00	0.00	0.00	0.00
38400 bps	FDL	-	21	12	24	4	8	58
	ERR(%)	-	0.15	0.00	0.00	0.00	0.00	0.00
57600 bps	FDL	-	14	8	16	3	5	18
	ERR(%)	-	0.15	0.00	0.00	0.01	0.01	0.01
115200bps	FDL	-	-	4	8	1	3	41
	ERR(%)	-	-	0.00	0.00	0.04	0.01	0.01

14.4 Register Summery

Table 14-3 UART Register Summery

Bit No.	DLAB = 0 0x00	DLAB = 0 0x00	DLAB = 0 0x04	DLAB = 0 0x08	DLAB = X 0x08	DLAB = X 0x0C	DLAB = X 0x14	DLAB = 1 0x00	DLAB = 1 0x04
	Receiver Buffer Register	Transmitter Holding Register	Interrupt Enable Register	Interrupt Ident. Register	FIFO Control Register	Line Control Register	Line Status Register	Divisor Latch (LSB)	Divisor Latch (MSB)
	RBR	THR	IER	IIR	FCR	LCR	LSR	DLL	DLM
	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W
0	Data Bit 0	Data Bit 0	Enable Received Data Available Interrupt	"0" if Interrupt Pending	FIFO Enable	Word Length Select Bit 0	Data Ready	Bit 0	Bit 0
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt	Interrupt ID Bit 0	RCVR FIFO Reset	Word Length Select Bit 1	Overrun Error	Bit 1	Bit 1
2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt	Interrupt ID Bit 1	XMIT FIFO Reset	Number of Stop Bits	Parity Error	Bit 2	Bit 2
3	Data Bit 3	Data Bit 3	0	Interrupt ID Bit 2	0	Parity Enable	Framing Error	Bit 3	Bit 3
4	Data Bit 4	Data Bit 4	0	0	Reserved	Even Parity Select	Break Interrupt	Bit 4	Bit 4
5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity	Transmitter Holding Register	Bit 5	Bit 5
6	Data Bit 6	Data Bit 6	0	FIFOs Enabled	RCVR Trigger(LSB)	Set Break	Transmitter Empty	Bit 6	Bit 6
7	Data Bit 7	Data Bit 7	0	FIFOs Enabled	RCVR Trigger(MSB)	Divisor Latch Access Bit (DLAB)	Error in RCVR FIFO	Bit 7	Bit 7
<p>* DLAB = LCR[7](Divisor Latch Access Bit) * FIFO Control Register : - DLAB = 0 : Register Write - DLAB = 1 : Register Read * Address 0x10(0x30), 0x18(0x38), 0x1C(0x3C)는 16550 UART 표준과의 호환성을 위해 Reserved 되었다</p>									

14.5 Register Description

14.5.1 UART Channel Receiver Buffer Registers (UxRB)

Address : 0x8002_0800 / 0x8002_0820

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	R	Receive Buffer Data	-

* DLAB가 "0" 일 때 Access 가능하다.

14.5.2 UART Channel Transmitter Holding Registers (UxTH)

Address : 0x8002_0800 / 0x8002_0820

Bit	R/W	Description	Default Value
31: 8	W	Reserved.	-
7 : 0	W	Transmit Holding Data	-

* DLAB가 "0" 일 때 Access 가능하다.

14.5.3 UART Channel Interrupt Enable Registers (UxIE)

Address : 0x8002_0804 / 0x8002_0824

Bit	R/W	Description	Default Value
31: 3	R	Reserved.	-
2	RW	RLSIEN : Receiver Line Status Interrupt Enable bit 0 : Disable 1 : Enable	0
1	RW	THEIEN : Transmitter Holding Empty Interrupt Enable bit 0 : Disable 1 : Enable	0
0	RW	RDAIEN : Received Data Available Interrupt Enable bit 0 : Disable 1 : Enable	0

* DLAB가 "0" 일 때 Access 가능하다.

14.5.4 UART Channel Interrupt Identification Register (UxII)

Address : 0x8002_0808 / 0x8002_0828

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	R	FIFOST : FIFOs Enabled Status bit. 00 : not in FIFO mode 11 : FIFO mode	00
5 : 4	R	Reserved	0
3 : 0	R	INTID : UART Interrupt ID (Note, UART Interrupt Control Function)	0001

* DLAB가 "0" 일 때만 Read Mode로 Access 가능하다.

Table 14-4 UART Interrupt Control Function

Interrupt Identification Register				Priority Level	Interrupt Type	Interrupt Source	Interrupt Reset Condition
Bit 3	Bit 2	Bit 1	Bit 0				
0	0	0	1	-	None	None	-
0	1	1	0	Highest	Receiver Line Status	Overrun Error or Parity Error Framing Error or Break Interrupt	Reading the Line Status Register
0	1	0	0	Second	Received Data Available	Receiver Data Available or Trigger Level Reached	Reading the Receiver Buffer Register or the FIFO Drops Below the Trigger Level
1	1	0	0	Second	Character Timeout Indication	No Characters have been removed from or input to the RCVR FIFO during the last 4 Char. times, and there is at least 1 Char. in it during this Time	Reading the Receiver Buffer Register
0	0	1	0	Third	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR Register (if source of interrupt) or Writing into the Transmitter Holding Register

14.5.5 UART Channel FIFO Control Register (UxFC)

Address : 0x8002_0808 / 0x8002_0828

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	RW	RFTL : Receiver FIFO Trigger Level 00 : 1 Byte 01 : 4 Byte 10 : 8 Byte 11 : 14 Byte	00
5 : 3	R	Reserved	-
2	RW	XFR : XMIT FIFO Reset XFR가 "1" 일 때, XMIT FIFO 내의 모든 데이터는 Reset 된다. 그러나 Shift Register 내의 데이터는 Reset 되지 않는다.	0
1	RW	RFR : RCVR FIFO Reset RFR가 "1" 일 때, RCVR FIFO 내의 모든 데이터는 Reset 된다, 그러나 Shift Register 내의 데이터는 Reset 되지 않는다.	0
0	RW	FIFOEN : FIFO Enable Bit 0 : 16450 UART Mode1 : Enables FIFO	0

* DLAB가 "0" 일 때는 Write Mode 이고, DLAB가 "1" 일 때는 Read Mode 이다.

14.5.6 UART Channel Line Control Register (UxLC)

Address : 0x8002_080C / 0x8002_082C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	RW	DLAB : Divisor Latch Access Bit DLAB이 "1" 일 때, Divisor Latch Registers의 Read/Write와 FIFO Control Register의 Read가 가능하다.	0
6	RW	SB : Set Break SB가 "1" 일 때, Serial Data Output에 Logic "0"이 출력된다. SB는 내부 Transmitter Logic에는 영향을 미치지 않으며, 단지 Serial Output에만 영향을 미친다.	0
5	RW	SP : Stick Parity 0 : Disables Stick Parity 1 : PEN, EPS, SP가 "1"일 때, Parity Bit "0" PEN, SP가 "1"이고, EPS가 "0" 일 때, Parity Bit "1"	0
4	RW	EPS : Even Parity Select 0 : Select Odd Parity 1 : Select Even Parity	0
3	RW	PEN : Parity Enable Bit 0 : Disables Parity 1 : Enables Parity	0
2	RW	STB : Number of Stop Bit 0 : 1 Stop bit 1 : 2 Stop bits(만약, WLS Bit에서 5 Bits/Character를 선택했다면, 1.5 Stop bits 을 갖는다.)	0
1 : 0	RW	WLS : Word Length Select 00 : 5 Bits/Character 01 : 6 Bits/Character 10 : 7 Bits/Character 11 : 8 Bits/Character	00

14.5.7 UART Channel Line Status Register (UxLS)

Address : 0x8002_0814 / 0x8002_0834

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	R	EIRF : Error in RCVR FIFO FIFO 모드가 아닌 경우 EIRF는 항상 "0"이다. FIFO 모드에서 EIRF는 RCVR FIFO 내에서 OE, PE, FE, BI 중 어느 하나라도 "1"이 설정되면, "1"이 된다. EIRF는 만약 FIFO 내에 연속적인 에러가 없다면, LSR 레지스터를 읽었을 때 Clear("0")된다.	0
6	R	TEMP : Transmitter Empty FIFO 모드가 아닌 경우 TEMT는 Transmitter Holding Register (THR)와 Transmitter Shift Register(TSR)이 모두 Empty일 때 "1"이 된다. THR 또는 TSR에 데이터가 있으면 Clear된다. FIFO 모드 에서는, TEMT는 Transmitter FIFO와 TSR이 모두 Empty일 때 "1"이 된다.	1
5	R	THRE : Transmitter Holding Register Empty FIFO 모드가 아닌 경우 THRE는 THR의 데이터가 TSR로 전송 되어 Empty가 되었을 때 "1"이 되며, THR에 전송을 위한 새로운 데이터를 쓸 수 있다. FIFO 모드에서는 Transmit FIFO가 Empty일 때 THRE가 "1"이 되며, 적어도 하나의 Byte라도 Transmit FIFO에 써지면 Clear된다. 만약 THRE interrupt(ETHREI) 가 "1"이고 THRE가 "1"이라면 Interrupt가 발생한다.	1
4	R	BINT : Break Interrupt : 수신되는 입력 데이터가 Full-word 전송 시간 동안 "0"일 때 BI는 "1"이 된다. Full-word 전송 시간은 Start, Data, Parity 그리고 Stop 비트 전송을 위한 전체 시간을 의미한다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용되며, BI가 발생했을 때 FIFO에는 "0"이 써진다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
3	R	FERR : Framing Error FE는 수신되는 입력 데이터가 유효한 Stop 비트를 가지지 않았을 때 "1"이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
2	R	PERR : Parity Error PE는 수신되는 입력 데이터가 LCR 레지스터에 의해 선택된 Parity 비트와 같지 않을 때 "1"이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
1	R	OERR : Overrun Error OE는, FIFO 모드가 아닌 경우, RBR 내의 데이터를 읽어가기 전에 새로운 데이터가 써진 경우 "1"이 된다. FIFO 모드에서는 FIFO가 Full 상태에서 Receiver Shift Register(RSR)에 새로운 Full-word가 들어왔을 때 "1"이 된다. 이 경우 RSR은 새로운 데이터로 계속 갱신이 되지만, FIFO로 전송은 되지 않는다. CPU가 LSR을 읽어 올 때 Clear 된다	0
0	R	DRDY : Data Ready DR은 수신된 데이터가 RBR 또는 FIFO에 써졌을 때 "1"이 된다. RBR 또는 FIFO 내의 모든 데이터가 CPU에 의해 읽혀졌을 때 Clear 된다.	0

14.5.8 UART Channel Divisor Latch LSB Register (UxDLL)

Address : 0x8002_0800 / 0x8002_0820

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	RW	Divisor Latch Least Significant Byte	0x00

* DLAB가 "1" 일 때 Access 가능하다.

14.5.9 UART Channel Divisor Latch MSB Register (UxDLM)

Address : 0x8002_0804 / 0x8002_0824

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	RW	Divisor Latch Most Significant Byte	0x00

* DLAB가 "1" 일 때 Access 가능하다.

14.5.10 UART Channel Fractional Divider Register (UxFDR)

Address : 0x8002_081C / 0x8002_082C

Bit	R/W	Description	Default Value
7	RW	0: Normal divider baud rate mode 1: Fractional divider baud rate mode	0
6	R	Reserved	-
5:0	RW	Fractional Divider Bit	00000

15 DMA

15.1 Features

- AMBA AHB Specificaiton 과 호환.
- 6 채널 지원. 각 채널 별로 DMA 전송이 가능하다
- 16 포트 DMA Request 지원.
DMAC 는 Peripheral 을 위한 16 포트의 DMA Request 신호를 제공하고 있다.
- Single Request 와 Burst Request 신호를 제공.
Peripheral 에게 제공되는 DMA Request 신호는 Single Request 와 Burst Request 신호 두 종류를 제공하며 두 가지 모두 사용할 수 있다.
- 4가지 DMA 전송 지원.
memory-to-memory, Memory-to-peripheral, peripheral-to-memory peripheral-to-peripheral 전송을 지원한다.
- Auto Reload 기능을 이용한 Scatter 와 Gather 기능을 지원한다.
- Linked list를 이용한 Scatter 와 Gather 기능을 지원한다.
- 채널별 Priority는 하드웨어로 고정되어 있다. 채널 0 가 가장 높은 Priority를 갖고 채널 7이 가장 낮은 Priority를 갖게 된다.
- 2개의 AHB Master를 내장하여 Multi Layer AHB Bus를 지원하고 있다.
- Programmable Burst Size를 제공하고 있다. 사용자는 DMA 전송의 효율성을 높이기 위하여 Burst Size를 설정한다. Burst Size는 Peripheral 안에 있는 FIFO 크기의 절반으로 설정하는 것이 일반적이다.
- 각 채널별로 4 Word FIFO를 내장하고 있다.
- 각 채널별로 분리된 DMA Error Interrupt 와 DMA Terminal Count Interrupt(전송 종료 인터럽트)를 가지고 있다.
- Interrupt Enable 비트 지원.
DMA Error Interrupt 와 DMA Terminal Count Interrupt(전송 종료 인터럽트)에 대한 Enable 비트를 가지고 있다.

15.2 Block Description

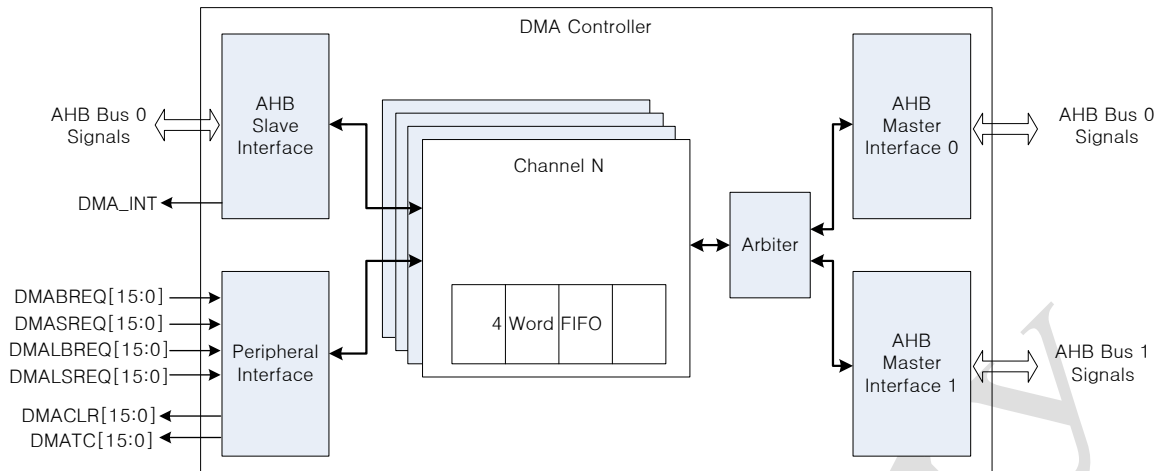


Figure 15-1 DMA Block Diagram

DMA 는 6 개의 채널을 가지고 있다. 각 채널은 Source Peripheral 에서 Destination Peripheral 로 전송되는 단 방향의 데이터 흐름을 제어하며 내부에 4x4 byte FIFO 를 내장하고 있다.

AHB Master Interface 는 채널로부터 들어오는 데이터의 전송 요청을 받아서 AHB Bus 에서 데이터 전송을 수행하는 역할을 한다. 내부에 2 개의 AHB Master Interface 가 내장되어 있어 서로 다른 버스에 연결할 수 있다. 그래서 Source Peripheral 과 Destination Peripheral 이 다른 버스에 연결되어 있더라도 둘 사이의 데이터 전송이 가능하다.

Arbiter 는 각 채널에서 발생하는 데이터 전송 요청을 우선순위에 따라 AHB Master Interface0 또는 AHB Master Interface1 에 전달하며 어느 AHB Master Interface 를 사용할 지는 요청되는 데이터의 Address 에 의해 결정된다.

AHB Slave Interface 는 채널마다 할당되어 있는 레지스터 등을 설정하고 인터럽트를 요청하는 역할을 한다.

Peripheral Interface 는 Peripheral 들이 요청하는 DMA Request 신호를 받아서 각 채널의 Peripheral Selection 비트에 의해 선택된 신호를 해당 채널로 전달하게 된다. 최대 16 개의 DMA Request 신호를 받을 수 있으며 채널 입장에서는 Source DMA Request 신호 와 Destination DMA Request 신호로 구분하여 2 개의 DMA Request 신호를 받을 수 있다

15.3 Functional Description

15.3.1 DMA Operation

- Transfer Hierarchy

DMA 전송은 그림 2 와 같은 3 단계의 계층 구조를 갖는다.

최상위 단계의 전송을 DMA Transfer 라 정의한다. DMA Transfer 전송은 DMA 가 전송하는 전체 데이터의 양을 의미하며 Control 레지스터에 있는 Transfer Size 로 전송량을 결정하게 된다.

차상위 단계 전송을 Burst Transaction 으로 정의한다. Burst Transaction 에서 전송하는 데이터의 양은 Control 레지스터에 있는 Burst Size 로 설정하게 되며 보통 Peripheral 들의 FIFO 크기에 맞추어 설정한다. 일반적인 Peripheral 들은 메모리처럼 필요한 모든 데이터를 한번에 전송하지 못하므로 Peripheral 내부의 FIFO 단위로 쪼개서 전송하게 된다. 한가지 주의할 사항은 여기서 설정하는 Burst size 가 AMBA Burst transfer 의 burst size 가 아니라는 점이다.

최하위 단계 전송은 AMBA Burst Transfer 이다. Burst Transaction 은 AMBA Burst Transfer 단위로 나뉘어진다. 이 단계의 전송에서 사용자가 설정하는 부분은 없으며 하드웨어적으로 관리된다.

사용자는 Burst Size 보다 적은 Transfer Size 값을 설정하는 것이 가능하다. 이러한 경우 Burst Transaction 은 설정된 Transfer size 양만 전송되며 DMA 전송이 종료된다.

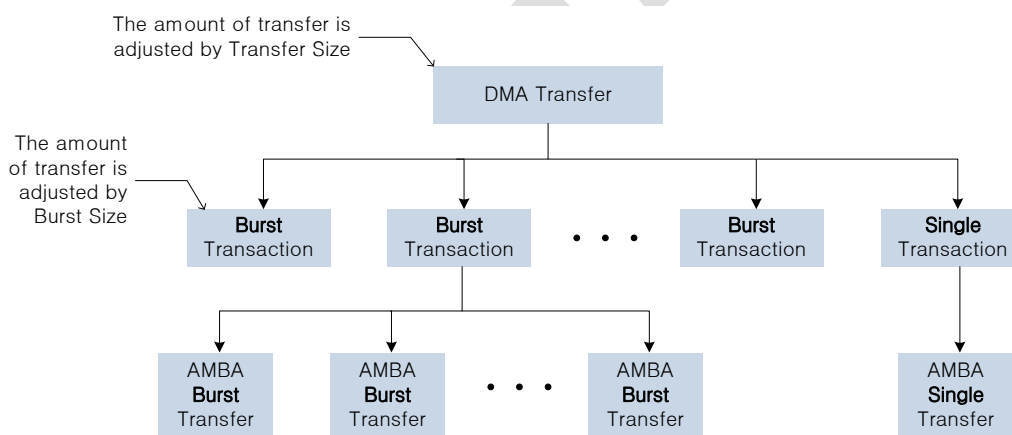


Figure 15-2 DMA Transfer hierarchy

- Transfer type

사용자는 DMA 설정에서 데이터 전송의 종류(Transfer type)를 지정해야 한다. Transfer Type 은 아래의 4 가지 중에 하나가 된다.

1. Memory to Memory
2. Memory to Peripheral
3. Peripheral to Memory
4. Source Peripheral to Destination Peripheral

Memory to Memory 의 의미는 Source Address 가 Memory 이고 Destination Address 도 Memory 로 지정한 경우를 말한다.

Memory to Peripheral 의 의미는 Source Address 는 Memory 이고 Destination Address 는 Peripheral 로 지정한 경우이다. 즉 메모리에 있는 데이터를 Peripheral 의 버퍼 등으로 옮기는 것을 뜻한다.

이렇게 사용자가 Transfer Type 을 지정하는 이유는 handshake 과정이 필요한지 아닌지를 DMA 에게 알려주기 위함이다. DMA 는 메모리가 아닌 Peripheral 과의 데이터 전송을 수행할 때에는 Handshake 방식으로 진행한다. 메모리가 아닌 Peripheral 들은 데이터 전송을 위한 준비 과정과 시간이 필요하며 데이터 전송량도 한정되어 있다. Handshake 방식은 Peripheral 이 데이터가 준비되었을 때만 DMAC 가 데이터를 전송하도록 유도하므로 필요한 방식이다. 하지만 Peripheral 이 메모리인 경우는 언제나 Access 가 가능하므로 이러한 handshake 과정은 필요하지 않다.

따라서 사용자는 Transfer type 을 지정하여 Peripheral 과의 데이터 전송에서 handshake 방식이 필요한지 아닌지를 알려주어야 한다.

- **Flow Controller**

Flow controller 란 DMA 전송량을 결정하는 모듈을 말한다. Flow Controller 는 DMAC 또는 Peripheral 중에 하나로 정해진다. 만약 DMAC 가 Flow controller 가 되면 DMA 전송량은 Transfer Size 에 설정된 값으로 결정된다.

또한 Peripheral 이 Flow Controller 역할을 할 수 있다. 이러한 경우 DMAC 는 Peripheral 의 Request 신호에 맞추어 데이터를 전송하게 하게 되며 Transfer size 에 설정된 값들은 무시된다. DMA 전송을 종료하기 위해서는 마지막 데이터를 요구할 때 Last Request 신호를 보내면 된다. DMAC 가 Last Request 신호를 받게 되면 마지막 요청에 대한 데이터 전송을 수행한 후에 DMA 전송이 종료된다.

15.3.2 Linked List Operation

- **LLI**

LLI(Linked List Item)는 DMA 전송을 위해 필요한 기본적인 정보들을 담고 있는 배열이다. LLI 가 담고 있는 내용은 Source Address, Destination Address, Next LLI Address, Control 정보 이렇게 4 가지 이다. Linked List Operation 은 DMAC 가 첫 번째 LLI 를 읽어서 내부 레지스터들을 갱신한 후 DMA 전송을 수행하고 종료되면 Next LLI 주소를 통해 다음 번 LLI 를 읽어 들이는 방식으로 동작한다. 아래의 그림은 LLI 의 구조를 설명하는 그림이다.

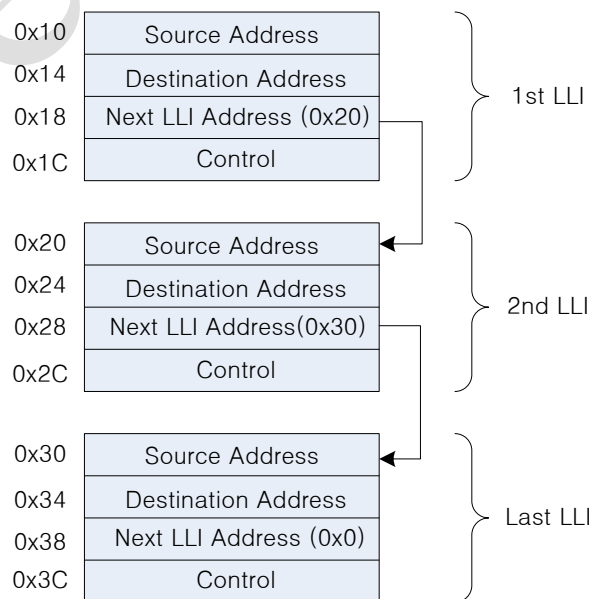


Figure 15-3 Linked list

마지막 LLI 는 항상 Next LLI Address 에 0x0 을 쓰도록 약속되어 있다. DMAC 는 Next LLI Address 가 0x0 임을 확인하면 현재 읽은 LLI 가 마지막임을 알게 된다. 그러므로 LLI 가 실제 주소 0x0 에 놓이면 수행되지 않으므로 주의해야 한다.

- Multi Block Transfer

LLI 로 기술되어 있는 데이터를 전송하는 경우를 Multi Block Transfer 라고 부르기도 한다. 즉 하나의 LLI 가 전송하는 데이터를 Block 이라고 정의하며 LLI 의 개수는 Block 의 개수가 된다. 또한 Block 사이즈는 각각의 LLI 에 포함된 Control 레지스터의 Transfer Size 로 정의된다. 아래의 그림은 Multi Block Transfer 에 대한 계층 구조를 보여주고 있다.

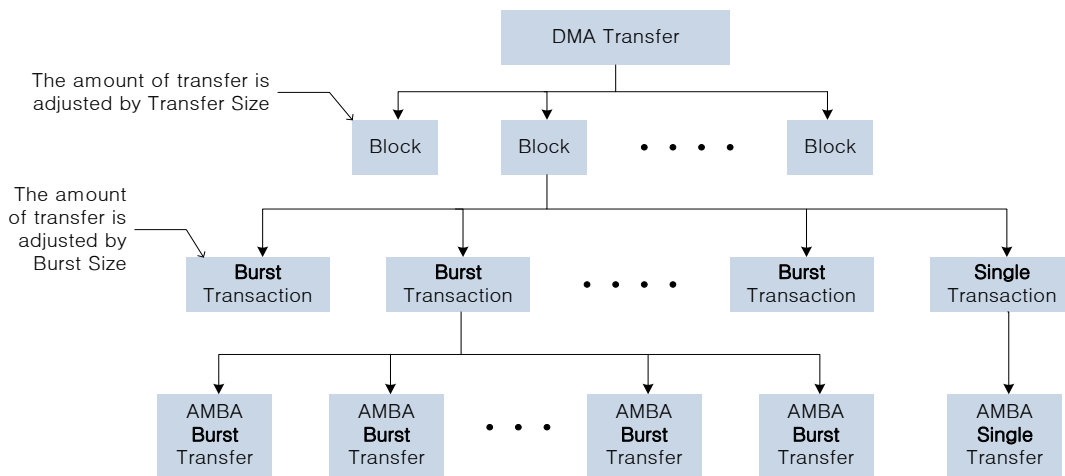


Figure 15-4 Multi Block Transfer

Preliminary

- Scatter & Gather with Liked list

Scatter 는 한 덩어리로 모여있는 데이터를 DMA 전송을 통하여 분산시키는 것을 의미하며 Gather 는 그 반대의 의미로써 흩어져있는 데이터를 한 군데로 모으는 것을 말한다. LLI 를 이용하면 Scatter 와 Gather 기능을 수행할 수 있다.

아래의 그림은 LLI 를 사용하여 Gather 기능을 수행하는 예를 보여준다. 예제의 LLI 의 내용은 그림처럼 사각형 형태로 저장된 데이터를 Peripheral 로 옮기는 Gather 작업을 수행하고 있다.

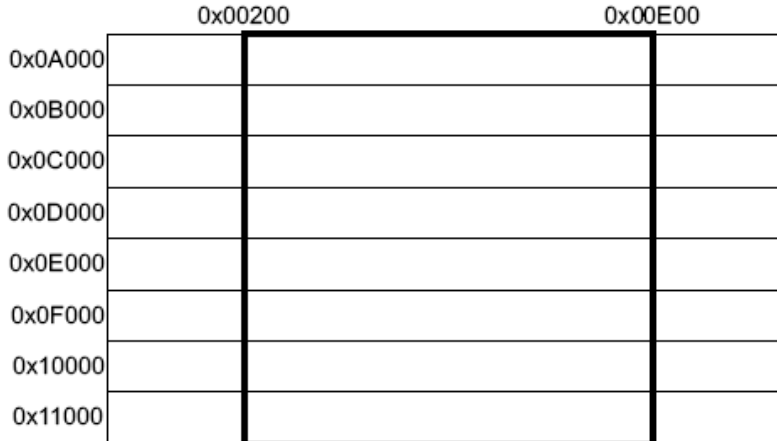


Figure 15-5 Gathering by using LLI

LLI 의 위치는 0x20000 에서 시작한다.

첫 번째 LLI 내용

Source Address: 0x0A200
 Destination Address: Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x20010

두 번째 LLI 내용

Source Address: 0x0B200
 Destination Address : Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x20020

⋮

마지막 LLI 내용

Source Address: 0x11200
 Destination Address: Peripheral Address
 Source and Destination transfer width: 8bit
 Source and Destination burst Size: 16 burst
 Transfer Size: 3072 byte, 0xC00
 Next LLI Address: 0x0

15.3.3 Auto Reload Operation

Auto Reload Operation 의 기본 동작은 DMA 전송이 완료되었을 때 Control 레지스터를 다시 Reload 하여 DMA 전송을 반복하는 것이다. 반복 회수는 Auto Reload count 레지스터 값으로 정하게 된다. Auto Reload 가 1 회 발생할 때 Auto Reload Count 값이 1 씩 감소하며 0 이 되면 Auto Reload 는 발생하지 않는다. Auto Reload Operation 은 별도의 모드 설정이 없으며 DMA 전송이 완료되었을 때 Auto Reload Count 레지스터가 0 이 아니면 Auto Reload 를 수행하는 방식이다.

- Transfer Hierarchy

Auto Reload Operation 은 Linked List Operation 처럼 Multi Block Transfer 로 분류된다. Block 의 개수는 Auto Reload count + 1 이 되고 Block 의 데이터 전송량은 Transfer size 로 설정된다.

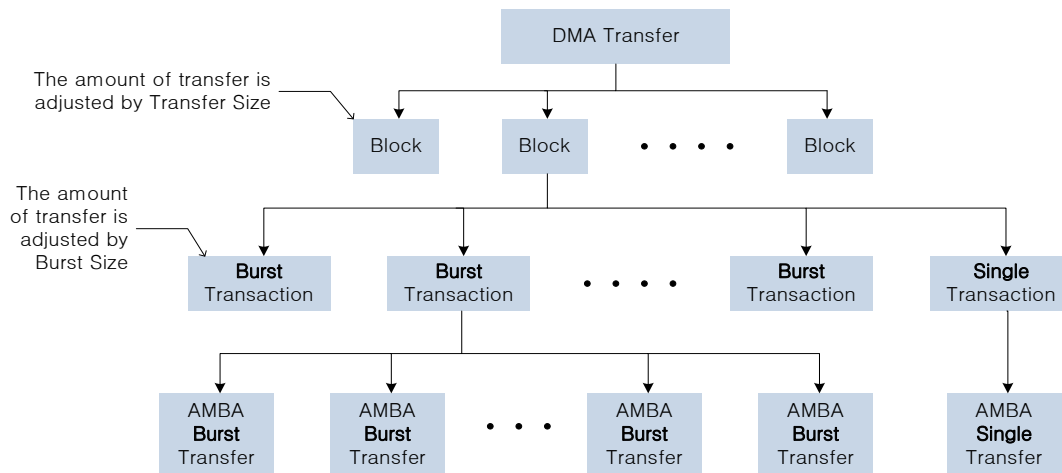


Figure 15-6 Auto Reload Operation Transfer Hierarchy

- Scatter with Auto reload

아래의 그림은 Auto Reload Operation 을 통하여 Scatter 기능을 보여주는 예제이다. Destination Scatter Address 는 Block 전송이 완료될 때마다 Destination Block 의 시작 주소를 일정 간격으로 띄우는 역할을 한다. 사용자는 이 레지스터를 통하여 Destination Block 간의 간격을 둠으로써 Scatter 기능을 구현하게 된다.

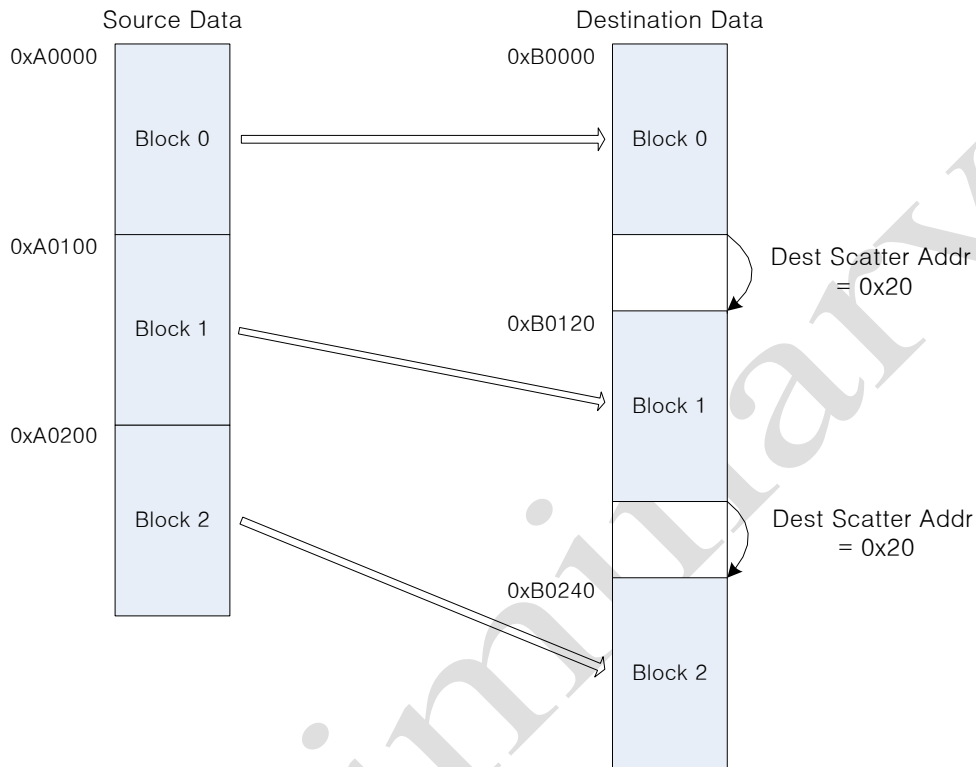


Figure 15-7 Scatter with Auto Reload Operation

레지스터 설정

Source Address: 0xA0000
 Destination Address: 0xB0000
 Source and Destination transfer width: 32bit
 Source and Destination burst Size: 4 burst
 Transfer Size: 0x40
 Auto Reload Count: 2
 Destination scatter Address: 0x20

- Gather with Auto reload

아래의 그림은 Auto Reload Operation 을 사용한 Gather 기능을 보여주는 예제이다. Source Gather Address 는 블록 전송이 완료될 때마다 Source 블록의 시작 주소를 일정 간격으로 띄우는 역할을 한다. 사용자는 이 레지스터를 통하여 Source Block 간의 간격을 둬으로써 Gather 기능을 구현하게 된다.

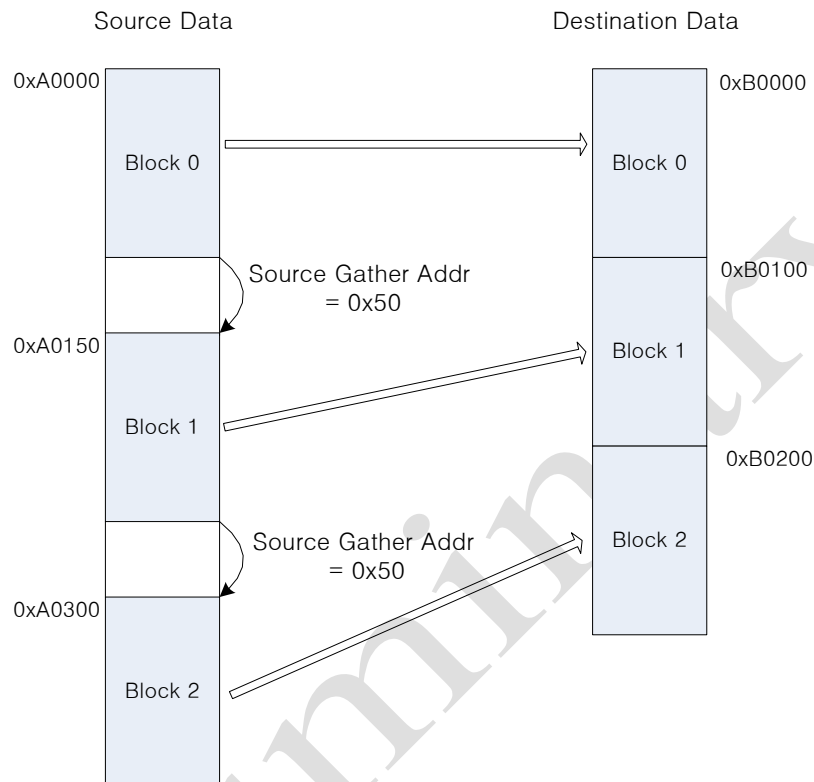


Figure 15-8 Gather with Auto Reload Operation

Register 설정

Source Address: 0xA0000
 Destination Address: 0xB0000
 Source and Destination transfer width: 32bit
 Source and Destination burst Size: 4 burst
 Transfer Size: 0x40
 Auto Reload Count: 2
 Source gather Address: 0x50

15.3.4 Peripheral Interface

- Hand Shake Signals

DMA Request 신호와 DMA Clear 신호는 DMA 가 메모리가 아닌 Peripheral 과의 데이터 전송에서 Handshake 방식으로 데이터를 전송하는 데 사용하는 신호이다.

DMA Request 신호는 Peripheral 이 DMAC 에게 데이터 전송을 요청할 때 사용하는 신호이며 4 가지가 있다. (아래의 그림 참조) Peripheral 은 이중 하나를 선택하여 Request 를 하며 동시에 여러 개를 Request 하는 것은 허용하지 않는다.

DMA Clear 신호는 DMA Request 신호에 대한 응답으로 DMAC 가 Peripheral 에 보내는 신호이다.

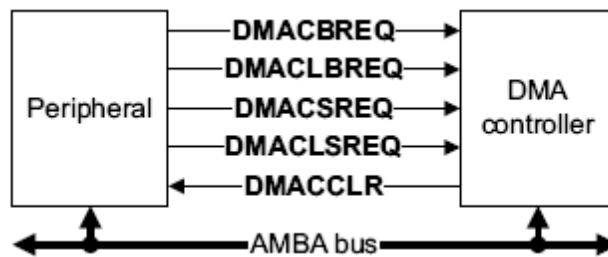


Figure 15-9 DMA Handshake Signals

- DMABREQ
Burst Request 신호. 이 신호가 Active 되면 DMAC 에 의해 Burst Transaction 이 발생하며 전송되는 데이터의 양은 Burst Size 에서 정해진다.
- DMASREQ
Single Request 신호. 이 신호는 Active 되면 DMAC 에 의해 Single Transaction 이 발생한다.
- DMALBREQ
Last Burst Request 신호. Peripheral 이 Flow Control 을 역할을 하도록 설정하였을 때 마지막 DMA Burst Request 신호임을 알리는 신호이다. DMALBREQ 신호가 Active 되면 마지막 Burst Transaction 이 발생하고 DMA 전송이 종료된다.
- DMALSREQ
Last Single Request 신호. Peripheral 이 Flow Control 을 역할을 하도록 설정하였을 때 마지막 DMA Single Request 신호임을 알리는 신호이다. DMALSREQ 신호가 Active 되면 마지막 Single Transaction 이 발생하고 DMA 전송이 종료된다.
- DMACLR
DMA Clear 신호. Peripheral 이 요청하는 4 가지 Request 신호를 inactive 시키는 신호이다.

- Time diagram of DMA Request

Peripheral 이 Request 를 보내면 DMAC 는 Program 된 Burst Size 만큼 데이터를 전송한 후에 DMA Clear 신호를 보내게 된다. 이때 모든 전송이 종료된 경우에는 DMATC(DMA Terminal Count: DMA 전송 종료) 신호도 동시에 Active 된다. 이 신호를 통하여 Peripheral 은 DMA 전송이 종료 되었는지 체크 할 수 있다.

Peripheral 이 DMA Clear (DMACLR)신호를 받게 되면 DMA Request 신호를 Inactive 상태로 만들게 된다. 만약 DMA Clear 신호가 오기 전에 Peripheral 스스로 DMA Request 신호를 Inactive 상태로 만들면 문제가 발생하게 된다. 또한 Next DMA Request 신호를 보낼 때에는 현재 DMA Clear 신호가 Inactive 상태일 때만 가능하다.

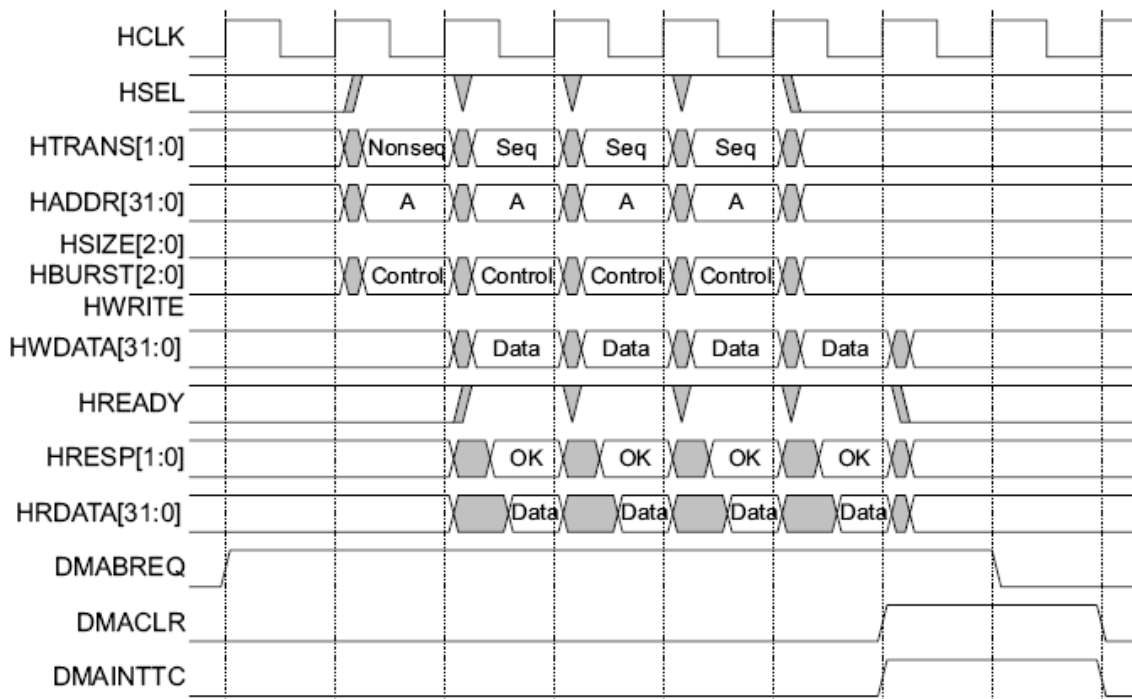


Figure 15-10 Time Diagram of DMA Request

15.4 Register Description

15.4.1 DMA Interrupt Status (DMAIntStatus)

Address: 8000_1400

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Interrupt Status of Channel 각 채널에서 발생할 수 있는 Interrupt의 발생 유무를 알려준다. ex) 0번 비트가 set 인 경우 0번 채널 인터럽트 발생 1번 비트가 set 인 경우 1번 채널 인터럽트 발생 인터럽트는 2종류가 있으므로 DMATCIS와 DMATCIC를 읽어서 인터럽트의 종류를 확인해야 한다.	0

15.4.2 DMA Terminal Count Interrupt Status (DMATCIntStatus)

Address: 8000_1404

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Terminal Count Interrupt Status of Channel 각 채널의 Terminal Count 인터럽트 발생 유무를 알려준다.	0

15.4.3 DMA Terminal Count Interrupt Clear (DMATCIntClr)

Address: 8000_1408

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Terminal Count Interrupt Clear 각 비트는 해당 채널의 Terminal count 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

15.4.4 DMA Error Interrupt Status (DMAErrorIntStatus)

Address: 8000_140C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Error Interrupt Status of Channel 각 채널의 DMA 전송 에러 인터럽트에 대한 발생 유무를 알려준다.	0

15.4.5 DMA Error Interrupt Clear (DMAErrorIntClr)

Address: 8000_1410

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Error Interrupt Clear 각 비트는 해당 채널의 DMA 전송 에러 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

15.4.6 DMA Block Interrupt Status (DMABlockIntStatus)

Address: 8000_1414

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Block Interrupt Status of Channel 각 채널의 DMA Block 인터럽트에 대한 발생 유무를 알려준다.	0

15.4.7 DMA Block Interrupt Clear (DMABlockIntClr)

Address: 8000_1418

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	W	Block Interrupt Clear 각 비트는 해당 채널의 DMA Block 인터럽트를 Clear 하는 역할을 한다. Set 하게 되면 해당 채널의 인터럽트가 Clear 된다.	0

15.4.8 DMA Raw Terminal Count Interrupt Status (DMARawTCIntStatus)

Address: 8000_141C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Raw Terminal Count Interrupt Status of Channel Interrupt Enable 비트로 Disable 된 각 채널의 Terminal Count 인터럽트가 발생되었는지를 알려준다	0

15.4.9 DMA Raw Error Interrupt Status (DMARawErrorIntStatus)

Address: 8000_1420

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Error Interrupt Status of Channel Interrupt Enable 비트로 Disable 된 각 채널의 에러 인터럽트에 대한 발생 유무를 알려준다.	0

15.4.10 DMA Enabled Channel Status (DMAEnbldChn)

Address: 8000_1424

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	Enabled Channel Status 각 비트는 해당 채널의 DMA 가 Enable 되어 있는지를 알려준다.	0

15.4.11 DMA Software Burst Request (DMASoftBReq)

Address: 8000_1428

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Burst Request 소프트웨어적으로 DMA Burst Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear 는 자동으로 이루어진다.	0

15.4.12 DMA Software Single Request (DMASoftSReq)

Address: 8000_142C

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Single Request 소프트웨어적으로 DMA Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

15.4.13 DMA Software Last Burst Request (DMASoftLBReq)

Address: 8000_1430

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Last Burst Request 소프트웨어적으로 DMA Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Burst Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

15.4.14 DMA Software Last Single Request (DMASoftLSReq)

Address: 8000_1434

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	
15 : 0	RW	Software Last Single Request 소프트웨어적으로 DMA Last Single Request 신호를 생성하는 레지스터이다. 해당비트에 1을 쓰게 되면 DMA Last Single Request 신호가 생성되면 Clear는 자동으로 이루어진다.	0

15.4.15 Channel Source Address Register (ChnSrcAddr)

Address: 8000_1500 / 8000_1520 / 8000_1540 / 8000_1560
8000_1580 / 8000_15A0

Bit	R/W	Description	Default Value
31 : 0	RW	Source Address 각 채널의 Source Address를 설정하는 레지스터이다. 또한 설정된 값은 Source transfer Width에 따라 Align이 맞아야 한다. Source Address는 채널에서 데이터 전송이 진행됨에 따라 자동으로 증가한다. 그래서 이 레지스터는 언제나 앞으로 전송해야 할 데이터의 Address를 지시하고 있게 된다. 하지만 해당 채널이 동작중인 상태에서 이값을 읽는 것은 의미가 없다. 왜냐하면 프로그램이 Read 하는 순간 에도 채널은 계속 진행하고 있기 때문이다. 다만 해당 채널이 종료된 후 이 레지스터를 체크하면 읽어야 할 데이터가 모두 읽었는지는 확인해볼 수 있다.	0

15.4.16 Channel Destination Address Register (ChnDstAddr)

Address: 8000_1504 / 8000_1524 / 8000_1544 / 8000_1564
8000_1584 / 8000_15A4

Bit	R/W	Description	Default Value
31 : 0	RW	Destination Address 각 DMA 채널의 Destination Address를 설정하는 레지스터이다. 또한 설정된 값은 Destination transfer Width에 따라 Align이 맞아야 한다. Destination Address는 채널에서 데이터 전송이 진행됨에 따라 자동으로 증가한다. 그래서 이 레지스터는 언제나 앞으로 전송되는 데이터가 저장되는 주소를 지시하고 있게 된다. 하지만 채널이 동작 중인 상태에서 이 값을 읽는 것은 의미가 없다. 왜냐하면 프로그램이 Read 하는 순간 해당 채널은 계속 진행되고 있기 때문이다. 다만 채널이 종료된 후 이 레지스터를 체크하면 읽어야 할 데이터가 모두 읽었는지는 확인해 볼 수 있다.	0

15.4.17 Channel Linked List Item Register (ChnLLI)

Address: 8000_1508 / 8000_1528 / 8000_1548 / 8000_1568
8000_1588 / 8000_15A8

Bit	R/W	Description	Default Value
31 : 2	RW	Linked List Item Address 각 DMA 채널의 첫 번째 Linked List Item 이 위치한 곳의 시작 주소를 지정하는 레지스터이다. 이 레지스터가 0x0이 아닌 값으로 설정되고 채널이 Enable 되면 DMAC는 이 주소에 위치한 첫 번째 Linked List Item 을 Load 하여 내부 레지스터들을 갱신하고 Linked List Operation을 수행한다. Default Value는 Linked List Operation이 수행하지 않는다.	0
1 : 0	R	Reserved	0

15.4.18 Channel Control Register (ChnCntrl)

Address: 8000_150C / 8000_152C / 8000_154C / 8000_156C
8000_158C / 8000_15AC

Bit	R/W	Description	Default Value
31 : 30	R	Reserved	-
29	RW	Destination Increment 설정되면 Destination 어드레스가 데이터 전송에 따라 자동으로 증가한다	0
28	RW	Source Increment 설정하게 되면 Source 어드레스가 데이터 전송에 따라 자동으로 증가한다	0
26 : 24	RW	Destination transfer width 000 : 8bit 100 : Reserved 001 : 16bit 101 : Reserved 010 : 32bit 110 : Reserved 011 : Reserved 111 : Reserved Destination 측 data width를 설정하는 비트이다. Source transfer width와 다르게 설정하는 것이 가능하다. 만약 Destination transfer width < Source transfer width 인 경우 Transfer size 설정에 주의한다. (Program Consideration 참조)	0
23	R	Reserved	
22 : 20	RW	Source transfer width 000 : 8bit 100 : Reserved 001 : 16bit 101 : Reserved	0

		010 : 32bit 110 : Reserved 011 : Reserved 111 : Reserved Source 에서 전송하는 data width를 설정하는 비트이다.	
19	R	Reserved	
18 : 16	RW	Destination burst size 000 : 1 100 : 32 001 : 4 101 : 64 010 : 8 110 : 128 011 : 16 111 : 256 Destination 측 Peripheral 에서 수행하는 Burst Transaction 의 크기를 지정한다. AHB Burst Size와 유사하나 그것을 포함하는 상위 레벨의 Transaction 이다. (Transfer Hierarchy 참조) Destination이 Memory인 경우에도 동일한 Burst size로 접근한다.	0
15	R	Reserved	
14 : 12	RW	Source burst size 000 : 1 100 : 32 001 : 4 101 : 64 010 : 8 110 : 128 011 : 16 111 : 256 Source측 Peripheral에서 수행하는 Burst Transaction의 크기를 지정한다 AHB Burst Size와 유사하나 그것을 포함하는 상위 레벨의 Transaction 이다. (Transfer Hierarchy 참조) Source가 Memory인 경우에도 동일한 Burst Size로 접근한다.	0
11 : 0	RW	Transfer Size DMAC가 Flow Control 역할을 할 때 DMA 채널이 전송하는 데이터의 전체 양을 의미한다. 전송 단위는 Byte가 아니고 Source Transfer Width 가 된다. 즉 전체 전송량을 계산식은 다음과 같다 $(\text{Transfer size}) \times (\text{source transfer width})$ 이 값은 사용자가 설정한 값에서 데이터 전송이 수행 될 때마다 1씩 줄어들게 되고 0 이 되면 DMA 전송이 종료된다. 따라서 DMA 전송 중에 이 값을 읽게 되면 앞으로 전송 종료까지 남은 데이터의 양을 확인할 수 있다. DMAC 가 Flow Controller 가 아닌 경우 이 값은 무시되지만 Program에 서는 이 값을 0으로 설정해야 한다.	000

15.4.19 Channel Configuration Register (ChnCfg)

Address: 8000_1510 / 8000_1530 / 8000_1550 / 8000_1570
8000_1590 / 8000_15B0

Bit	R/W	Description	Default Value																											
31 : 22	R	Reserved	0																											
21	RO	FIFO Active 0 : 해당 채널의 FIFO 내에 데이터가 비어있음 1 : 해당 채널의 FIFO 내에 데이터가 남아있음	-																											
20	RW	Halt 0 : enable DMA request 1 : ignore DMA request. 사용자는 이 비트를 사용하여 FIFO에 아무런 데이터도 남기지 않고 깨끗하게 DMA 채널을 Disable 할 수 있다.	0																											
19	RW	Lock 이 비트를 설정하면 Locked transfer를 수행하게 된다	0																											
18	RW	Block Interrupt Enable Multi Block Transfer 전송에서 Block 전송을 끝냈을 때 발생하는 인터럽트에 대한 Enable 비트이다. Block Interrupt 가 발생하면 DMA는 Block Interrupt가 Clear 될 때까지 Next Block 전송을 진행하지 않는다.	0																											
17	RW	Terminal count interrupt Enable DMA 전송 종료 인터럽트에 대한 Enable 비트이다..	0																											
16	RW	Interrupt error Enable DMA Error 인터럽트에 대한 Enable 비트이다.	0																											
15	R	Reserved	0																											
14 : 12	RW	Flow Control <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>Value</th> <th>Transfer type</th> <th>Flow controller</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>Memory-to-Memory (Default)</td> <td>DMA</td> </tr> <tr> <td>001</td> <td>Memory-to-Peripheral</td> <td>DMA</td> </tr> <tr> <td>010</td> <td>Peripheral-to-Memory</td> <td>DMA</td> </tr> <tr> <td>011</td> <td>Source peripheral-to-destination peripheral</td> <td>DMA</td> </tr> <tr> <td>100</td> <td>Source peripheral-to-destination peripheral</td> <td>Dst. Peri.</td> </tr> <tr> <td>101</td> <td>Memory-to-Peripheral</td> <td>Peripheral</td> </tr> <tr> <td>110</td> <td>Peripheral-to-Memory</td> <td>Peripheral</td> </tr> <tr> <td>111</td> <td>Source peripheral-to-Destination peripheral</td> <td>Src. Peri.</td> </tr> </tbody> </table> This bit determines both Transfer type and Flow Controller.	Value	Transfer type	Flow controller	000	Memory-to-Memory (Default)	DMA	001	Memory-to-Peripheral	DMA	010	Peripheral-to-Memory	DMA	011	Source peripheral-to-destination peripheral	DMA	100	Source peripheral-to-destination peripheral	Dst. Peri.	101	Memory-to-Peripheral	Peripheral	110	Peripheral-to-Memory	Peripheral	111	Source peripheral-to-Destination peripheral	Src. Peri.	0
Value	Transfer type	Flow controller																												
000	Memory-to-Memory (Default)	DMA																												
001	Memory-to-Peripheral	DMA																												
010	Peripheral-to-Memory	DMA																												
011	Source peripheral-to-destination peripheral	DMA																												
100	Source peripheral-to-destination peripheral	Dst. Peri.																												
101	Memory-to-Peripheral	Peripheral																												
110	Peripheral-to-Memory	Peripheral																												
111	Source peripheral-to-Destination peripheral	Src. Peri.																												
11 : 8	RW	Destination Peripheral 16 개의 DMA Request 중 하나를 선택하는 비트이다. 0000: NAND Flash TX 0001: SDHC 0010: Reserved 0011: Reserved 0100: USB Device Bulk In 0101: Mixer Play CH0 0110: Mixer Play CH1 0111: Mixer Play CH2 1000: Mixer Play CH3 1001: Reserved 1010: ADC 1011: TIMER REQ[0] 1100: TIMER REQ[1] 1101: SPI_LCD 1110: Reserved 1111: Reserved	0																											
7 : 4	RW	Source Peripheral 16 개의 DMA Request 중 하나를 선택하는 비트이다. 0000: Reserved 0001: SDHC 0010: NAND Flash RX 0011: USB Device Bulk out 0100: Reserved 0101: Mixer Play CH0 0110: Mixer Play CH1 0111: Mixer Play CH2 1000: Mixer Play CH3 1001: Reserved 1010: ADC 1011: TIMER REQ[0] 1100: TIMER REQ[1] 1101: SPI_LCD 1110: Reserved 1111: Reserved	0																											
3 : 1	R	Reserved	0																											
0	RW	Channel Enable 채널을 활성화 시키는 비트이다. 사용자가 DMA 전송을 시작하기 위해 이 비트를 Set 하게 되면 설정한 대로 데이터 전송이 시작되고 모든 전	0																											

		<p>송이 완료되면 자동으로 Clear 된다.</p> <p>Auto Clear 조건은 다음과 같다.</p> <ul style="list-style-type: none"> - 일반 DMA 전송의 완료 - Linked List Operation 완료 - Auto Reload Operation 완료 - Error 발생에 의한 종료 <p>사용자는 활성화 되어 있는 채널을 강제로 종료할 수도 있다. 강제 종료는 Enable 비트를 clear 하면 된다. 하지만 채널 FIFO에 남아있는 데이터는 사라지게 된다.</p>	
--	--	--	--

15.4.20 Channel Source Gather Address Register (ChnSrcGaAddr)

Address: 8000_1514 / 8000_1534 / 8000_1554 / 8000_1574
8000_1594 / 8000_15B4

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	RW	Auto Reload Source Address	
		이 비트가 설정되면 Auto Reload 발생시 Source Address 가 초기 설정했던 Source Address로 Reload 된다.	
15 : 0	RW	Source Gather Address	0
		Auto Reload가 수행될 때 Source Address에 Source Gather Address 가 더해진다.	

15.4.21 Channel Destination Scatter Address Register (ChnDstScaAddr)

Address: 8000_1518 / 8000_1538 / 8000_1558 / 8000_1578
8000_1598 / 8000_15B8

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	RW	Auto Reload Destination Address	
		Auto Reload가 수행될 때 Destination Address 가 초기 설정했던 값으로 Reload 된다.	
15 : 0	RW	Destination Scatter Address	0
		Auto Reload가 수행될 때 Destination Address에 Destination Scatter Address가 더해진다.	

15.4.22 Channel Auto Reload Count Register (ChnAutoReloadCnt)

Address: 8000_151C / 8000_153C / 8000_155C / 8000_157C
8000_159C / 8000_15BC

Bit	R/W	Description	Default Value
31 : 22	R	Reserved	-
21	RW	Uncountable Auto Reload	
		설정하게 되면 Auto Reload Count의 값과 상관없이 Auto Reload가 무제한 이루어진다.	
20 : 0	RW	Auto Reload Count	0
		사용자는 이곳에 Auto Reload 회수를 설정하여 DMA 전송을 반복한다. Auto Reload count는 설정된 값에서 Block 전송이 완료되었을 때 (Transfer Size가 0이 되었을 때) 1씩 줄어들며 Auto reload count가 0이 되면 Auto Reload Operation이 종료된다.	

15.5 Program Guide

15.5.1 Summary of Register

Name	Address	Type	Description
DMAIntStatus	0x000	R	DMA Interrupt Status
DMATCIntStatus	0x004	R	DMA Terminal Count Interrupt Status
DMATCIntClr	0x008	W	DMA Terminal Count Interrupt Clear
DMAErrorIntStatus	0x00C	R	DMA Error Interrupt Status
DMAErrorIntClr	0x010	W	DMA Error Interrupt Clear
DMABlockIntStatus	0x014	R	DMA Block Interrupt Status
DMABlockIntClr	0x018	W	DMA Block Interrupt Clear
DMARawTCIntStatus	0x01C	R	DMA Raw Terminal Count Interrupt Status
DMARawErrorIntStatus	0x020	W	DMA Raw Error Interrupt Status
DMAEnbldChns	0x024	R	DMA Enabled Channels
DMASoftBReq	0x028	RW	DMA Software Burst Request
DMASoftSReq	0x02C	RW	DMA Software Single Request
DMASoftLBReq	0x030	RW	DMA Software Last Burst Request
DMASoftLSReq	0x034	RW	DMA Software Last Single Request
ChnSrcAddr	0x100	RW	Channel Source Address
ChnDestAddr	0x104	RW	Channel Destination Address
ChnLLI	0x108	RW	Channel Linked List Item
ChnCntrl	0x10C	RW	Channel Control
ChnCfg	0x110	RW	Channel Configuration
ChnSrcGaAddr	0x114	RW	Channel Source Gather Address
ChnDestScatAddr	0x118	RW	Channel Destination Scatter Address
ChnAutoReloadCnt	0x11C	RW	Channel Auto Reload Count

15.5.2 Programming Sequence

- **DMA Operation (Memory to Memory)**
- 사용할 채널을 선택
- 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
- 해당 채널의 Destination Address 설정 (ChnDstAddr 레지스터)
- 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntrl 레지스터)
- 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntrl 레지스터)
- 해당 채널의 Transfer size(DMA 전송량)를 설정 (ChnCntrl 레지스터)
- 해당 채널을 Enable 함 (ChnCfg 레지스터)
- 전송 완료를 확인 (DMAEnbldChns 레지스터)
- 종료

- **DMA Operation (Memory to Peripheral)**
- 사용할 채널을 선택
- 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
- 해당 채널의 Destination Address 설정, Peri의 주소 (ChnDstAddr 레지스터)
- 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntrl 레지스터)
- 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntrl 레지스터)
- 해당 채널의 Transfer size(DMA 전송량)를 설정 (ChnCntrl 레지스터)
- 해당 채널의 Transfer Type 지정 (ChnCfg 레지스터)
- 해당 채널을 Enable 함 (ChnCfg 레지스터)
- 전송 완료를 확인 (DMAEnbldChns 레지스터)
- 종료

- **Linked List Operation (Memory to Memory)**

Linked List Item은 미리 준비되어 있다고 가정한다.

1. 사용할 채널을 선택
2. 첫 번째 LLI 의 주소를 지정 (ChnLLI 레지스터)
3. 해당 채널을 Enable 함 (ChnCfg 레지스터)
4. 전송 완료를 확인 (DMAEnbldChns 레지스터)
5. 종료

- **Auto Reload Operation Program (Memory to Memory)**

- 사용할 채널을 선택
- 해당 채널의 Source Address 설정 (ChnSrcAddr 레지스터)
- 해당 채널의 Destination Address 설정 (ChnDstAddr 레지스터)
- 해당 채널의 Source 와 Destination의 Transfer Width 설정 (ChnCntl 레지스터)
- 해당 채널의 Source 와 Destination의 Burst Size 설정 (ChnCntl 레지스터)
- 해당 채널의 DMA 전송량을 지정 (ChnCntl 레지스터)
- 해당 채널의 Auto Reload Count 설정 (ChnAutoReloadCnt 레지스터)
- 해당 채널을 Enable 함 (ChnCfg 레지스터)
- 전송 완료를 확인 (DMAEnbldChns 레지스터)
- 종료

15.5.3 Program Consideration

사용자 프로그램은 다음과 같은 고려 사항을 반영되어야 한다.

1. 채널이 Enable된 후에는 채널의 레지스터들을 변경하지 말아야 한다. 채널이 Enable되면 DMA 전송이 진행 중이므로 전송 도중 레지스터 값 변경은 문제를 발생시킬 수 있다. 따라서 사용자가 채널의 레지스터들을 변경 하기 위해서는 채널이 Disable 상태인지 확인한 후에 설정해야 한다.
2. Source transfer width 가 Destination transfer width 보다 작은 경우 DMA 전송량은 Destination transfer width 의 배수가 되도록 설정해야 한다. 왜냐하면 DMA 전송량은 Source측에서 Read하는 데이터의 양(Source width x Transfer size)으로 계산되는데 DMA 전송량이 Destination width x N으로 되지 못하면 Destination으로 Write하는 데이터 양이 부족하거나 남을 수 있기 때문이다.
3. Linked List Item은 0x0 번지에 위치할 수 없다.

16 LOCAL MEMORY CONTROLLER

16.1 Register Description

16.1.1 SDRAM Control Register (MEMCON)

Address : 0x8000_0400

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R	Reserved	-
7 : 6	R/W	Row Address Line Number 00 : 11 bit 01 : 12 bit 10 : 13 bit 11 : 14 bit	11b
5 : 4	R/W	Column Address Line Number 00 : 8 bit 01 : 9 bit 10 : 10 bit 11 : 11 bit	11b
3	R/W	Timing Constraint Select (0 : Upper 100MHz, 1 : Under 100 MHz) 0 : tRCD = 3 Clock, tRP = 3 Clock, tRAS = 7 Clock, tRC = 10 Clock 1 : tRCD = 2 Clock, tRP = 2 Clock, tRAS = 5 Clock, tRC = 7 Clock	0b
2	R/W	CAS Latency 0 : 2 Clock 1 : 3 Clock	0b
1 : 0	R/W	This bit determine data bus width 00 : 8 bit 01 : 16 bit 10 : 32 bit 11 : Reserved	01b

< Register 설명 >

- Bit [7:6] : SDRAM의 Row Address 수를 선택한다.
- Bit [5:4] : SDRAM의 Column Address 수를 선택한다.
- Bit [3] : SDRAM 동작에 필요한 Timing 조건을 결정한다.
100MHz 를 기준으로 100MHz 이상인 경우에는 '0'을 선택하여 Timing 을 맞춰준다.
- Bit [2] : SDRAM 동작에서 CAS Latency Cycle을 선택한다.
- Bit [1:0] : 해당 Bank의 SDRAM의 Data Bus 폭을 결정한다.

16.1.2 SDRAM Clock Delay Register (MEMCLKCON)

Address : 0x8000_0404h

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 8	R/W	Local SDRAM Clock Generation (Clock delay) 0000 : CLOCK 1000 : Invert CLOCK 0001 : CLOCK+1ns 1001 : Invert CLOCK+1ns 0010 : CLOCK+2ns 1010 : Invert CLOCK+2ns 0011 : CLOCK+3ns 1011 : Invert CLOCK+3ns 0100 : CLOCK+4ns 1100 : Invert CLOCK+4ns 0101 : CLOCK+5ns 1101 : Invert CLOCK+5ns 0110 : CLOCK+6ns 1110 : Invert CLOCK+6ns 0111 : CLOCK+7ns 1111 : Invert CLOCK+7ns	0h
7 : 0	R/W	1Mhz Clock generation Divider Value	FFh

< Register 설명 >

- Bit [11:8] : SDRAM의 Data 읽기 시에 사용되는 SDRAM Feedback Clock의 지연 정도를 결정한다.
- Bit [7:0] : SDRAM Refresh 동작을 위하여 1MHz 주파수를 생성하는데 필요한 값을 설정한다. 사용되는 Main Clock에 따라서 Main Clock / (n+1)로 생성되므로 divider값에는 n-1 값을 설정한다.

16.1.3 SDRAM Refresh Control Register (MEMREFCON)

Address : 0x8000_0408h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9	R/W	Refresh Period < Refresh Source : 1Mhz > 0 : 15 usec 1 : 30 usec	0b
8	R/W	Number of Refresh Cycle / Period < Refresh Source : 1Mhz > 0 : 1 Cycle 1 : 2 Cycle	0b
7 : 1	R	Reserved	-
0	R/W	0: Auto Refresh 1: Self Refresh	0b

< Register 설명 >

- Bit [9] : 1MHz를 사용하는 경우의 Refresh 주기에 대한 선택을 한다.
- Bit [8] : 한 주기에 의해서 몇 번의 Refresh를 할 것인지 선택한다.
- Bit [0] : Refresh Mode select.

Preliminary

17 NAND FLASH CONTROLLER

NAND Flash 제어기는 8-bit I/O 타입의 NAND Flash memory와의 데이터 전송을 관리한다.

17.1 Features

- 8bit I/O support
- 3-cycle/4-cycle/5-cycle Address support
- 1bit for SLC and 4bit/24bit ECC for MLC
- Auto ECC Decoding support

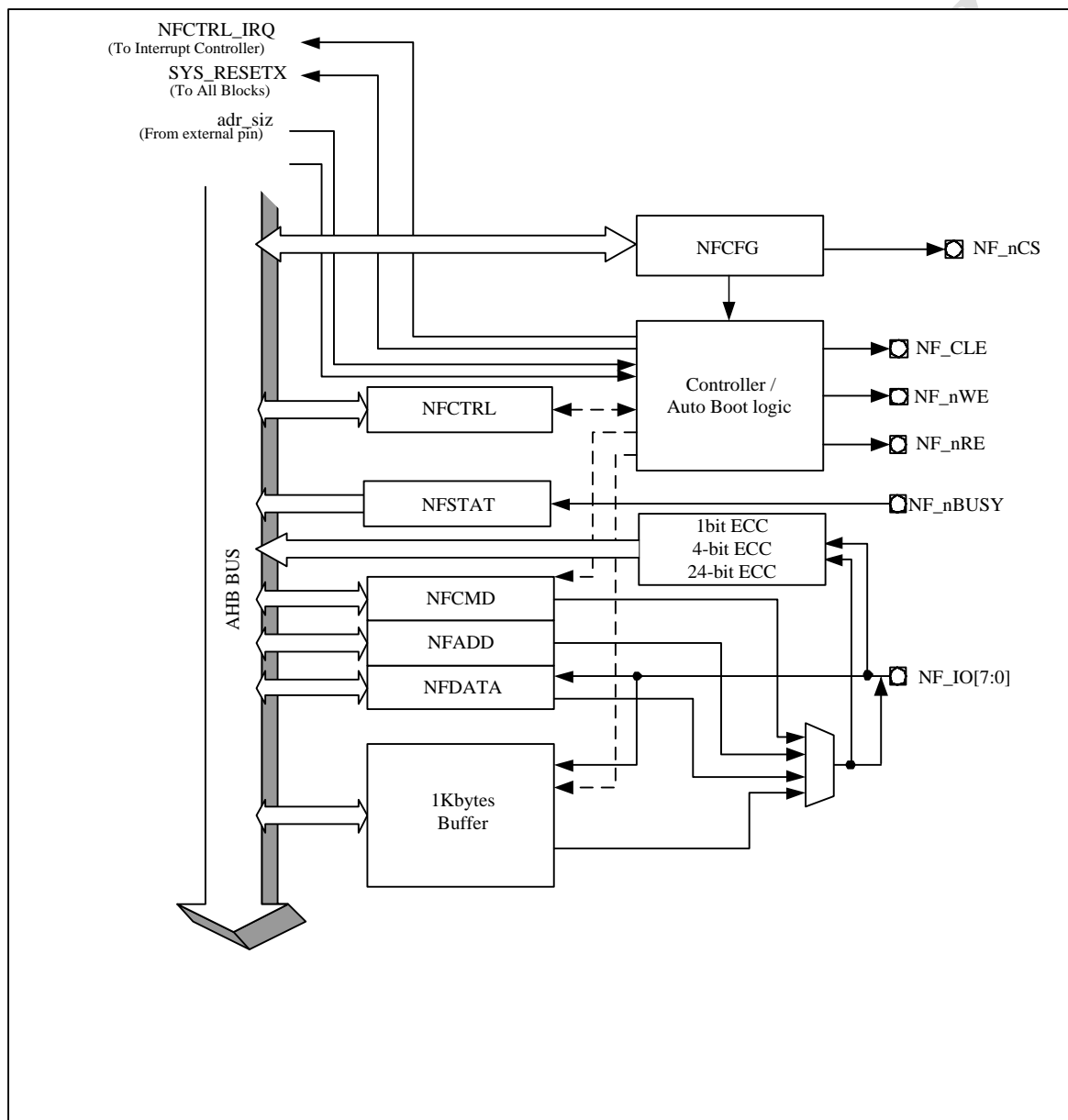


Figure 17-1 NAND Flash Controller Block Diagram

17.2 Functional Description

17.2.1 Data Read/Write

1. 데이터 전송을 위한 타이밍을 NFCFG 레지스터에 설정한다.
2. NAND Flash Memory Command를 NFCMD 레지스터에 설정한다.
3. 접근할 NAND Flash Memory의 주소를 NFADR 레지스터를 통해 설정한다. 이때 NAND Flash에 접근에 필요한 Address cycle 만큼 반복하여 설정하여야 한다.
4. NFCPUDATA 레지스터를 통해 Read/Write 동작을 수행한다. 데이터를 읽기 전 또는 데이터를 쓰고 난 뒤에는 반드시 NDFL_nBUSY핀을 확인하여야 한다.

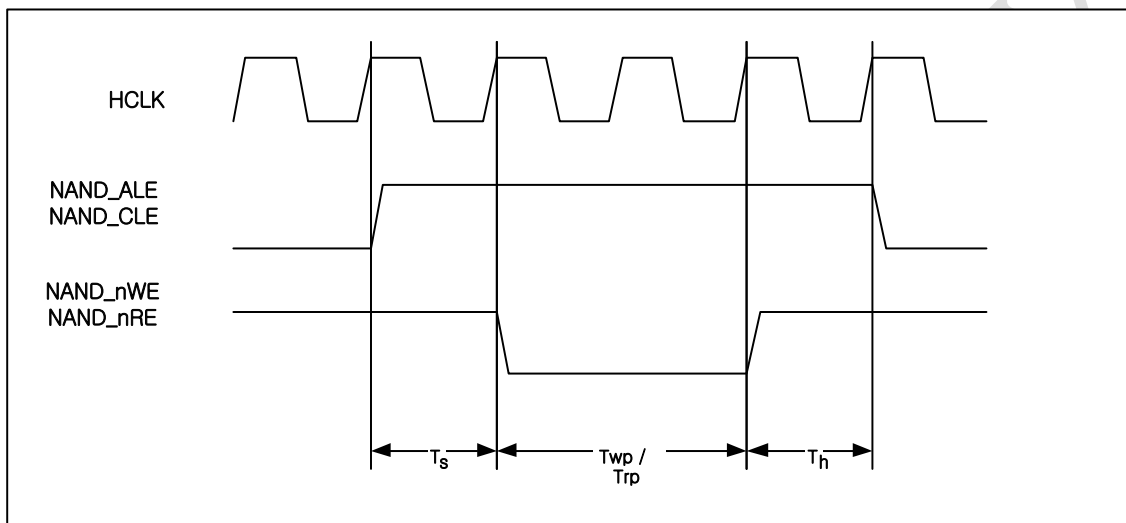


Figure 17-2 Read/Write Timing Diagram of NAND Flash Memory

17.2.2 DMA Operation

NAND Flash 제어기는 DMA 전송을 지원한다. 먼저 DMA 제어기를 설정한 후, NAND Flash 제어기를 설정을 한다. NFCTRL 레지스터에서 DMA 동작을 설정 하게 되면 NAND Flash Memory 와 DMA 전송을 시작한다. NAND Flash Memory 가 Large type(2 세대)일 경우, 최대 2KBytes 까지 전송 단위의 설정이 가능하며, Small type(1 세대)인 경우는 512Bytes 까지만 설정할 수 있다.

17.3 ECC Operation

adStar-L 는 SLC 타입의 NAND Flash 뿐만 아니라 MLC 타입의 NAND Flash 도 지원한다. MLC 타입의 NAND Flash 는 SLC 에 비해 에러 발생률이 높기 때문에 이 에러를 보정해주어야 사용할 수 있다.

adStar_L 의 NAND Flash Controller 는 BCH 알고리즘을 이용하여 Parity bit 를 생성하며, 이를 이용하여 데이터 에러를 복구할 수 있는 기능을 제공한다. 512Bytes 의 데이터에 대하여 4bit 에러, 1Kbytes 의 데이터에 24bit 에러까지 검출 및 복원을 지원한다

17.3.1 ECC Encoding

1. NAND Flash를 사용하기 위해 NFCFG레지스터를 설정한 후, Command와 Address를 전송한다.
2. NFEC10 레지스터를 read하여 ECC상태와 ECC관련 레지스터를 clear한다.
3. NFCTRL 레지스터의 ECC GEN bit를 1로 설정한다. (ECC Generation enable)
4. 512Bytes 혹은 1024Bytes의 데이터를 전송한다. 데이터를 전송할 때마다 52-bit 또는 336-bit 크기의 Parity bits가 생성되어 NFECn들에 저장된다.
5. 512Bytes 혹은 1024Bytes의 전송이 완료되면, NFEC0, NFEC1 레지스터 순서로 read하여 메모리 상에 저장해 둔다.
6. 다시 512Bytes 혹은 1024Bytes 단위로 전송하기 위하여 2-5 과정을 반복한다.
7. 한 페이지 크기의 전송이 완료되면, NFCTRL 레지스터의 ECC GEN bit를 0으로 설정한다. (ECC Generation disable)
8. 메모리에 저장해 두었던 각 512Bytes 혹은 1024Bytes에 대한 Parity bits를 NAND Flash의 spare 영역에 저장한다.

17.3.2 ECC Decoding by S/W

1. NAND Flash를 사용하기 위해 NFCFG레지스터를 설정한 후, Command와 Address를 전송한다.
2. NFEC10 레지스터를 read하여 ECC상태와 ECC관련 레지스터를 clear한다.
3. NFCTRL 레지스터에서 4-bit 혹은 24-bit ECC Mode를 선택하고, ECC GEN bit를 1로 설정한다. (ECC Decoding enable)
4. 512Bytes 혹은 1024Bytes의 데이터를 read한다.
5. 512Bytes 혹은 1024Bytes read가 완료되면, spare 영역에 접근하여 해당하는 Parity bits를 read한다.
6. Parity bits의 read가 완료되면, 자동적으로 decoding 작업을 시작하며, 사용자는 NFSTAT 레지스터에서 decoding완료 여부와 성공 여부를 확인할 수 있다.
7. Decoding이 완료되면, NFERRLOC0~3 혹은 ~23 레지스터에 에러가 발생한 위치와 NFERRPTN0~3 혹은 ~23 레지스터에 8bit 에러 패턴이 저장된다.
8. NFERRLOCn 위치의 8bit 데이터와 NFERRPTNn 값을 Exclusive-OR하여 손상된 데이터를 복원한다.
9. 한 페이지를 read할 때까지 2-8 과정을 반복한다.

17.3.3 ECC Decoding by H/W (Auto ECC Decoding)

1. NAND Flash를 사용하기 위해 NFCFG레지스터를 설정한 후, Command와 Address를 전송한다.
2. NFEC10 레지스터를 read하여 ECC상태와 ECC관련 레지스터를 clear한다.
3. NFCTRL 레지스터에서 4-bit 혹은 24-bit ECC Mode를 선택하고 Auto ECC Decoding bit를 1로 설정하면, 자동으로 NAND Flash에서 데이터와 parity를 읽어 들인다.
4. NFSTAT에서 Auto ECC Done bit가 1이 되는 것을 확인한다.
5. NFEC10 레지스터를 통해 복구된 데이터를 읽는다.
6. 한 페이지를 read할 때까지 2-5 과정을 반복한다.

17.4 Register Description

17.4.1 NAND Flash Memory Control Register (NFCTRL)

Address: 0xA000_0C00

Bit	R/W	Description	Default Value
31:17	R	Reserved	-
16	R/W	Auto ECC Enable bit 0: Auto ECC done 1: Auto ECC Start 이 bit를 set하면 Auto ECC를 시작하며, 완료되면 자동으로 clear된다..	0
15	R/W	4-bit ECC Mode Set bit 0: 24-bit ECC Mode 1: 4-bit ECC Mode	1
14:13	R	Reserved	-
12	R/W	ECC Generation Enable bit 0 : Disable 1 : Enable	0
11	R/W	Endian Select bit 0 : Little Endian 1 : Big Endian	0
10	R/W	Data Swap Size 0 : 8bit 1 : 16bit	0
9	R/W	DMA Write Request bit 0 : DMA Write Request Clear 1 : DMA Write Request 이 bit를 set하면 DMA 전송을 시작하게 되며, 완료되면 자동으로 clear된다.	0
8	R/W	DMA Read Request bit 0 : DMA Read Request Clear 1 : DMA Read Request 이 bit를 set하면 DMA 전송을 시작하게 되며, 완료되면 자동으로 clear된다.	0
7	R/W	Busy End Interrupt Enable bit 0 : Interrupt Disable 1 : Interrupt Enable	0
6	R/W	DMA Clear Interrupt Enable bit 0 : Interrupt Disable 1 : Interrupt Enable	0
5	R/W	BCH ECC Decoding Done Interrupt Enable bit 0 : Interrupt Disable 1 : Interrupt Enable	0
4	R/W	Auto ECC Done Interrupt Enable bit 0 : Interrupt Disable 1 : Interrupt Enable	0
3:0	R/W	Reserved	0

17.4.2 NAND Flash Memory Command Set Register (NFCMD)

Address: 0xA000_0C04

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	NAND Flash Memory Command	00h

17.4.3 NAND Flash Memory Address Register (NFADR)

Address: 0xA000_0C08

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	NAND Flash Memory Address	00h

17.4.4 NAND Flash Memory Data Register (NFDATA)

Address: 0xA000_0C0C

Bit	R/W	Description	Default Value
31 : 0	R/W	NAND Flash Memory Read/Program Data 32/16/8-bit accessible	0000_0000h

17.4.5 NAND Flash Memory Operation Status Register (NFSTAT)

Address: 0xA000_0C14

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16:12	R	Error bit count ECC가 완료된 후, 검출된 Error bit의 개수	0
11	R	Read data not FF Flag Erase 후, NAND Flash의 data가 전부 FF인지 확인하는 용도로 사용된다. 읽은 data가 FF가 아닌 경우 1로 set되며, 이 레지스터를 읽으면 clear된다.	0
10	R	Reserved	-
9	R	DMA Write Done DMA Write가 완료되면 set된다. 이 register를 읽으면 clear된다.	0
8	R	DMA Read Done DMA Read가 완료되면 set된다. 이 register를 읽으면 clear된다.	0
7	R	BCH Decoding Done Status ECC의 Decoding이 완료되면 set된다. 이 register를 읽으면 clear된다.	0
6 : 4	R	Reserved	-
3	R	BCH Decoding Result 0 : Decoding Fail 1 : Decoding Success	0
2	R	Auto ECC Done bit 이 bit가 1이면 Auto ECC가 완료되었음을 나타낸다. 이 register를 읽으면 clear된다.	0
1	R	NAND Flash Memory nBusy Level 0 : Busy 1 : Ready	nBUSY Level
0	R	NAND Flash Memory Busyx Rising Edge Status Ready/Busyx 신호가 low에서 high로 변하면 1로 설정된다. 이 register를 읽으면 clear 가 된다.	0

17.4.6 NAND Flash Memory ECC(Error Correction Code) Register (NFECCE)

Address: 0xA000_0C18

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 16	R/Clear	ECC2 (~P4, ~P4', ~P2, ~P2', ~P1, ~P1', ~P2048, ~P2048')	FFh
15 : 8	R/Clear	ECC1 (~P1024, ~P1024', ~P512, ~P512', ~P256, ~P256', ~P128, ~P128')	FFh
7 : 0	R/Clear	ECC0 (~P64, ~P64', ~P32, ~P32', ~P16, ~P16', ~P8, ~P8')	FFh

* P1~P4 : Column Parity , P8~P2048 : Row Parity

* ~ : Logically inverse operation

17.4.7 NAND Flash Memory Configuration Register (NFCFG)

Address: 0xA000_0C1C

Bit	R/W	Description	Default Value
31 : 21	R	Reserved	-
20	R/w	Read data Latch timing Adjust bit. Configure as system clock. 0 : Minimum ~ 60Mhz 1 : 40Mhz ~ Maximum	1
19 : 17	R	Reserved	-
16	R/W	NDFL_nCS Control 0 : Chip Enable 1 : Chip Disable	1
15	R	Reserved	-
14 : 12	R/W	Ts : NDFL_ALE/NDFL_CLE Set-up Time 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
11	R	Reserved	-
10 : 8	R/W	Twp : NDFL_nWE Pulse Width 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
7	R	Reserved	-
6 : 4	R/W	Trp : NDFL_nRE Pulse Width 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
3	R	Reserved	-
2 : 0	R/W	Th : NDFL_ALE/ NDFL_CLE/ NDFL_nCS Hold Time 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111

17.4.8 NAND Flash Memory ECC Code for LSN data (NFECCL)

Address: 0xA000_0C20

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R	S_ECC1 (1, 1, 1, 1, 1, 1, ~P4_s, ~P4'_s)	FFh
7 : 0	R	S_ECC0 (~P2_s, ~P2'_s, ~P1_s, ~P1'_s, ~P16_s, ~P16'_s, ~P8_s, ~P8'_s)	FFh

* P1_s~P4_s : Column Parity, P8_s~P16_s : Row Parity

* ~ : Logically inverse operation

17.4.9 NAND Flash Memory Error Corrected Data Register (NFECDD)

Address: 0xA000_0C24

Bit	R/W	Description	Default Value
31 : 0	R	Automatically Error Corrected Data	-

17.4.10 NAND Flash Memory Spare Address Register (NFSPADR)

Address: 0xA000_0C28

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 0	R/W	Spare address to access during Auto ECC	0000h

17.4.11 NAND Flash Memory MLC ECCn Register (NFECcN)

 Address: 0xA000_0C2C / 0xA000_0C30 / 0xA000_0C34 / 0xA000_0C38 /
 0xA000_0C3C / 0xA000_0C40 / 0xA000_0C44 / 0xA000_0C48 /
 0xA000_0C4C / 0xA000_0C50 / 0xA000_0C54

Bit	R/W	Description	Default Value
31 : 0	R	4-bit ECC Parity Value 52-bit parity[31:0] / 52-bit parity[52:32] 24-bit ECC Parity Value 336-bit parity[31:0], 336-bit parity[63:32], 336-bit parity[95:64], 336-bit parity[127:96], 336-bit parity[159:128], 336-bit parity[191:160], 336-bit parity[223:192], 336-bit parity[255:224], 336-bit parity[287:256], 336-bit parity[319:288], 336-bit parity[335:320]	0000_0000h

17.4.12 NAND Flash Memory Error Location n Register (NFERRLOCn)

 Address: 0xA000_0C58 / 0xA000_0C5C / 0xA000_0C60 / 0xA000_0C64 / 0xA000_0C68 /
 0xA000_0C6C / 0xA000_0C70 / 0xA000_0C74 / 0xA000_0C78 / 0xA000_0C7C /
 0xA000_0C80 / 0xA000_0C84 / 0xA000_0C88 / 0xA000_0C8C / 0xA000_0C90 /
 0xA000_0C94 / 0xA000_0C98 / 0xA000_0C9C / 0xA000_0CA0 / 0xA000_0CA4 /
 0xA000_0CA8 / 0xA000_0CAC / 0xA000_0CB0 / 0xA000_0CB4

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R	Error byte location 1st~24th	0000h

17.4.13 NAND Flash Memory Error Pattern n Register (NFERRPTNn)

Address: 0xA000_0CB8 ~ 0xA000_0D14

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	Error byte pattern 1st~24th	00h

17.4.14 NAND Flash Memory ID Register (NF MID)

Address: 0xA000_0D18

Bit	R/W	Description	Default Value
31 : 0	R	NAND Flash ID	0000_0000h

18 SD HOST CONTROLLER

18.1 Features

- SD (ver 2.0) / MMC (ver 3.31) 카드 지원
- High Speed (50MHz) 지원
- 1bit/4bit data bus 지원
- DMA 전송 지원
- 64 byte FIFO 내장
- 40-bit Command Register
- 136-bit Response Register

18.2 Block Diagram

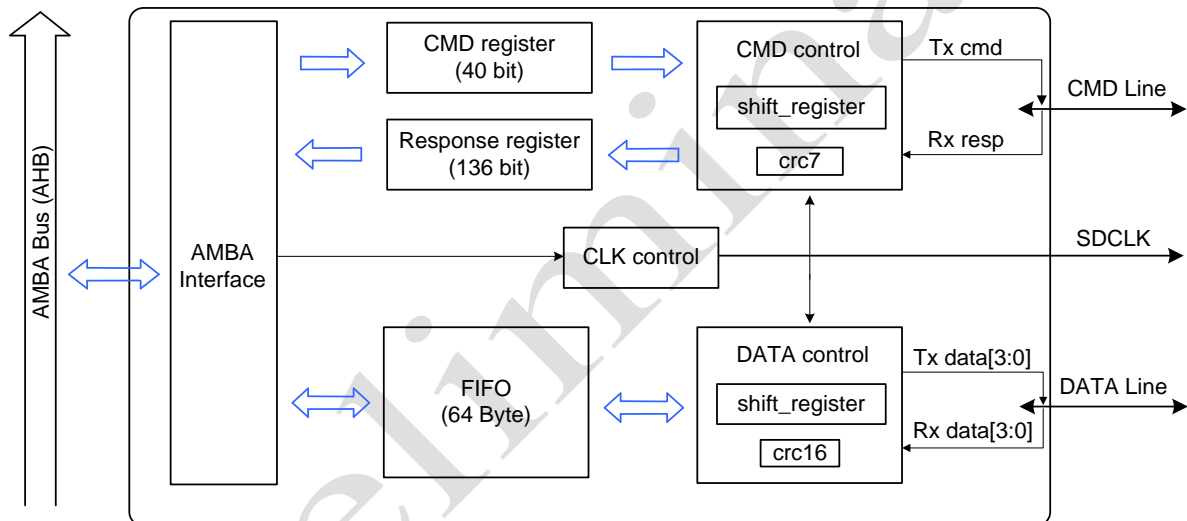


Figure 18-1 SDHC Block Diagram

18.3 SD Card Protocol

SD card 와 SD Host 사이의 통신은 start bit 으로 시작해서 stop bit 으로 끝나는 command 와 response, data 를 기반으로 한다.

Command : Command는 Host(Controller)가 Command line을 통해 SD 카드로 전송되는 명령어이다.
Command는 여러 개의 SD 카드를 향해 동시에 전송되는 broadcast command 와 Address로 선택된 하나의 SD 카드에만 전송되는 addressed command 로 분류된다.

Response : Host가 전송한 Command 에 대한 응답으로써 선택된 카드가 Command line을 통해 전송한다.

Data : Host 에서 SD 카드로 또는 SD 카드에서 Host로 Data line을 통하여 블록 단위로 전송되며 일반적

으로 1 block의 크기는 512byte 또는 1024 byte 이다.

SD Card protocol 에서는 데이터 전송의 신뢰성을 위해 Command 와 Response 그리고 Data 를 CRC7 과 CRC16 로 체크하며 CRC 코드 생성과 오류 검출은 하드웨어 내부에서 스스로 이루어진다.

18.4 Register Description

18.4.1 SDHC Control Register (SDHCCON)

Address : 0xA000_1000h

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5	R/W	MMC/SD HC Enable 0 : Disable (Controller is initialized) 1 : Enable MMC/SD HC Enable Host에 대한 Enable 비트이다. 이 비트가 Disable 상태가 되면 컨트롤러의 상태는 초기화되고 내부 버퍼들은 모두 clear된다.	0b
4 : 3	R/W	Memory access type 00 : byte align 01 : short align 10 : word align 11 : not use 비트는 SD 메모리카드에 Data를 저장할 때 데이터 정렬 방식을 정하게 된다.	00b
2	R/W	DMA mode selection 0 : Normal mode (data transfer by CPU) 1 : DMA mode (data transfer by DMA) DMA를 사용하여 빠르게 데이터를 전송할 수 있는 모드를 제공한다.	0b
1	R/W	Bus width Selection 0 : 1bit data bus 1 : 4bit data bus	0b
0	R/W	MMC/SD clock enable 0 : Disable 1 : Enable	0b

18.4.2 SDHC Status Register (SDHCSTAT)

Address: 0xA000_1004h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15	R	Card_Insertion Data line[3]을 통하여 SD카드가 슬롯에 삽입되었는지를 알려주는 비트이다. 이를 사용하기 위해서는 data line[3]은 weak Pull-down 저항을 달아야 한다. 0 : No card insertion detection 1 : card insert detected	0b
14	R	Card_Removal Data line[3]을 통하여 SD카드가 슬롯에서 제거되었는지를 알려주는 비트이다. 0 : No card removal detection 1 : card remove detected	0b
13	R	FIFO full 64바이트 데이터 FIFO 가 가득 찼음을 나타내는 비트이다.	0b
12	R	FIFO half full 64바이트 데이터 FIFO 가 절반 이상 찼음을 나타내는 비트이다.	0b
11	R	FIFO empty 64바이트 데이터 FIFO가 비워졌음을 나타내는 비트이다.	1b
10	R/C	Command & response transaction done Host가 Command를 보내었을 때 그에 대한 response를 받았음을 알려주는 비트이다. 만약 Response가 도착하지 않는 비정상적인 경우에도 Time out error를 발생시키며 이 비트가 1이 된다. 0 : Command and response transaction is in progress 1 : Command and response transaction is done	0b
9	R/C	Data Write operation done Data write operation이 완료되었음을 알려주는 비트이다. Data CRC error가 발생한 경우에도 write operation이 종료되면서 이 비트가 1이 된다. 0 : Write operation is in progress or incomplete 1 : Write operation complete	0b
8	R/C	Read operation done Data read operation이 완료되었음을 알려주는 비트이다. Read data CRC error가 발생한 경우에도 read operation이 종료되면서 이 비트가 1이 된다. 0 : Read operation is in progress or incomplete 1 : Read operation complete.	0b
7 : 6	R/C	Write CRC error code Write operation 진행 중에 SD카드로부터 받은 CRC 검사 결과를 나타내는 코드이다. SD카드는 Host가 한 블록씩 데이터를 보낼 때 각각 블록에 대한 CRC를 검사하여 그 결과 값을 Host에게 전송한다. 00 : No CRC Error 01 : CRC Error (데이터 블록에서 CRC 에러 발생) 10 : No CRC response (데이터 블록이 SD 카드에서 무시되었음) 11 : Reserved	00b
5	R/C	Response CRC error Response 에 CRC 에러가 발생했음을 알려주는 비트이다. 0 : No error 1 : Response CRC error occurred	0b
4	R/C	Read data CRC error SD카드로부터 Read 한 데이터에 CRC 에러가 발생했음을 알려주는 비트이다. 0 : No error 1 : Read data CRC error occurred	0b
3	R/C	Write data CRC error SD카드로 전송한 데이터에 CRC 에러가 발생했음을 알려주는 비트이	0b

		다. 0 : No error 1 : Write data CRC error occurred	
2	R/C	Response time out error Response가 설정된 시간 안에 오직 않았음을 알려주는 비트이다. 0 : No error 1 : Command response was not received in time Specified.	0b
1	R/C	Read data time out error Read 데이터가 지정된 시간 안에 오지 않았음을 알려주는 비트이다. 0 : No error 1 : The expected data from card was not received in time Specified	0b
0	R	Memory busy state SD카드의 busy 상태를 나타내는 비트이다. 0 : Memory is ready 1 : Memory is busy.	0b

R/C 는 Read/Clear 를 의미한다. Status 의 특정 비트를 Clear 하는 방법은 해당 비트에 1 을 쓰면 clear 된다.

Status[15:8] 는 인터럽트를 발생하는 인터럽트 소스이기도 한다. 이중에 한 비트가 1 이 되면 인터럽트가 발생하고 해당 비트가 clear 되기 전까지 계속 인터럽트를 요청하게 된다.

18.4.3 SDHC Clock Divide Register (SDHCCD)

Address : 0xA000_1008h

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9 : 0	R/W	MMC/SD clock Divide Register $f_{SDCLK} = \frac{f_{AHB_Clock}}{2 + Divide [9:0]}$	200h

18.4.4 SDHC Response Time Out Register (SDHCRTO)

Address : 0xA000_100Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	Response time out. Command를 보낸 후 response를 기다리는 최대 시간을 설정한다. 지정된 시간 안에 response가 도착하지 않을 경우 response time out error가 발생된다. 시간 단위는 SD카드에 전송되는 클럭을 기준으로 하며 Command의 마지막 비트가 전송되면 클럭 카운트가 시작된다. 01h : 1 clock count 02h : 2 clock counts ... FFh : 255 clock counts	FFh

18.4.5 SDHC Read Data Time Out Register (SDHCRDTO)

Address: 0xA000_1010h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R/W	Data read time out. Read command를 보낸 후 read 데이터를 받기까지 기다리는 최대 시간을 설정한다. 사용자는 상위 8비트만 설정할 수 있고 하위 8비트는 00h로 고정되어 있다. 일반적으로 FF00h로 설정할 것을 권장한다.	FFh
7 : 0	R	Reserved.	00h

18.4.6 SDHC Block Length Register (SDHCBL)

Address: 0xA000_1014h

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 0	R/W	Block length. 데이터 전송의 최소 단위인 블록의 byte 크기를 정하는 레지스터임	200h

18.4.7 SDHC Number of Block Register (SDHCNOB)

Address: 0xA000_1018h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 0	R/W	Multi-block command를 사용하여 다수의 data block을 전송하는 경우 블록의 개수를 지정하는 레지스터이다. 한 블록씩 전송될 때 마다 1씩 감소하며 전송 완료되면 0 이 된다.	0000h

18.4.8 SDHC Interrupt Enable Register (SDHCIE)

Address : 0xA000_101Ch

Bit	R/W	Description	Default Value
31 : 8		Reserved	-
7	R/W	Card insert detection Interrupt enable 0 : disable 1 : enable	0b
6	R/W	Card remove detection Interrupt enable 0 : disable 1 : enable	0b
5	R/W	FIFO full Interrupt enable 0 : disable 1 : enable	0b
4	R/W	FIFO half full Interrupt enable 0 : disable 1 : enable	0b
3	R/W	FIFO empty Interrupt enable 0 : disable 1 : enable	0b
2	R/W	End command response Interrupt enable 0 : disable 1 : enable	0b
1	R/W	Write operation done Interrupt enable 0 : disable 1 : enable	0b
0	R/W	Read operation done Interrupt enable 0 : disable 1 : enable	0b

SDHCSTAT[15:8]이 인터럽트 소스이고 SDHCIE 레지스터는 이에 대한 인터럽트 Enable 신호이다. 인터럽트가 발생하면 인터럽트 서비스 루틴에서 필요한 작업을 수행하고 SDHCSTAT[15:8] 중에 인터럽트를 발생시킨 비트를 0으로 만든다. 그러나 card insert detection 인터럽트와 card remove detection 인터럽트는 SDHCSTAT[15] 와 SDHCSTAT[14]는 해당 비트가 clear 되지 않기 때문에 인터럽트 서비스 루틴 안에서 인터럽트 Enable 비트를 0으로 만들어 인터럽트 신호를 Disable 시킨다.

18.4.9 SDHC Command Control Register (SDHCCMDCON)

SDHCCMDCON 레지스터는 사용자가 command 를 보내기 위해 구성하는 레지스터이다. 사용자가 SDHCCMDCON 레지스터에 write 하게 되면 레지스터에 쓰여진 설정대로 command 가 SD 카드로 전송된다.

Address: 0xA000_1020h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10	R/W	Response 가 필요한 command type인지 아닌지를 결정하는 비트이다. No response를 설정하는 경우 response가 response buffer에 저장되지 않는다. 0 : no response 1 : wait response	0b
9 : 8	R/W	Response type을 결정하는 비트이다. Response type은 command 에 따라 달라지므로 command에 맞는 response type을 잘 선택해야 한다. 00 : short response (response size : 48bit) 01 : short response with busy (response size : 48bit ,) 10 : long response (response size : 136bit)	00b
7	R/W	Data stream이 사용되는 command 인지 아닌지를 결정하는 비트이다. Read command 또는 Write command인 경우 이 비트를 1로 해야 한다 0 : without data 1 : with data	0b
6	R/W	데이터 FIFO의 입출력 방향을 결정하는 비트이다. Read command 인 경우 0로 설정하고 write command인 경우 1로 설정한다. 0 : read data 1 : write data	0b
5 : 0	R/W	command number를 지정하는 비트이다. Command number의 의미는 MMC 와 SD card가 조금씩 다르므로 각각의 spec을 참고하기 바람. 00h = CMD0 01h = CMD1 ... 3Fh = CMD63	00h

18.4.10 SDHC Command Argument Register (SDHCCMDA)

Address: 0xA000_1024h

Bit	R/W	Description	Default Value
31 : 0	R/W	Command argument. Command token을 구성하는 항목 중에 argument를 설정하는 레지스터이다.	0000 0000h

18.4.11 SDHC Response FIFO Access Register (SDHCRFA)

Address: 0xA000_1028h

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 0	R/W	Response를 저장하는 FIFO이다. 크기는 8x16 bit.	0000h

18.4.12 SDHC Data FIFO Access Register (SDHCDFA)

Address: 0xA000_102Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	데이터를 저장하는 FIFO 이다. 크기는 16x32 bit	-

19 SPI LCD CONTROLLER

19.1 Features

- Support Normal SPI transfer with 9bit
(Not support falling SCK data sampling)
- Support bidirectional SDO mode for 3 wire transaction
- Support 24 bit format color and 32bit reserved format color
- External clock for SCK
- 16byte FIFO for Tx , Rx data

19.2 Register Description

19.2.1 SPI LCD control Register (CTRL)

Address : 0xA000_0800

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	Enable : Operation Enable 0 : Operation is disabled. 1 : Operation is enabled	0
6	R/W	SDO Direction 0 : Output 1 : Input	0
5	R/W	Lower Byte First 설정되면 Data size 가 16bit, 24bit, 32bit일 때 하위 바이트의 데이터가 먼저 전송된다.	0
4	R/W	SCK Polarity	0
3	R/W	Level of D/C bit	0
2	R/W	Add D/C bit 0 : 8bit 전송 1 : 9 bit 전송 (MSB에 D/C bit가 추가됨)	0
1 : 0	R/W	Data Size 0 : 8 bit data transfer. 1 : 16 bit data transfer. 2 : 24 bit data transfer, 3 : 32 bit data transfer, 24 bit data transfer의 경우 메모리에서 32bit 데이터를 읽어서 상위 8bit가 제거된 24bit 만 전송한다	0

19.2.2 SPI LCD Baud Rate Register (BAUD)

Address : 0xA000_0804

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	R/W	Serial Clock Baud Rate $SCK = \frac{f_{DOTCLK}}{2 \times (SPIBR + 1)}$	0xFF

19.2.3 SPI LCD DMA Configuration Register (SPI_LCD_DMA)

Address : 0xA000_0808

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	DMA Enable DMA 의 전송량은 DMA 블록의 Trans count로 설정한다.	0

19.2.4 SPI LCD ChipSelect Register (CSx)

Address : 0xA000_0810

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	RW	CSx : CSx Output Level	1

19.2.5 SPI LCD Status Register (SPI_LCD_STAT)

Address : 0xA000_0814

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	SPIF : SPI Finished Flag 0 : Transfer is not finished. 1 : Transfer is finished.	0
6	R	STXHF : Tx FIFO Is Half Empty 0 : The Empty space is less than Half 1 : The Empty space is more than Half	0
5	R	STXF : TX FIFO Full Status bit 0 : TX FIFO is not full 1 : TX FIFO is full	0
4	R	STXE : TX FIFO Empty Status bit 0 : TX FIFO is not empty 1 : TX FIFO is empty	0
3	R	Reserved	0
2	R	SRXHF : RX FIFO Half Full Status bit 0 : The Remain Data in Rx FIFO is less than Half 1 : The Remain Data in Rx FIFO is more than Half	0
1	R	SRXF : RX FIFO Full Status bit 0 : FIFO_RX is not full 1 : FIFO_RX is full	0
0	R	SRXE : RX FIFO Empty Status bit 0 : FIFO_RX is not empty 1 : FIFO_RX is empty	0

19.2.6 LCD Data Register (SPI_LCD_DATA)

Address : 0xA000_0818

Bit	R/W	Description	Default Value
31 : 0	R/W	16 byte FIFO It is possible to access with 8, 16, 32 bit	0x0000_0000

19.2.7 LCD Interrupt Mask Register (SPI_LCD_INT)

Address : 0xA000_081C

Bit	R/W	Description	Default Value
31 : 8	R/W	Reserved	-
7	R/W	SPIF : SPI finished Interrupt enable	0
6	R/W	STXHF : Tx fifo half empty interrupt enable	0
5	R/W	STXF : Tx fifo full status interrupt enable	0
4	R/W	STXE : Tx fifo empty status Interrupt enable	0
3	R/W	Reserved	0
2	R/W	STXHF : Rx fifo half full interrupt enable	0
1	R/W	SRXF : Rx fifo Full interrupt enable	0
0	R/W	SRXE : Rx fifo empty interrupt enable	0

20 SPI (SERIAL PERIPHERAL INTERFACE)

adStar_L 에 내장된 SPI 는 동기 직렬 버스를 통해 외부의 장치나 다른 CPU 와 데이터 교환을 한다. 이 SPI 는 모토로라 M68HC11, M68HC05 와 MC68HC16 계열의 SPI 와 호환을 이루어, Full duplex 3-wire 전송이나 Half duplex 2-wire 를 수행할 수 있다.

고속 SPI 전송을 위해 8Bytes 의 FIFO 를 내장하여 Mbps 속도의 전송에서도 CPU 에 부담을 주지 않고 수행할 수 있다.

adStar_L 의 SPI 는 Master Mode 와 Slave Mode 를 모두 지원한다.

20.1 Features

- Full duplex mode. Three-wired synchronous Transfer
- Master or Slave Operation
- Programmable clock polarity and phase
- End of transmission interrupt flag
- Write collision flag protection
- Master-master mode fault protection capability
- 8Bytes FIFO

20.2 Block Diagram

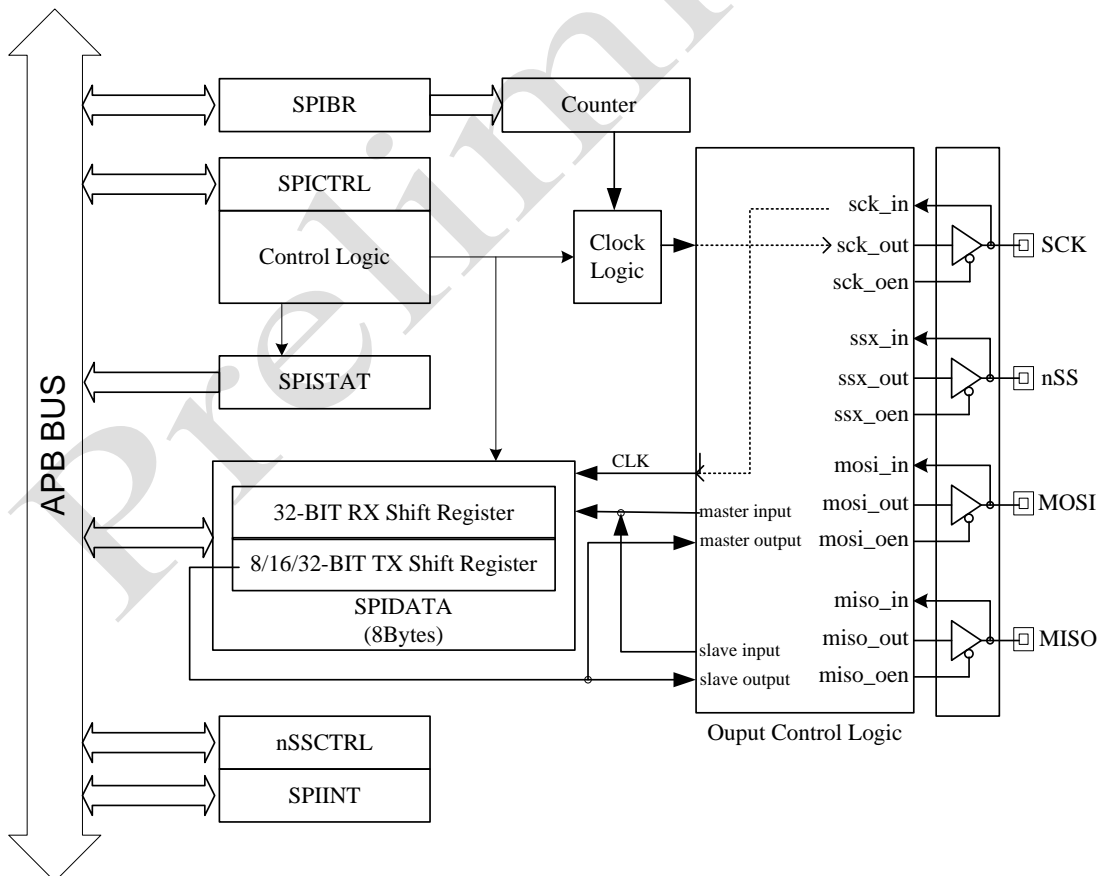


Figure 20-1 SPI Block Diagram

20.3 Functional Description

클럭 제어 회로에서 클럭의 극성 선택과 두 개의 클럭 프로토콜의 선택을 통해서 대부분의 동기 직렬 주변 장치와의 호환이 이루어진다. SPI 가 Master 로 설정되면 소프트웨어적으로 256 개의 다양한 시리얼 클럭을 만들 수 있다.

SPI 는 데이터 전송 동작과 데이터 수신 동작이 동시에 이루어진다. 두 시리얼 데이터 라인에서 정보의 샘플링(sampling)과 쉬프팅(shifting)은 시리얼 클럭 라인에 의해 동기 된다. Slave SPI 디바이스의 개별적인 선택은 Slave 선택 라인을 통해 할 수 있다. 선택되지 않은 Slave 디바이스는 SPI 버스의 동작에 영향을 주지 않는다. Master SPI 디바이스에서는 Slave 선택 라인은 다중 Master 버스 충돌을 나타내는데 사용될 수 있다.

에러검출 회로는 프로세서끼리의 연결을 위해 사용된다. 전송 동작 중에 시리얼 쉬프터 레지스터에 데이터를 쓰게 되면 쓰기 충돌이 발생한다. 다중 Master 모드 실패 검출은 한 개 이상의 CPU 가 동시에 버스 Master 가 되려고 시도할 때 출력 드라이버를 disable 시킨다.

20.3.1 SPI Pins

SPI 에는 MISO, MOSI, SCK, nSS, 네 개의 양방향 핀이 있다. SPI 컨트롤 레지스터의 WOMP 비트가 각각의 핀의 출력 동작에 대해 Open Drain 출력 이나 CMOS 출력을 결정하게 된다.

SPI 컨트롤 레지스터의 MSTR 비트에 의해 Master 또는 Slave 동작이 결정되고 이에 따라 핀의 동작이 결정된다

Table 20-1 SPI Pin Functions

<i>Pin Name</i>	<i>Mode</i>	<i>Function</i>
Master in, slave out(MISO)	Master	Provides serial data input to the SPI
	Slave	Provides serial data output from the SPI
Master out, slave in (MOSI)	Master	Provides serial output from the SPI
	Slave	Provides serial input to the SPI
serial clock(SCK)	Master	Provides clock output from the SPI
	Slave	Provides clock input to the SPI
Slave select(nSS)	Master	Output : Selects slave devices
	Slave	Input : chip select for SPI

20.3.2 SPI Operating Modes

SPI 는 Master 나 Slave 모드에서 동작한다. Master 모드는 CPU 가 데이터 전송을 주관할 경우에 사용된다. Slave 모드는 외부 디바이스에 의해 CPU 에 시리얼 전송이 이루어지는 경우에 사용된다. 컨트롤 레지스터의 MSTR 비트에 의해 Master 나 Slave 동작이 선택된다.

Master Mode

SPICTRL 의 MSTR 비트를 설정하면 Master 모드 동작이 선택된다. Master 모드에서는 시리얼 전송을 초기화 할 수 있고 외부에서의 초기화된 전송에 응답하지 않는다.

Master 모드에서는 MISO 핀이 시리얼 데이터 입력으로 사용되고 MOSI 핀은 시리얼 데이터 출력으로 사용된다. 특정한 응용 분야에 따라 하나 또는 둘 다 필요할 수 있다.

SPI 를 Master 모드에서 사용하려면 다음 과정을 거쳐야 한다.

1. SPICTRL 레지스터에 BAUD, CPHA, CPOL, SIZE, MSBF, WOMP 의 값을 할당한다
2. Master 동작을 위해 MSTR 비트 설정한다.
3. Set SPIEN bit to enable SPI.
4. SPI 을 enable 하도록 SPIEN 비트를 설정한다.
5. Slave 디바이스를 enable 한다.
6. 전송을 시작하기 위해 적당한 데이터를 SPIDATA 레지스터에 쓰기를 한다.
7. SPI 는 전송이 끝나면 SPISTAT 레지스터의 SPIF 플래그를 HW 적으로 설정한다. SPIF 가 인가되면 인터럽트 요청이 발생된다. SPIF 가 설정되어 있는 상태에서 SPISTAT 레지스터를 읽고 SPIDATA 레지스터에 쓰기 나 읽기 동작이 일어나면 SPIF 플래그는 자동적으로 클리어 된다.

데이터 전송은 내부에서 만든 시리얼 클럭(SCK)에 동기 된다. SPICTRL 레지스터의 CPHA 와 CPOL 비트들은 클럭의 위상과 극성을 제어한다. CPU 가 MOSI 핀에서 데이터를 보내는 SCK edge 와 MISO 핀을 통해 들어오는 데이터의 latch 하는 SCK edge 는 CPHA 와 CPOL 에 의해 결정된다.

Slave Mode

SPICTRL 레지스터의 MSTR 비트를 "0"으로 설정하면 Slave 모드로 동작한다. Slave 모드에서는, SPI 는 시리얼 전송을 초기화 할 수 없다. 전송은 외부 버스 Master 에 의해 초기화 된다. Slave 모드는 특히 다중 Master SPI 버스에서 사용된다. 주어진 시간에 단 하나의 디바이스만이 버스 Master 가 될 수 있기 때문이다.

Slave 모드에서는 시리얼 데이터 출력을 위해 MISO 핀이 사용되고, 시리얼 데이터 입력을 위해 MOSI 핀이 사용된다. 특정한 응용분야에 따라서 둘 다 또는 하나의 핀만 필요하다. SCK 는 입력 시리얼 클럭이다. nSS 가 인가되면 Slave 로 선택된다.

데이터 전송을 위해 데이터 레지스터에 쓰기를 한다. Slave 모드에서는 SCK, MOSI, and nSS 는 입력이고 MISO 는 출력이 된다.

CPHA, CPOL, SIZE, MSBF, WOMP 의 설정을 위해 컨트롤 레지스터에 값을 쓴다. MSTR 비트 클리어 함으로써 Slave 동작을 선택한다. SPIEN 를 설정하여 SPI 를 enable 시킨다. Slave 모드의 디바이스에서는 BAUD 의 값은 SPI 동작에 영향을 미치지 않는다.

SPIEN 가 설정되고 MSTR 이 클리어 되면, nSS 핀 입력의 "Low" 상태가 Slave 모드 동작을 초기화 한다. nSS 핀 은 오로지 입력으로만 사용된다.

데이터의 바이트나 워드 전송 후에 SPI 는 SPIF 플래그를 설정한다. 컨트롤 레지스터의 SPIE 비트가 설정되어 있으면, SPIF 가 인가되면 인터럽트요청이 발생한다.

전송은 외부에서 발생된 SCK 에 동기 된다. CPHA 와 CPOL 은 Slave CPU 가 MOSI 핀을 통해 들어오는 데이터를 래치 하거나 MISO 핀을 통해 나가는 데이터의 클럭의 Edge 를 결정한다.

20.3.3 Data Transfer Timing

CPHA='0'이고 MSB 시작인 모드에서 1Byte 데이터 전송 타이밍도를 보여준다. SCK 의 두개의 형태의 파형을 나타나 있다. 하나는 CPOL 인 '0'인 경우이고 다른 하나는 CPOL 이 '1' 인 경우이다. 이 타이밍도는 Master 와 Slave 가 SCK, MISO 와 MOSI 핀으로 직접 연결되어 있으므로 Master 타이밍도 또는 Slave 타이밍도로 볼 수 있다. MISO 신호는 Slave 에서의 출력이고 MOSI 신호는 Master 의 출력 신호이다. nSS 신호는 Slave 로의 칩 선택 신호이다.

Master 일 때 SPDR 에 데이터를 쓰면 전송이 초기화 된다. Slave 는 nSS 가 falling edge 일 때 전송을 초기화 한다. SCK 신호는 첫 번째 SCK cycle 의 반주기까지 inactive 상태로 남아있다. 전송 완료를 나타내는 SPIF 비트는 8 번째 SCK cycle 의 끝에서 set 된다. CPHA='0'일 때는 nSS 가 low 였다가 1 바이트 전송 후 짧은 시간 내에 Inactive (High)된다. Slave 는 nSS 가 low 일 때 data register 에 값을 write 하면 write collision error 가 발생한다.

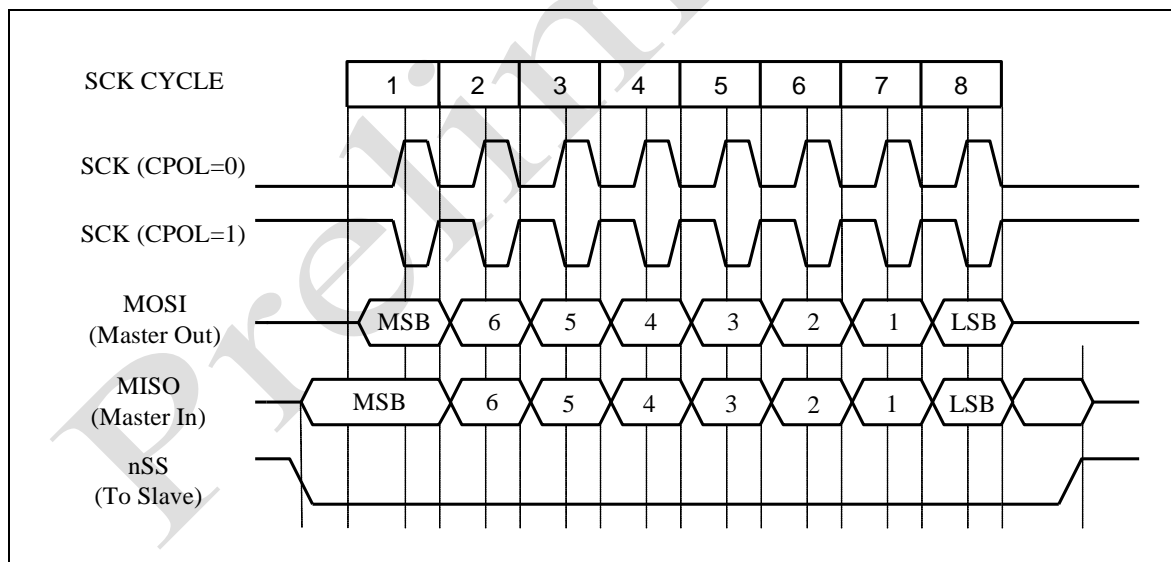


Figure 20-2 Transfer Timing when CPHA = '0'

CPHA='1'인 경우의 전송 타이밍도 이다. SCK 는 마지막 8 번째 cycle 의 반주기 에서 inactive 된다. SPIF 비트는 8 번째 SCK cycle 의 중단에서 set 된다. 8 번째 SCK cycle 의 중간주기에서 마지막 edge 가 생기기 때문에 Slave 는 8 번째 SCK cycle 의 중단에서 마지막 데이터를 sample 한 후에 수신 완료한다. nSS 는 1Byte 전송 마치고 어느 정도 시간 동안 충분히 low 를 유지한다. 따라서 CPU 가 전송 상태를 Polling 하여 연속으로 전송하는 경우에는 계속 low 상태를 유지하게 된다.

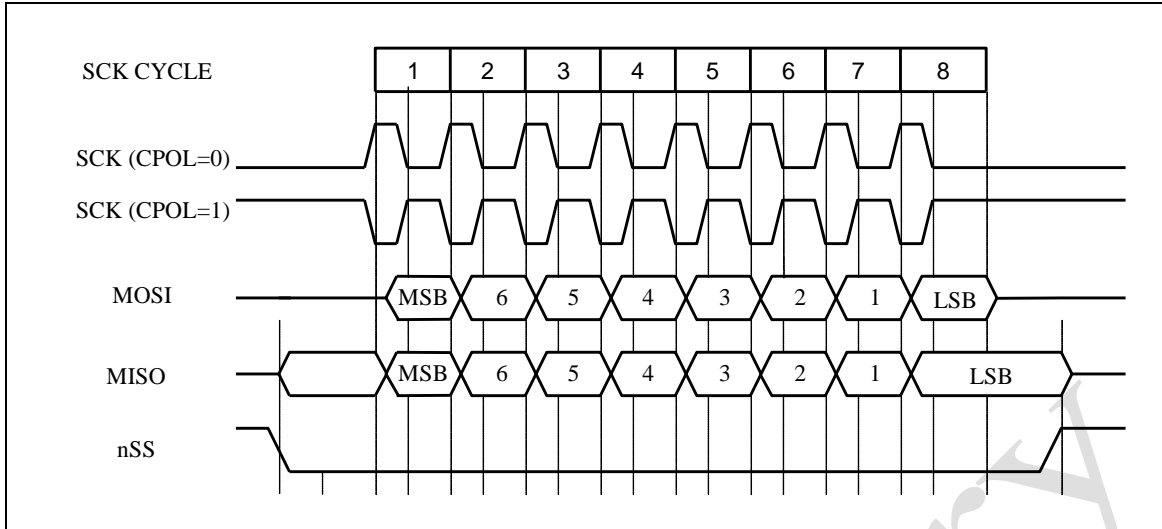


Figure 20-3 Transfer Timing when CPHA = '1'

20.3.4 SCK Phase and Polarity Control

컨트롤 레지스터의 두 개의 비트가 SCK 의 위상과 극성을 결정한다. 클럭 극성(CPOL) 비트는 클럭의 극성 (High or Low)을 선택한다. 클럭 위상 비트 CPHA 는 전송 타이밍에 영향을 주는 두 가지 전송 형태 중 하나를 선택한다. 클럭의 위상과 극성은 Master 와 Slave 모두 동일하여야 한다. 어떤 경우에는 전송 사이에 위상과 극성을 바꾸어 Master 디바이스가 Slave 디바이스와 다른 조건으로 데이터를 주고 받을 수도 있다. SPI 의 이러한 유연성은 거의 모든 동기 시리얼 주변장치와의 직접적인 연결을 가능하게 한다.

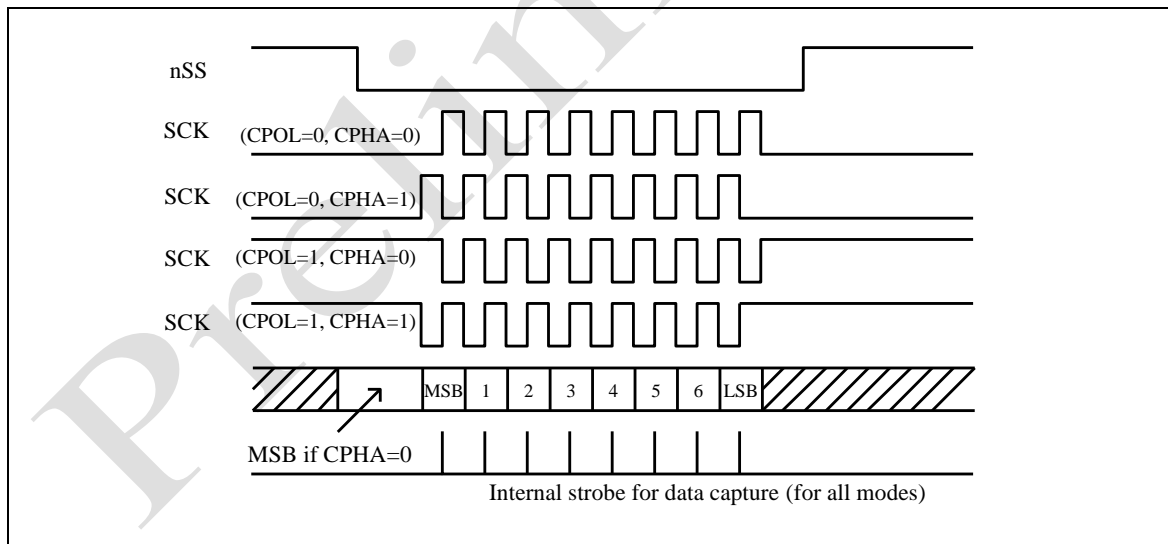


Figure 20-4 SCK Phase and Polarity

20.3.5 SPI Serial Clock Baud Rate

SPI Baud rate 는 SPBR 레지스터에 1 에서 255 까지의 값을 저장하여 설정할 수 있다. Slave Mode 에서의 외부 SPI Master 가 제공하는 SCK 를 받아들이기 때문에 SPIBRR 레지스터의 값의 설정에 영향을 받지 않는다. 그러나 Slave Mode 에서 동작할 수 있는 최대 속도는 System Clock 에 영향을 받는다.

$$SCK \text{ Baud Rate} = \frac{f_{PCLK}}{2 \times (SPIBR + 1)}$$

or

$$SPIBR = \frac{f_{PCLK}}{2 \times SCK \text{ Baud Rate}} - 1$$

20.3.6 Open-Drain Output for Wired-OR

Multiple SPI Master 가 아니면 SPI 버스 출력이 Open-Drain 을 지원할 필요는 없다. Open-Drain 출력이 필요할 경우 SPICTRL 레지스터의 WOMP 비트를 설정하여 Open-Drain 출력을 제공하도록 할 수 있다. Open-Drain 으로 설정할 경우 각각의 출력 라인에 반드시 pull-up 저항을 달아야 한다

20.3.7 Transfer Size and Direction

SPICTRL 레지스터의 SPISIZE 비트은 전송크기 8/16/32 비트를 선택한다. SPICTRL 레지스터의 MSBF 비트는 데이터 전송의 시작을 MSB(MSBF=1)나 LSB 부터 하도록 한다

20.3.8 Write Collision

전송 진행 중에 SPIDATA 레지스터에 쓰기를 시도하면 쓰기충돌이 발생한다

20.3.9 MODE Fault

SPI system 이 Master 로 설정되고, nSS signal input line 이 assert 되었을 때, mode fault error 가 발생하면, SPISTAT 의 MODF bit 이 set 된다. Master device 만 MODF 를 발생시킬 수 있으며, 다른 SPI device 가 master 가 되려고 할 때 발생한다.

20.3.10 Interrupt

SPIF Interrupt

FIFO 에 저장된 데이터와 TX Shift 레지스터가 모두 비워지면 발생하고, SPI 전송이 완료되었음을 의미한다. SPI 전송이 완료되었음을 확인할 수 있는 Interrupt 이다.

MODF Interrupt

Mode fault 가 일어나면 발생한다. Mode fault 란 여러 개의 Master 가 존재하는 경우 둘 이상의 Master 가 데이터를 전송하는 경우를 말한다.

nSS Interrupt

nSS port 신호를 감지하여 변화가 생기면 발생한다.

TX_FIFO_FULL, TX_FIFO_EMPTY, RX_FIFO_FULL, RX_FIFO_EMPTY

- TX_FIFO_FULL: 8Byte의 내부 FIFO 가 모두 채워졌음을 의미한다. 이 상태에서 TX FIFO에 데이터를 더 채우게 되면, 잘못된 데이터 전송이 이루어진다.
- TX_FIFO_EMPTY: TX FIFO에 채워졌던 데이터가 모두 전송 되었음을 의미한다. 그러나 아직 TX Shift 레지스터가 비워지지 않았기 때문에 SPI 전송이 완료된 것은 아니다.
- RX_FIFO_FULL: RX_FIFO가 모두 채워졌음을 의미한다.
- RX_FIFO_EMPTY: RX_FIFO 가 모두 비워졌음을 의미한다.

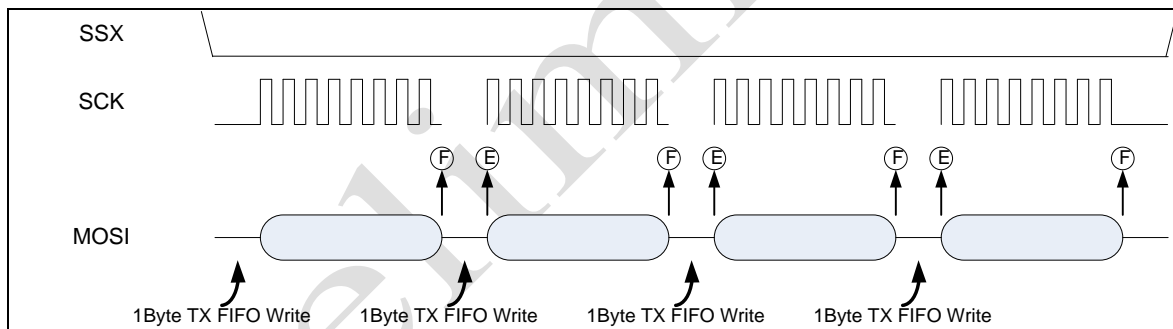


Figure 20-5 1-Byte Transfer vs. Status and Interrupt

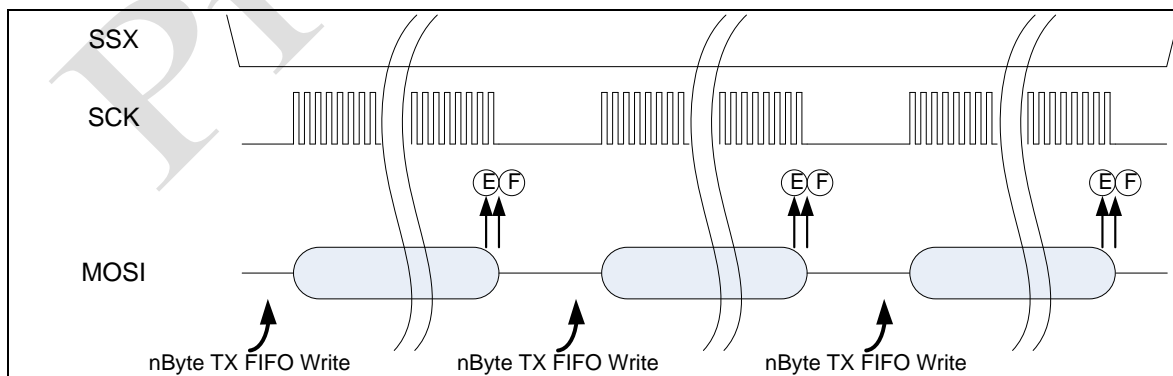


Figure 20-6 n-Bytes Transfer vs. Status and Interrupt

20.4 Register Description

20.4.1 SPI Control Register (SPICTRL)

Address : 0xA002_1000

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	SPIEN : SPI Enable 0 : SPI is disabled. 1 : SPI is enabled	0
6	R/W	WOMP : Wired-OR Mode for SPI Pins 0 : Outputs have normal CMOS drivers. 1 : Open-drain drivers	0
5	R/W	MSTR : Master/Slave Mode Select 0 : Slave operation 1 : Master operation	0
4	R/W	CPOL : Clock Polarity 0 : The inactive state value of SCK is logic level zero 1 : The inactive state value of SCK is logic level one.	0
3	R/W	CPHA : Clock Phase 0 : Data captured on the leading edge of SCK and changed on the trailing edge of SCK. 1 : Data is changed on the leading edge of SCK and captured on the trailing edge of SCK.	0
2	R/W	MSBF : Most Significant Bit First 0 : Serial data transfer starts with LSB. 1 : Serial data transfer starts with MSB.	0
1 : 0	R/W	SPI SIZE : Transfer Data Size 00 : 8-bit data transfer. 01 : 16-bit data transfer. 10 : 32-bit data transfer.	0

20.4.2 SPI Baud Rate Register (SPIBR)

Address : 0xA002_1004

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	R/W	Serial Clock Baud Rate $SCK = \frac{f_{PCLK}}{2 \times (SPIBR + 1)}$ Master Mode $SCK \leq APB\ Clock / 2$ Slave Mode $SCK \leq APB\ Clock / 4$	0xFF

20.4.3 SPI Status Register (SPISTAT)

Address : 0xA002_1008

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	SPIF : SPI Finished Flag 0 : SPI is not finished. 1 : SPI is finished.	0
6	R	WCOL : Write Collision 0 : No attempt to write to the SPDR happened during the serial transfer. 1 : Write collision occurred.	0
5	R	MODF : Mode Fault Flag 0 : Normal operation 1 : Another SPI node requested to become the network SPI master while the SPI was enabled in master mode	0
4	R	nSS : Slave Select Flag 0 : Current Value of nSS port is low 1 : Current Value of nSS port is high	0
3	R	STXF : TX FIFO Full Status bit 0 : FIFO_TX is not full 1 : FIFO_TX is full	0
2	R	STXE : TX FIFO Empty Status bit 0 : FIFO_TX is not empty 1 : FIFO_TX is empty	0
1	R	SRXF : RX FIFO Full Status bit 0 : FIFO_RX is not full 1 : FIFO_RX is full	0
0	R	SRXE : RX FIFO Empty Status bit 0 : FIFO_RX is not empty 1 : FIFO_RX is empty	0

20.4.4 SPI Data Register (SPIDATA)

Address : 0xA002_100C

Bit	R/W	Description	Default Value
31 : 0	R/W	SPI Data At 32-bit transfer mode - MSB of Data is SPDR[31] At 16-bit transfer mode - MSB of Data is SPDR[15] At 8-bit transfer mode - MSB of Data is SPDR[7] LSB of Data (received or transmit) is SPDR[0] in any transfer mode	0x0000_0000

20.4.5 SPI nSS Control Register (nSSCTRL)

Address : 0xA002_1010

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	RW	nSSCON : nSS Output Level	1

20.4.6 SPI Interrupt Mask Register (SPIINT)

Address : 0xA002_1014

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	RW	SPIFE : SPIF Interrupt en/disable SPIF Interrupt occurs when transfer has completed. 0 : SPIF interrupt is disabled 1 : SPIF is enabled	0
6	RW	MODFE : MODFI Interrupt en/disable MODFI Interrupt occurs when two more master use data line. 0 : MODFI interrupt is disabled 1 : MODFI is enabled	0
5	R	Reserved	0
4	RW	nSSEN : nSS Interrupt en/disable nSS Interrupt occurs when nSS signal has changed. 0 : nSS Interrupt is disabled 1 : nSS Interrupt is enabled	0
3	RW	STXFE : FIFO_TX_FULL Interrupt en/disable FIFO_TX_FULL Interrupt occurs when FIFO_TX is full 0 : FIFO_TX_FULL Interrupt is disabled 1 : FIFO_TX_FULL Interrupt is enabled	0
2	RW	STXEE : FIFO_TX_EMPTY Interrupt en/disable FIFO_TX_EMPTY Interrupt occurs when FIFO_TX is empty 0 : FIFO_TX_EMPTY Interrupt is disabled 1 : FIFO_TX_EMPTY Interrupt is enabled	0
1	RW	SRXFE : FIFO_RX_FULL Interrupt en/disable FIFO_RX_FULL Interrupt occurs when FIFO_RX is full 0 : FIFO_RX_FULL Interrupt is disabled 1 : FIFO_RX_FULL Interrupt is enabled	0
0	RW	SRXEE : FIFO_RX_EMPTY Interrupt en/disable FIFO_RX_EMPTY Interrupt occurs when FIFO_RX is empty 0 : FIFO_RX_EMPTY Interrupt is disabled 1 : FIFO_RX_EMPTY Interrupt is enabled	0

21 TWI (TWO WIRED INTERFACE)

adStar-L 은 범용 TWI 버스와 인터페이스를 위해 TWI 제어를 내장한다. TWI 는 SCL 과 SDA 신호를 가진다.

21.1 Features

- Master transmitter mode
- Master receive mode
- Slave transmitter mode
- Slave receive mode
- Software programmable clock frequency
- Software programmable acknowledge bit
- Interrupt driven data-transfers
- Start/Stop/Repeated Start/Acknowledge generation
- Multi master operation

21.2 Block Diagram

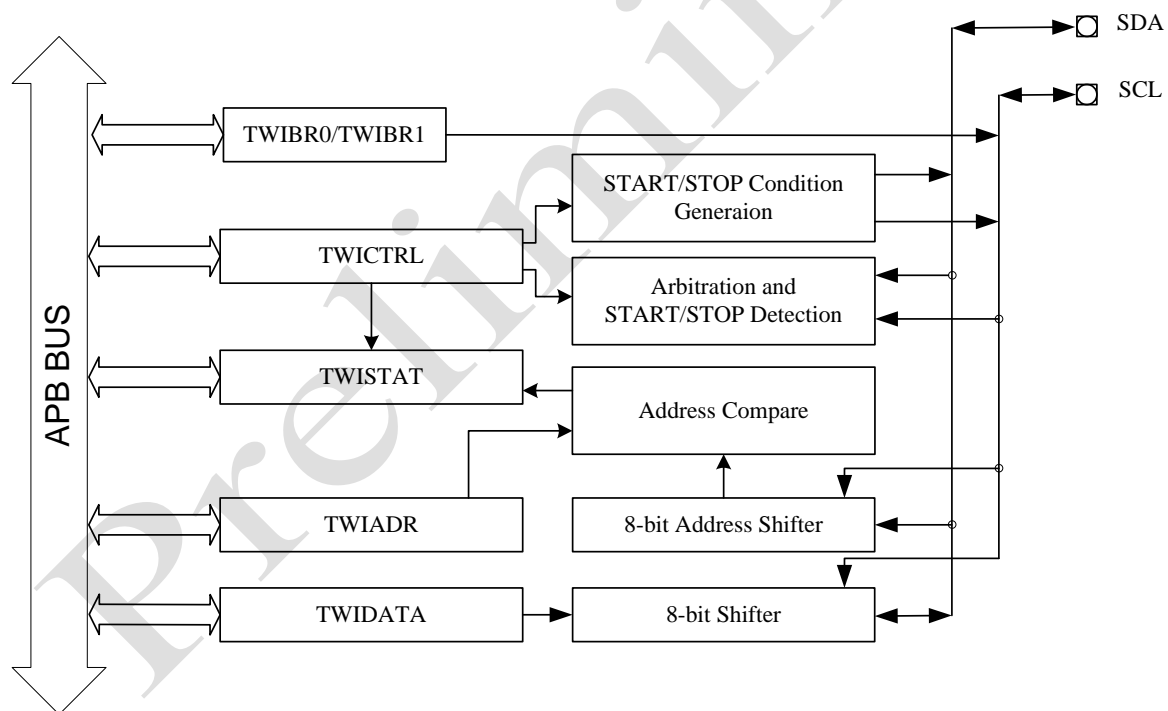


Figure 21-1 TWI Block Diagram

21.3 Functional Description

21.3.1 DATA TRANSFER FORMAT

SDA 라인에는 모든 데이터 길이는 8 비트다. 매 전송마다 전송될 수 있는 바이트 수는 제한되어 있지 않다. Start condition 다음의 첫 바이트는 주소 필드이다. TWI-bus 가 Master 로 모드로 동작 할 때 Master 에 의해 주소 필드가 전송된다. 모든 바이트는 다음에는 ACK 비트가 따라온다. 항상 데이터와 주소의 MSB 비트부터 전송이 시작된다.

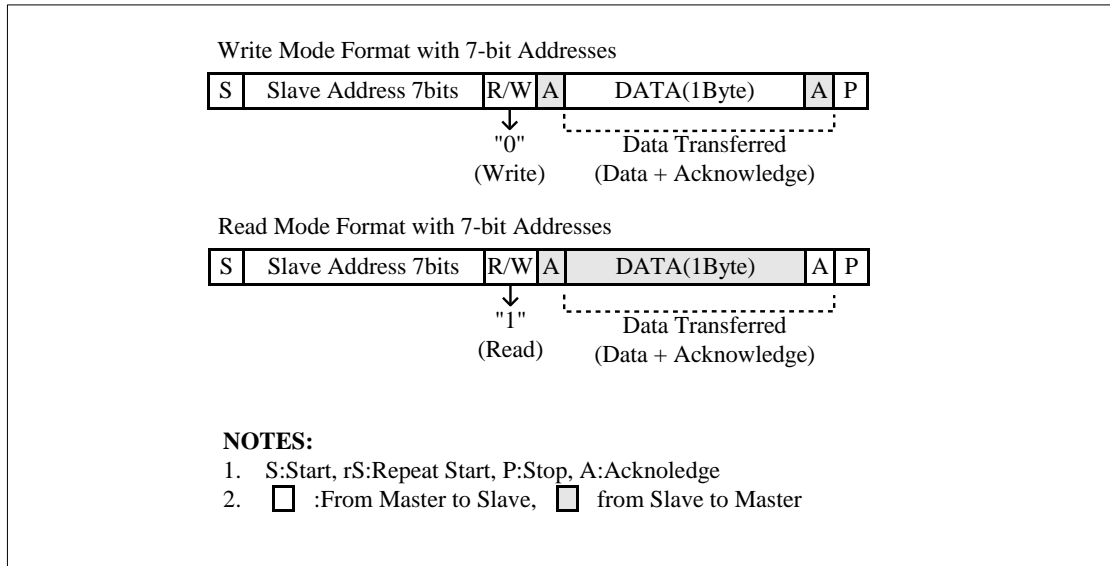


Figure 21-2 TWI-Bus Interface Data Format

21.3.2 START AND STOP CONDITION

Start condition 은 1 Byte 의 data 를 전송 할 수 있다. 그리고, Stop condition 은 data 전송을 종료한다. Start condition 은 SCL 이 high 일 때 SDA line 이 high-to-low 로 transition 한다. Stop condition 은 SCL 이 high 일 때 SDA line 이 low-to-high 로 transition 한다. Start condition 이 발생하면, TWI bus 는 busy 가 된다. Stop condition 이 발생한 후, TWI bus 는 자유롭게 된다.

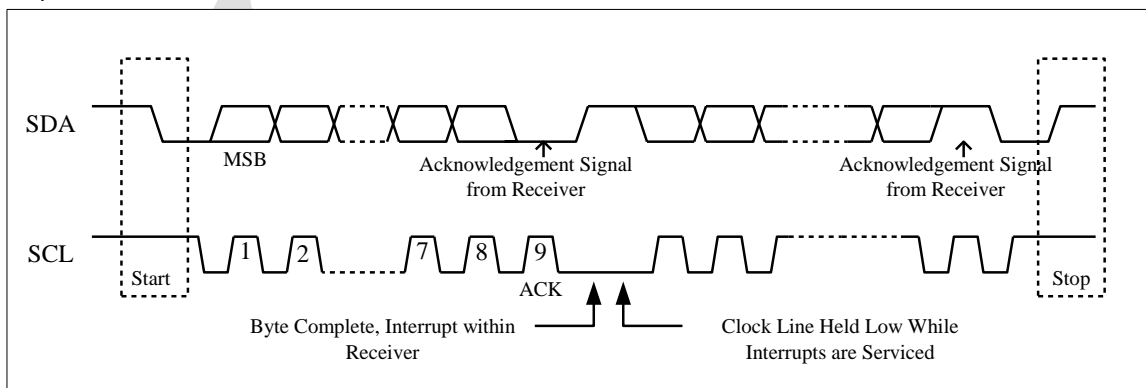


Figure 21-3 Data Transfer on the TWI-Bus

21.3.3 ACK SIGNAL TRANSMISSION

한 바이트 전송을 완전히 끝내기 위해서는 수신단은 송신단에 ACK 비트를 보내야 한다. ACK 펄스는 SCL 라인의 9 번째 클럭 에서 발생해야 한다. 그래서 한 바이트 데이터를 전송을 위해 모두 9 개의 클럭이 필요하다. Master 는 ACK 비트 전송을 위한 클럭 펄스를 생성해야 한다.

송신단은 ACK 클럭 펄스를 입력 받을 때 SDA 라인을 “High”로 만들기 위해 SDA 라인을 놓아줘야 한다. 또한 수신기는 ACK 펄스 때 SDA 라인을 “Low”로 유지하여 SCL 의 아홉 번째의 “High” 구간에서 SDA 를 “Low”로 만든다.

ACK 비트는 소프트웨어적으로 control register 의 TXACK 비트를 설정하여 ACK 나 NOACK 로 선택할 수 있다.

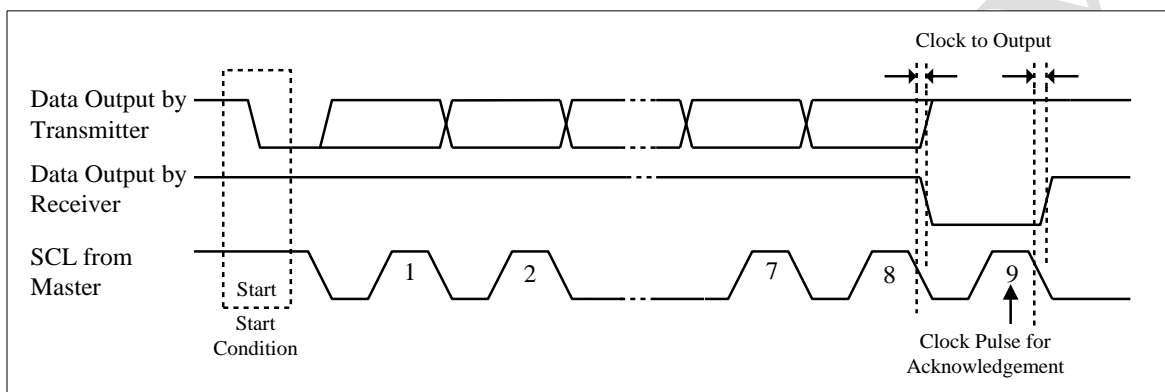


Figure 21-4 Acknowledgement of TWI

21.3.4 READ-WRITE OPERATION

송신 동작 모드에서 데이터 전송 후에 TWI-bus 인터페이스는 데이터 쉬프트 레지스터에 데이터가 준비될 때까지 기다려야 한다. 데이터 쓰여질 때까지 SCL 라인은 Low 로 유지될 것이다. 새로운 데이터가 데이터 쉬프트 레지스터에 쓰여지고 나서 SCL 은 release 된다.

Interrupt 를 사용할 경우, TWI 는 현재 데이터 전송 후 interrupt 를 요청한다. CPU 는 interrupt 요청을 받은 뒤에 새로운 데이터를 버퍼에 쓴다.

수신 동작 모드에서 데이터를 수신한 후에, TWI bus 는 data 를 읽어 갈 때까지 기다린다. 수신된 데이터가 읽어 갈 때까지 SCL 을 LOW 로 유지 된다. 새로운 data 가 읽혀지고 난 다음에 SCL 은 release 된다.

Interrupt 를 사용할 경우, TWI 는 데이터를 수신한 후 interrupt 를 발생하고, interrupt request 를 받은 CPU 는 data 를 읽는다.

21.3.5 BUS ARBITRATION PROCEDURES

여러 개의 master 가 bus 를 동시에 제어 하는 것을 방지한다. SDA line 에 high level 을 내보낸 master 가 또 다른 master 가 내보낸 low level 의 SDA line 을 인식하면, 현재 TWI bus 를 자신이 아닌 다른 master 가 제어한다고 인식하고, 데이터 전송을 더 이상 진행하지 않도록 한다.

Device1 과 Device2 과 동시에 master mode 로 동작하는 경우에 SCL 라인에서 발생하는 클럭의 모양을 보면 다음과 같이 동기화가 이루어진다.

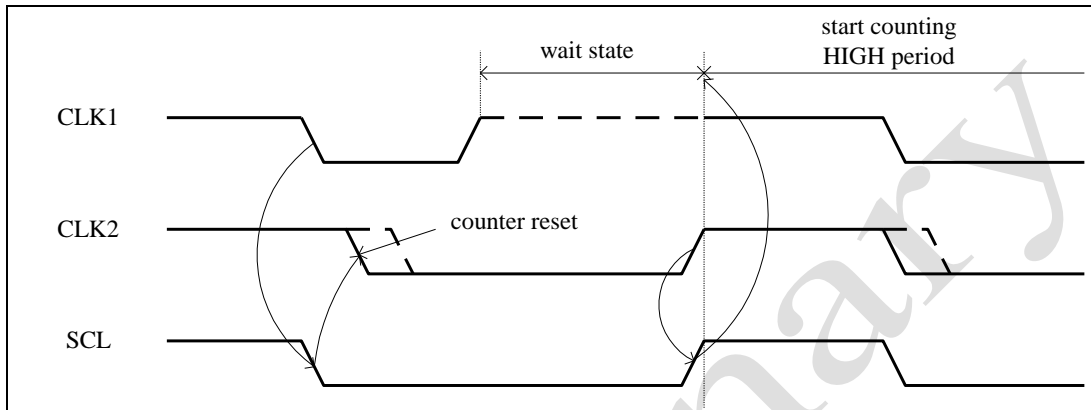


Figure 21-5 Bus arbitration 1 of TWI

위 상황에서 SDA 라인에 나타나는 data 값에 따라 Device1, Device2 중 하나가 우선권을 갖는 과정은 다음과 같다

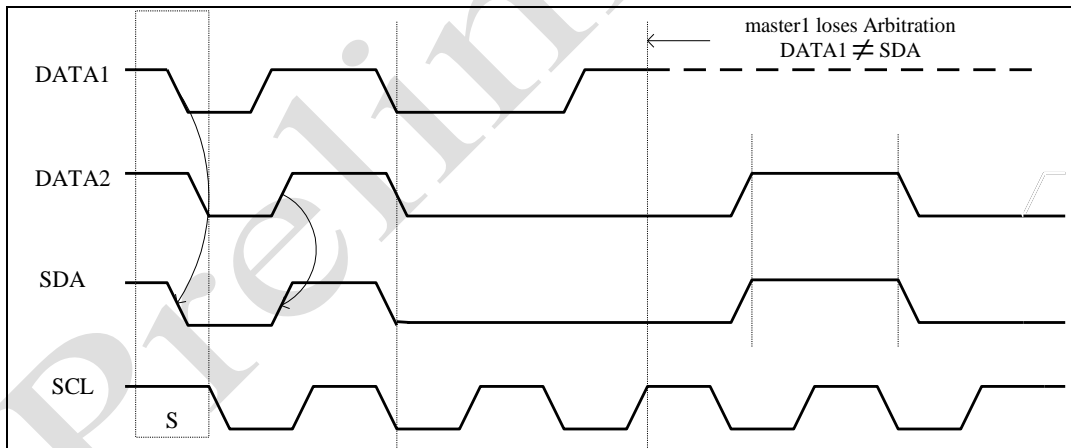


Figure 21-6 Bus arbitration 2

21.3.6 ABORT CONDITIONS

arbitration이 발생하지 않은 경우

1. TWICTRL 레지스터의 MSTR 비트를 클리어 시키면 stop 조건이 발생한다.
2. NO ACK 발생하여 stop 조건이 발생한다. 즉 ACK 구간에서 SDA 신호가 “Low”가 아니면 발생한다.

Arbitration이 발생한 경우

Arbitration 발생에 의해 제어권을 잃은 경우 MSTR 비트는 클리어 되지만 이에 의한 stop condition 은 발생하지 않는다. 현재 진행 중인 SCL 클럭은 한 바이트 전송 끝까지 진행되고 데이터 출력인 SDA 는 High 상태가 된다.

21.3.7 Operational Flow Diagrams

TWI initialization

TWI 는 먼저 초기화가 이루어져야 한다.

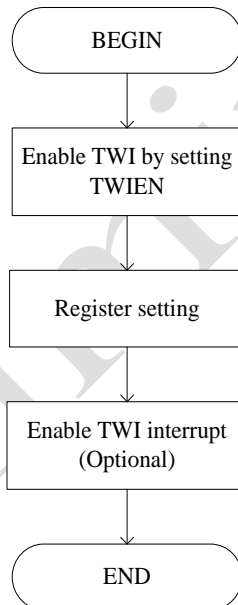


Figure 21-7 TWI Initialization Flow Char

Master Transmit / Receive

TWI 의 데이터 송신과 데이터 수신에 대한 Flow chart 이다. 송신 시와 수신 시에 있어서 가장 큰 차이점은 수신 시에는 마지막 데이터를 수신하기 전에 ACK 비트를 NOACK 로 설정하는 단계가 더 있다는 점이다. 이 것은 master 가 slave 에게 마지막 수신 데이터임을 알리기 위한 것이다. 또한, 실제 데이터를 수신하기 위한 SCL 클럭을 생성하기 위해 TWIDATA 레지스터의 dummy read 단계가 필요하다

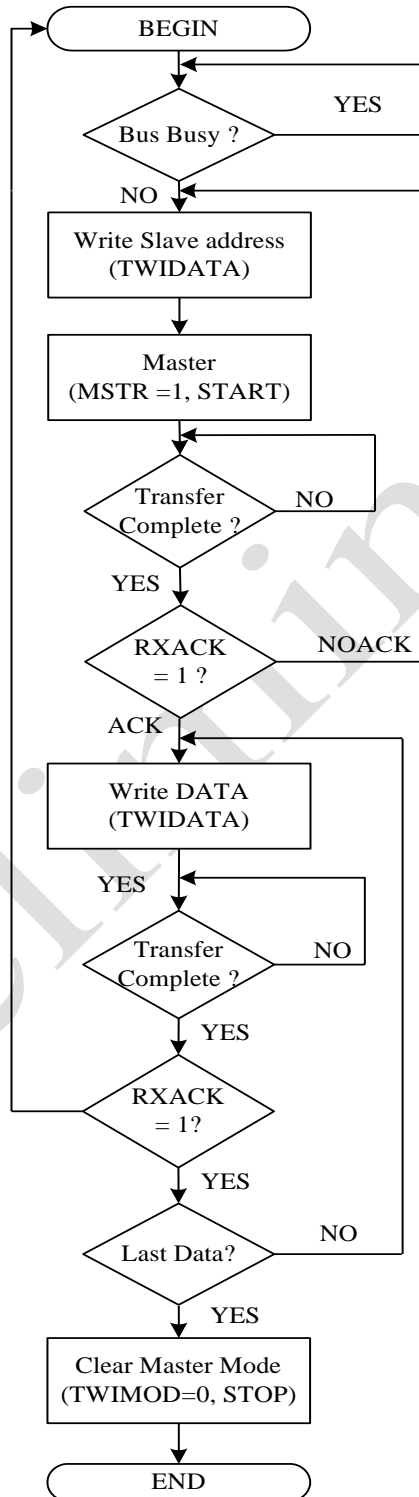


Figure 21-8 Master Transmit Flow Char

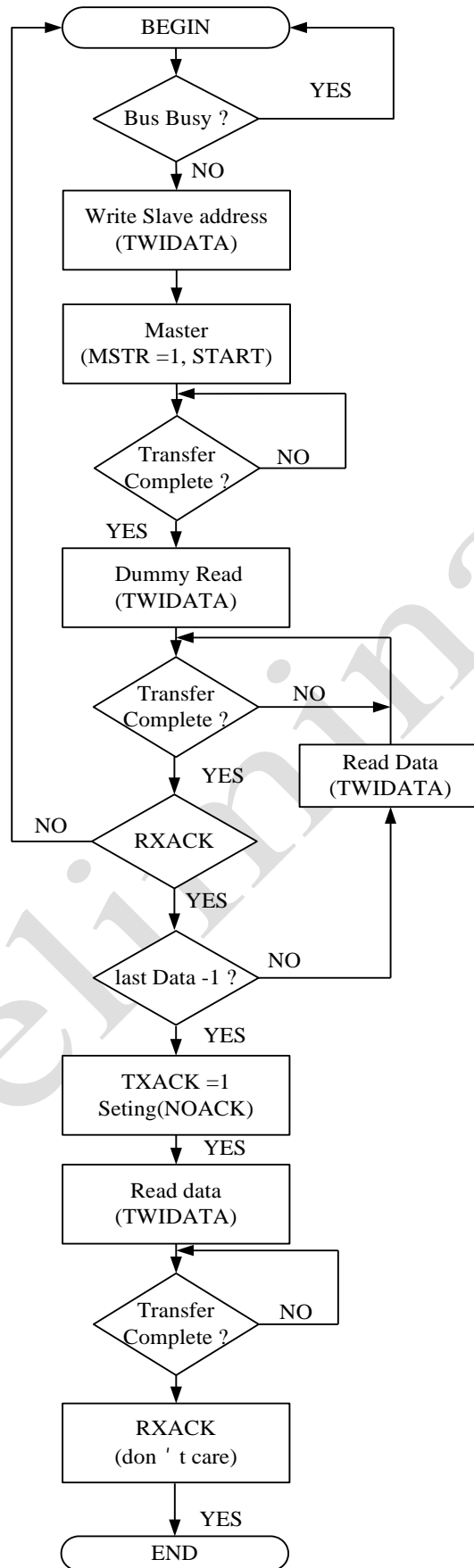


Figure 21-9 Master Receive Flow Char

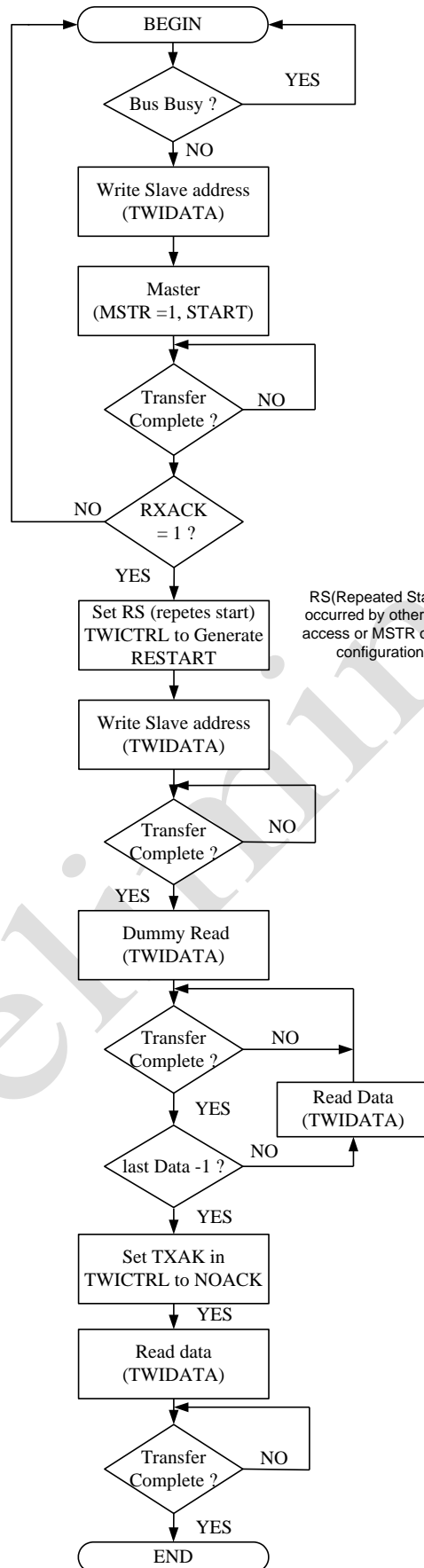


Figure 21-10 Master combined format Flow Char

Slave Mode (Polling mode)

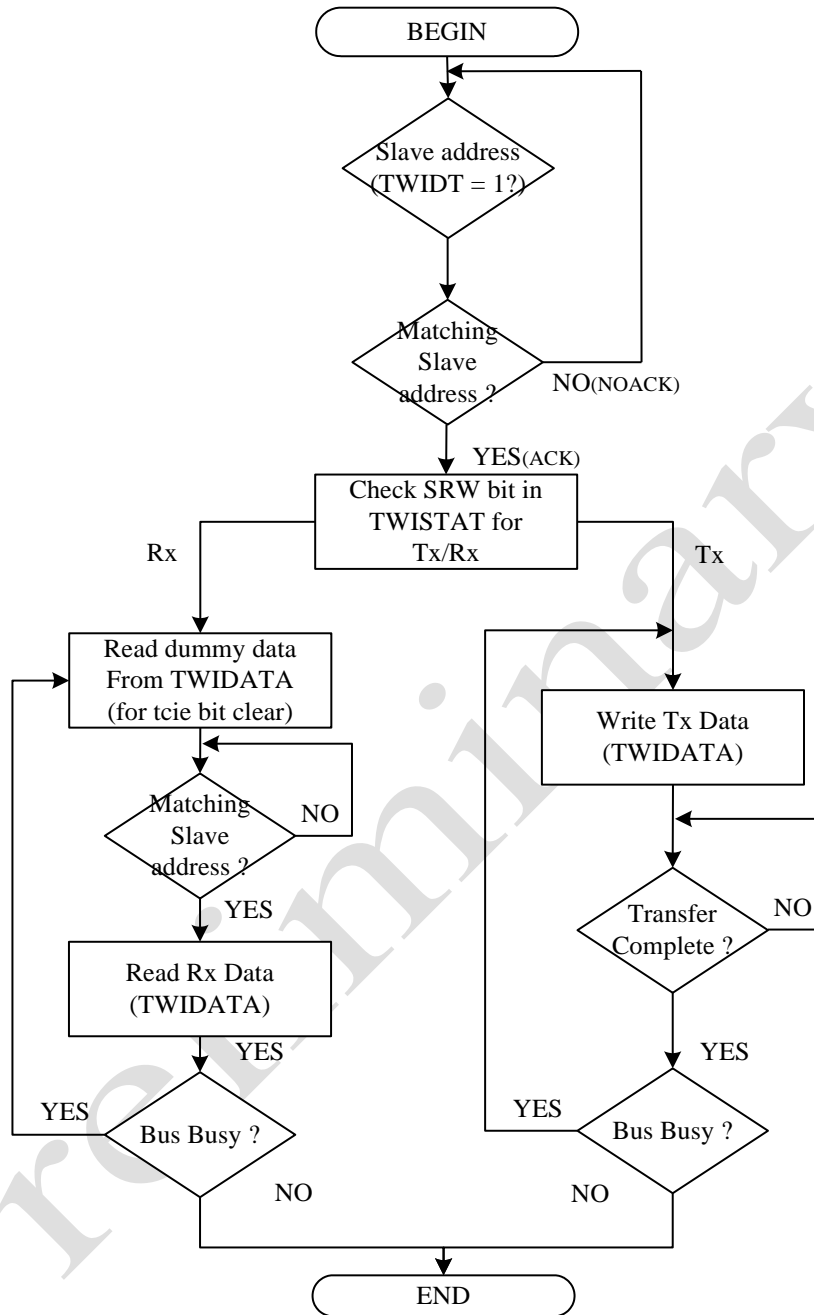


Figure 21-11 Slave Mode Flow Chart (Polling)

Slave Mode (Interrupt mode)

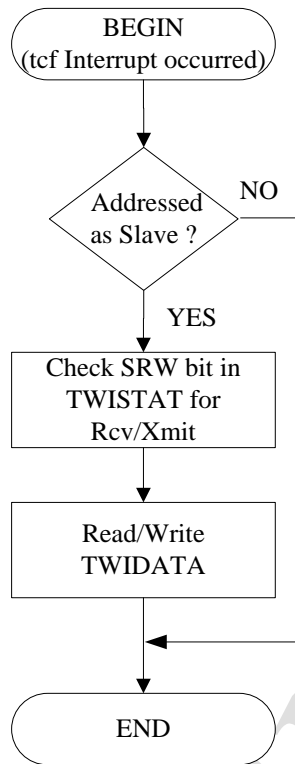


Figure 21-12 Slave Mode Flow Chart (Interrupt)

Preliminary

21.4 Register Description

21.4.1 TWI Control Register (TWICTRL)

Address : 0x8002_1800

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	RW	TWIEN : TWI Controller Enable. TWI 송수신을 위해서 다른 register의 setting에 앞서 먼저 이 bit를 set시킨다. 0: Disable 1: Enable	0
6	R	Reserved.	-
5	RW	TWIMOD : Master/Slave Mode Select. 0에서 1로 바뀌면 Master mode가 선택되면서 START condition이 발생한다. clear되면 STOP condition이 발생하고, Slave mode로 전환한다. clear되더라도 제어 권한을 잃은 상태라면, STOP condition은 발생하지 않는다. 0: STOP condition을 발생시킨다. 1: START condition을 발생시킨다.	0
4	RW	TWITR : Transmit/Receive Mode Select. Master Mode에서의 전송 동작을 결정한다. 0: TWI Master 수신 1: TWI Master 송신	0
3	RW	TWIAK : Transmit Acknowledge Enable. 이 비트는 ACK 구간 동안에 SDA line의 값을 결정한다. Master Receive Mode일 때 마지막 바이트 전송일 때 NO ACK는 데이터 전송이 마지막임을 나타낸다. 마지막 전송 후 NO ACK이면, STOP condition을 발생시킨다. 0: ACK bit = "0" – ACK (acknowledge) 1: ACK bit = "1" – NO ACK (no acknowledge)	0
2	RW	REPST : Repeated Start. 이 bit를 1로 write 하면, TWI controller 가 Master일 때 Repeated START condition을 발생시킨다. Repeated START condition이 발생하면 clear된다. 0: N/A 1: Repeated START condition을 발생시킨다.	0
1	R/W	TCIE : Transfer complete Interrupt enable bit 1-byte단위의 데이터 전송이 완료되었을 때, 인터럽트 발생 여부를 결정한다. 0: Disable 1: Enable	0
0	R/W	LSTIE : Lost arbitration Interrupt enable bit Master로 동작 시, 전송 권한을 잃었을 경우, 인터럽트 발생 여부를 결정한다. 0: Disable 1: Enable	0

21.4.2 TWI Status Register (TWISTAT)

Address : 0x8002_1804

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9	RW	TXEMPTY : TX Buffer Empty. 송신 버퍼의 상태를 나타낸다. 0일 때, 원하는 값으로 Write할 수 있다. 0: 송신 버퍼에 보낼 데이터가 있음 1: 송신 버퍼가 비었음	1
8	RW	RXFULL : RX Buffer Full. 수신 버퍼의 상태를 나타낸다. 1일 때, 원하는 값으로 Write할 수 있다. 0: 수신 버퍼가 비었음 1: 수신 버퍼에 읽어갈 데이터가 있음	0
7	R	TWIDT : Data Transferring Bit. 한 바이트 전송 될 때마다 set되고, TWIDATA 레지스터를 read나 write할 때 clear된다. 또한, 이 bit에 1을 write하면 clear된다. 0: 바이트 전송 중 1: 한 바이트 전송 완료	0
6	R	TWIAS : Addressed as Slave Bit. 자신의 address와 전송 받은 address가 일치할 때 TWI controller는 slave로서 동작하게 된다. TWICON 레지스터가 write되거나, STOP condition 발생 시 clear 된다. 0: Address가 일치하지 않음 1: Address가 일치함	0
5	R	TWIBUSY : Bus Busy Bit. TWI bus 상태를 의미한다. START condition에 의해 set 되고, STOP condition에 의해 clear된다. 이 비트에 0을 write하여도 clear된다. 0: Bus idle 상태 1: Bus busy 상태	0
4	RW	TWILOST : Lost Arbitration Bit. TWI controller가 master mode일 때, bus의 제어 권한을 잃었을 경우 set된다. 소프트웨어적으로 clear해주어야 한다. 1을 write하면 clear된다. 0: Lost arbitration이 발생하지 않았음. 1: Lost arbitration이 발생하였음.	0
3	R	TWISRW : Slave Read/Write Bit. TWI controller가 slave mode일 때 송수신 동작을 나타낸다. 0: Slave 수신 모드 1: Slave 송신 모드	0
2	R	Reserved.	-
1	RW	RSF : Repeated start flag Repeated START condition이 발생하였는지 확인하는 flag bit이다. Repeated START condition이 발생하면 set되며, STOP condition이 발생하거나, set된 상태에서 이 bit에 1을 write하면 clear된다. 0: Repeated START condition이 발생하지 않았거나 STOP condition이 발생하였음. 1: Repeated START condition이 발생하였음	0
0	R	TWIRXAK : Received Acknowledge Bit. ACK 구간에 들어온 SDA line의 값을 의미 한다. 0: Acknowledge 수신 1: No Acknowledge 수신	1

21.4.3 TWI Address Register(TWIADR)

Address : 0x8002_1808

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	(At only slave mode) 7-bit slave address. TWI controller의 device address를 나타낸다. [7:1] = Slave Address [0] = Not mapped	0x00

21.4.4 TWI Data Register (TWIDATA)

Address : 0x8002_180C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	TWI data : TWI 데이터를 나타낸다. Write - 송신 데이터 혹은 접근할 device의 주소. Read - 수신 데이터	0x00

21.4.5 TWI Baud-Rate 0 Register (TWIBR0)

Address : 0x8002_1810

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	Baud-rate 0 Value. TWIBR0 ≥ 3	0x0F

21.4.6 TWI Baud-Rate 1 Register (TWIBR1)

Address : 0x8002_1814

Bit	R/W	Description	Default Value
31 : 9	R	Reserved.	-
8 : 0	RW	Baud-rate 1 Value.. TWIBR1 ≥ 0	0xFF

$$TWIBR0 = f_{PCLK} \times 700ns + 3$$

$$SCL = \frac{f_{PCLK}}{(2TWIBR1 + TWIBR0 + 7)}$$

$$TWIBR1 = \frac{f_{PCLK}}{2SCL} - \frac{TWIBR0 + 7}{2}$$

* f_{PCLK} = AMBA APB clock frequency

* SCL = TWI transmission rate

ex) 만약 APB clock이 50MHz 이고, TWI transmission rate이 400Kbps이라면 계산 식은 다음과 같다.

$$(f_{PCLK} = 50MHz, SCL = 400Kbps)$$

$$TWIBR0 = 50MHz \times 700ns + 3 = 50 \times 10^6 \times 700 \times 10^{-9} + 3 = 38$$

$$SCL = \frac{f_{PCLK}}{(2TWIBR1 + TWIBR0 + 7)} \Rightarrow 400Kbps = \frac{50MHz}{(2TWIBR1 + 38 + 7)} \Rightarrow 400 \times 10^3 = \frac{50 \times 10^6}{(2TWIBR1 + 45)}$$

$$TWIBR1 = \frac{50 \times 10^3}{400kbps} - \frac{(TWIBR0 + 5)}{2}$$

- 700ns: rise time, fall (fast mode, max) for the synchronization

- 3cycle: low, high duty for the synchronization of ratio

<Baud-rate Register Setting Reference Table>

f_{PCLK}	TWIBR0	TWIBR1				
		400Kbps	300Kbps	200Kbps	100Kbps	50Kbps
60Mhz	45(0x2D)	50(0x32)	75(0x4B)	125(0x7D)	275(0x113)	-
50Mhz	38(0x26)	41(0x29)	62(0x3E)	104(0x68)	228(0xE4)	-
48Mhz	37(0x25)	39(0x27)	59(0x3B)	99(0x63)	219(0xDB)	459(0x1CB)
33Mhz	26(0x1A)	26(0x1A)	40(0x28)	67(0x43)	150(0x96)	315(0x13B)
24Mhz	20(0x14)	18(0x12)	28(0x1C)	48(0x30)	108(0x6C)	228(0xE4)
12Mhz	12(0x0C)	7(0x07)	12(0x0C)	22(0x16)	52(0x34)	112(0x70)
6Mhz	7(0x07)	2(0x02)	4(0x4)	9(0x9)	24(0x18)	54(0x36)
11.2896Mhz	11(0x0B)	6(0x06)	11(0xB)	20(0x14)	48(0x30)	105(0x69)
5.6448Mhz	7(0x07)	1(0x01)	3(0x3)	8(0x8)	22(0x16)	50(0x32)

* Above table can bear some errors.

TWI baud rate 설정은 data setup time, hold time을 확보 하기 위해서 scl의 LOW 구간은 scl의 HIGH구간 이상의 값을 설정 해야 한다.

EX)

50 Mhz, 50kbps 에서 scl의 LOW은 TWIBR0 (38) + TWIBR1 (479) 이다.

이 때, scl 의 LOW 구간은 517(0x205)가 아닌 17(0x11)이 된다.

(TWIBR0 + TWIBR1 은 500이 넘어서는 안 된다.)

이 같은 경우, data setup time, hold time에 대하여 확보 할 수 없기 때문에 정상적인 동작이 이루어 지지 않는다.

data setup time, hold time을 확보하기 위해서는 최소 TWIBR0 설정 이상의 LOW구간이 필요하기 때문이다.

* TCF interrupt.

tcf_irq interrupt 신호는 데이터 전송의 끝에 발생하는 신호 이다(1-byte).

이 신호는 SCL 라인의 9 번 toggle 후 에 나타난다.(TCIE(Confirm Transfer complete bit)).

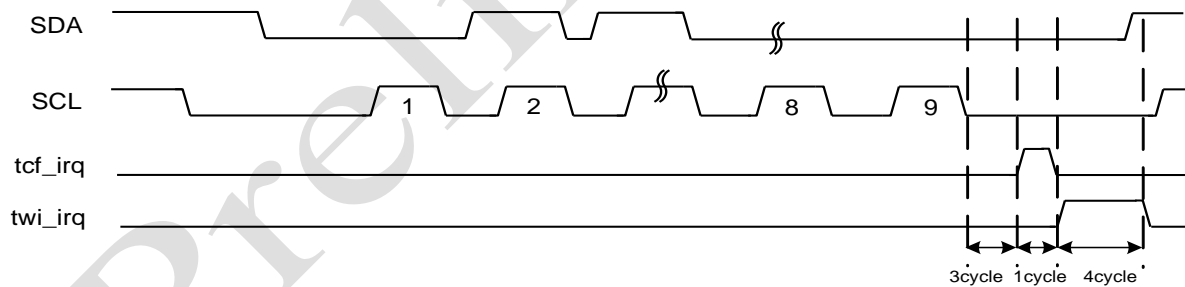


Figure 21-13 Tcf interrupt wave form

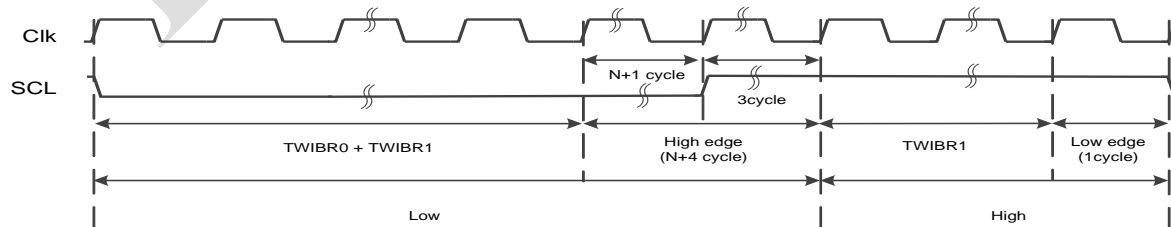


Figure 21-14 SCL Hold wave form

* 최소 high edge 구간은 4cycle 이다. 최대 high edge 구간은 4-cycle + α. (TWI 가 master Mode 로 동작할 경우, slave 측에서 SCL 라인을 low 로 hold 하기 때문이다)

22 SOUND MIXER

22.1 Features

- 4-CH. Mixing
- Re-Sampler
- Gain Controller
- 32-Depth Buffer for each channel
- 1-CH PWM output for Stereo or 2-CH PWM output for mono (1-CH Digital Modulator)

22.2 Block Diagram

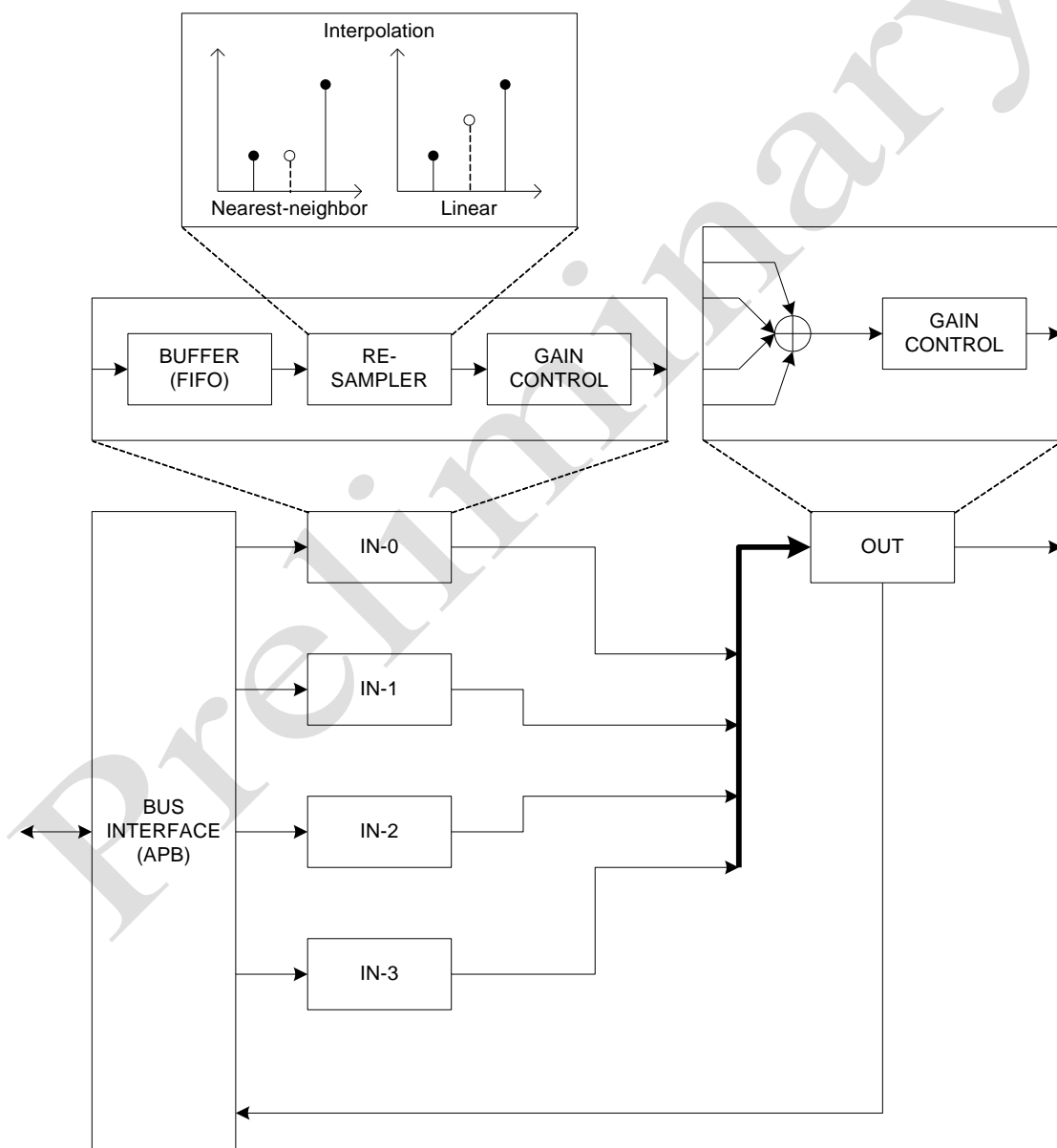


Figure 22-1 Mixer Block Diagram

22.3 Low Pass Filter for Digital Modulator

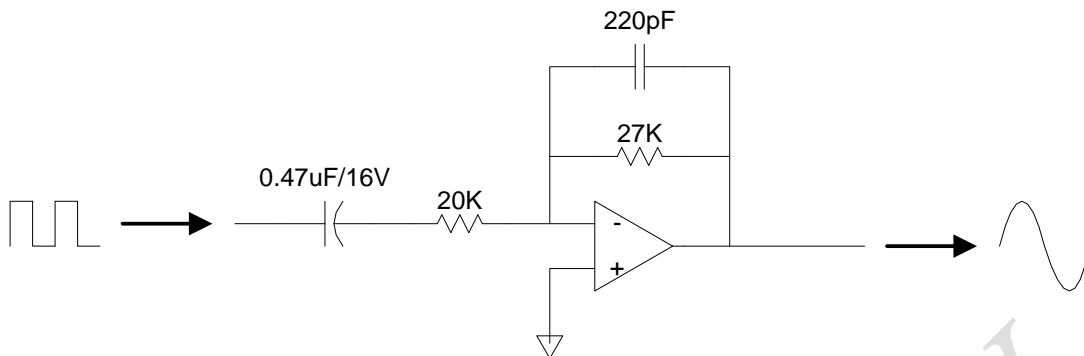


Figure 22-2 Low pass filter for digital modulator

22.4 Sound Mixer clock

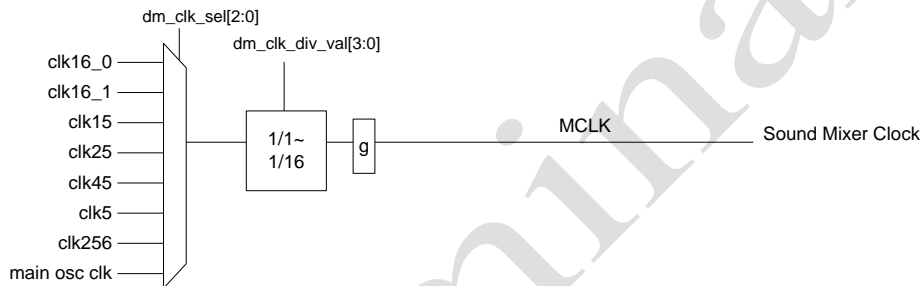


Figure 22-3 Sound Mixer Pre-Scaler

Figure 22-3 에 나타난 바와 같이, MCLK 에 대한 8 개의 가능한 소스가 있다. 선택된 클럭은 추가로 음향 믹서 모듈 가기 전에 1 ~ 1/16 까지 모든 비율로 분할 될 수 있다(4.2 Clock control 참조)

22.5 Mixer Block Diagram

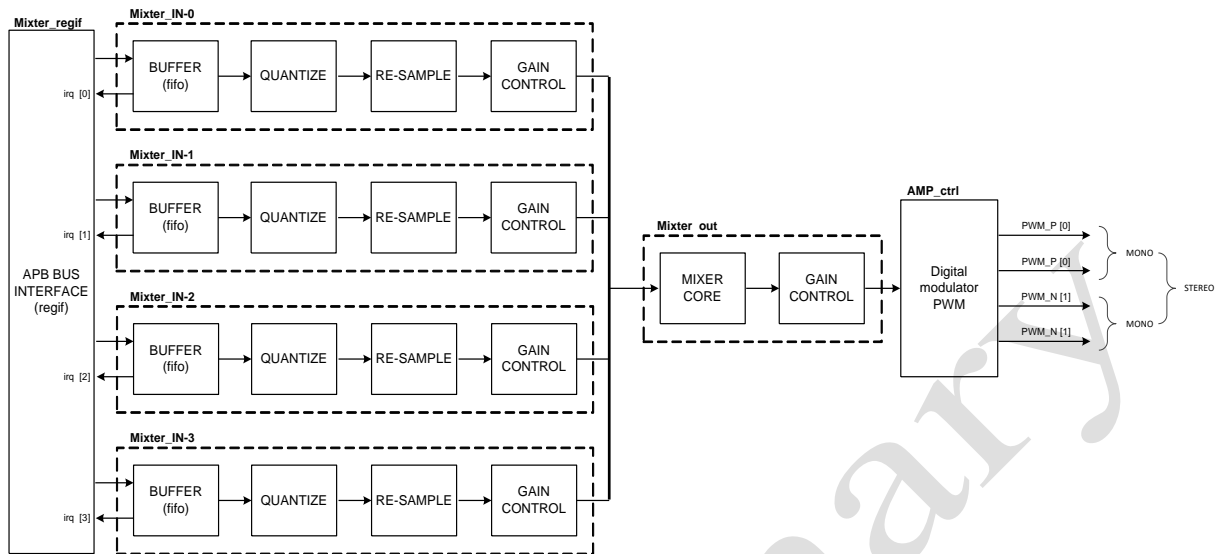


Figure 22-4 Sound Mixer output diagram

* Sound mixer 는 4ch input(IN0~3) 이 존재 하고, 1ch output(out_2)이 존재 한다.

Figure 22-4 에 도시된 바와 같이 IN0~3 그리고 out 이 존재 하고 PWM_P, N 두 개를 사용하면 mono 출력 이고 4 개를 사용하면, stereo 출력이다.

22.6 Register Description

22.6.1 Mixer Control Register (MIXER_CON)

Address: 0xA002_1C00, 0xA002_1C10, 0xA002_1C20, 0xA002_1C30 (IN-0 ~ IN-3)

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28	R/W	Method of interpolation 0: Nearest-neighbor 1: Linear	0x0
27 : 25	R	Reserved	-
24 : 16	R/W	Step for re-sampling $N = ((InFs * 256) / OutFs) - 1, (N=0\sim511)$	0x0FF
15 : 10	R	Reserved	-
9 : 8	R/W	Out selection 10 : Out	0x0
7 : 4	R/W	Mode 0000: Unsigned stereo 8-bit PCM 0001: Unsigned mono 8-bit PCM 0010: Signed stereo 8-bit PCM 0011: Signed mono 8-bit PCM 0100: Unsigned stereo 16-bit PCM 0101: Unsigned mono 16-bit PCM 0110: Signed stereo 16-bit PCM 0111: Signed mono 16-bit PCM 1xxx: Reserved	0x0
3	R/W	DMA request 0: Disable 1: Enable	0x0
2	R/W	Interrupt 0: Disable 1: Enable	0x0
1	R/W	L/R swap 0: Disable 1: Enable	0x0
0	R/W	Active 0: Disable 1: Enable	0x0

Address: 0xA002_1CA0 (OUT)

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Active 0: Disable 1: Enable	0x0

22.6.2 Mixer Volume Register (MIXER_VOL)
**Address: 0xA002_1C04, 0xA002_1C14, 0xA002_1C24, 0xA002_1C34,
0xA002_1CA4 (IN-0 ~ IN-3, OUT)**

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R/W	Right gain (± 0.5 dB) 0xFF(0dB) ~ 0x80(-63.5dB), 0x7F~0x0($-\infty$ dB)	0xFF
7 : 0	R/W	Left gain (± 0.5 dB) 0xFF(0dB) ~ 0x80(-63.5dB), 0x7F~0x0($-\infty$ dB)	0xFF

22.6.3 Mixer Buffer Status Register (MIXER_BST)
**Address: 0xA002_1C08, 0xA002_1C18, 0xA002_1C28, 0xA002_1C38
(IN-0 ~ IN-3)**

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R	Buffer count value 0(Empty) ~ 32(Full)	0x0

22.6.4 Mixer Data Register (MIXER_DAT)
**Address: 0xA002_1C0C, 0xA002_1C1C, 0xA002_1C2C, 0xA002_1C3C
(IN-0 ~ IN-3)**

Bit	R/W	Description	Default Value
31 : 0	R/W	PCM data	-

22.6.5 Mixer Out Register (MIXER_OUT)
Address: 0xA002_1CAC (OUT)

Bit	R/W	Description	Default Value
31 : 10	R/W	Reserved	-
9 : 8	R/W	Step for over-sampling 00: x1 01: x2 10: x4 11: x8	0x0
7 : 4	R/W	Sine wave generation (For test) 0000: Disable otherwise: Enable	0x0
3 : 2	R/W	PWM modulation 00: Class-AD single side modulation 01: Class-AD double side modulation 10: Class-BD single side modulation 11: Class-BD double side modulation	0x0
1 : 0	R/W	Noise transfer function 00: Disable 01: 4th-order FIR filter 10: 5th-order FIR filter 11: 5th-order optimal FIR filter	0x0

22.6.6 Mixer Interrupt Status Register (MIX_IST)
Address: 0xA002_1CC0

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 4	R	Reserved	-
3	R	IN-3 interrupt	0x0
2	R	IN-2 interrupt	0x0
1	R	IN-1 interrupt	0x0
0	R	IN-0 interrupt	0x0

23 ADC CONTROLLER

adStar-L 은 100KSPS 12-bit SAR ADC 를 내장한다. 권장 동작 frequency 는 1.2Mhz 이다. Conversion cycle 은 ADC input clock 으로 15cycle 이다.

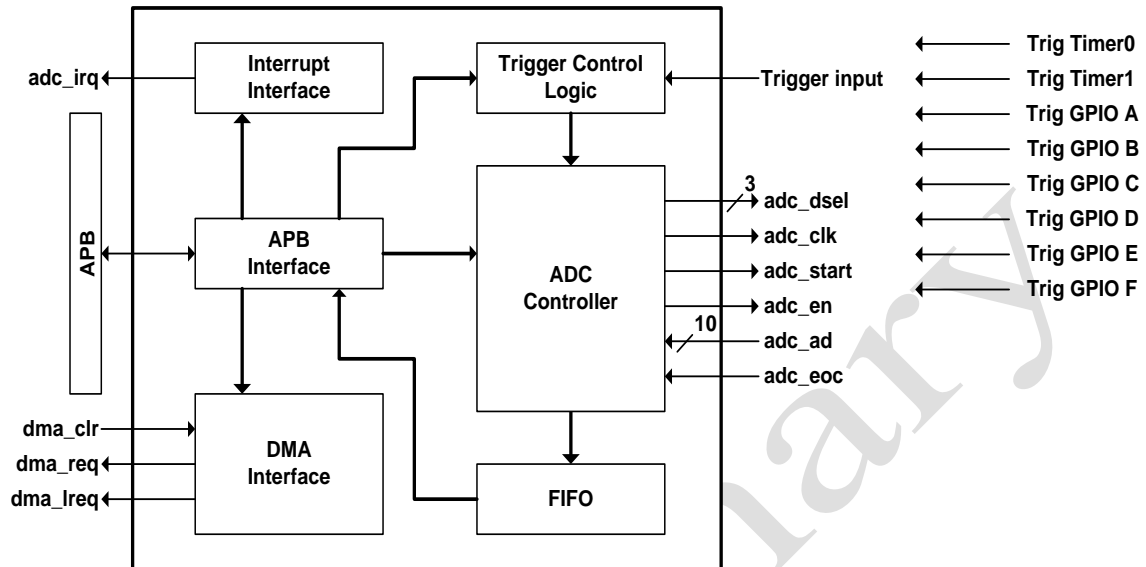


Figure 23-1 ADC Block Diagram

23.1 Features

- Various SOC source select
- Continuous Mode support
- 4-depth FIFO
- DMA Mode (in FIFO Mode)
- 4 channel input

23.2 Register Description

23.2.1 ADC Control Register (ADCCTRL)

Address : 0xA002_3800

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15	R/W	External Trigger Enable 1: External Trigger enable 0: External Trigger disable	0
14 : 12	R/W	External Trigger Source Select Choose trigger source for SOC 000: Timer 0 001: Timer 1 010: GPIOA[7] 011: GPIOB[0] 100: GPIOC[7] 101: GPIOD[7] 110: GPIOE[7] 111: GPIOF[7]	000
11	R/W	Periodic Mode Selection 0: Normal Operation Mode (1 pulse SOC Generation) 1: Periodic Mode (Continuous SOC Generation)	0
10	R/W	DMA Last Transfer FIFO Mode이고, DMA Mode일 때, 이 bit를 1로 set하면, DMA Last Request를 수행. Request가 발생하면 clear	0
9	R/W	DMA Mode Enable FIFO Mode일 경우, 이 bit를 1로 set하면, FIFO가 full이 될 때마다 DMA 전송을 요청. DMA Last Request가 발생하면 clear	0
8	R/W	FIFO Mode 1: Using FIFO 0: NOT using FIFO	0
7 : 5	R/W	ADC Channel Selection 000: ADCIN0 001: ADCIN1 010: ADCIN2 011: ADCIN3	00
4 : 2	R/W	ADC Source clock selection 000: APB Clock / 2 001: APB Clock / 4 010: APB Clock / 8 011: APB Clock / 16 100: APB Clock / 32 101: APB Clock / 64 110: APB Clock / 128 111: APB Clock / 256 * Sampling 주기는 ADC Source clock의 주기의 12배가 된다..	00
1	R/W	ADC Start Conversion(STC) 1로 설정하면 SOC 발생. ADC Clock으로 한 주기가 지나면 clear.	0
0	R/W	ADC Enable 0: ADC Disable 1: ADC Enable	0

23.2.2 ADC Data Register (ADCDATA)

Address: 0xA002_3804

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 0	R	12-bit ADC data	0x000

23.2.3 ADC FIFO Register (ADCFIFO)

Address: 0xA002_3808

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 0	R	In case of ADC FIFO Mode 12-bit ADC FIFO Data	0

23.2.4 ADC Status Register (ADCSTAT)

Address : 0xA002_380C

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R	EOC status 0: EOC have not occurred. 1: an EOC has occurred. EOC가 발생 했을 때, '1'의 상태가 되며, 이 bit를 읽으면 Clear 된다.	0
7	R	EOC Occur Check [START/EOC pair] ADC START and ADC EOC pair latch를 선택 했을 경우, 유효하며, ADC START 이후 ADC EOC가 발생 하지 않았을 경우 '1'의 상태가 된다. EOC가 발생 하거나, EOC Reset를 set 했을 경우, '0'의 상태가 된다..	0
6	R	FIFO Overflow 1이면 FIFO가 Overflow되었다는 의미이며, Overflow 상태에서 새로운 데이터가 들어오면, 오래된 데이터부터 삭제되고, 새로운 데이터가 FIFO에 쌓이게 된다.	0
5	R	FIFO Full 1: FIFO is Full 0: FIFO is not Full	0
4	R	FIFO Empty 1: FIFO is Empty 0: FIFO is not empty	1
3 : 1	R	FIFO Level (0~4)	0
0	R	ADC Data Ready 1: ADC Data is valid 0: ADC Data is not ready	0

23.2.5 ADC Control Register2 (ADCCTRL2)

Address: 0xA002_3810

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-
4	R/W	EOC Reset 0: Disable 1: Enable ADC START and ADC EOC pair latch를 선택 했을 경우, 유효하며, ADC START 이후 ADC EOC가 발생 하지 않을 경우, Controller의 상태를 IDLE 상태로 만드는데 사용 된다.	0
3:1	R	Reserved	-
0	R/W	Latch Select '0' 일 경우, ADC START 이후 EOC가 발생 할 때마다 data를 latch 하며, '1'일 경우 ADC START 이후 처음 EOC 가 발생 했을 때만 data를 latch 하고, EOC가 지속적으로 발생 하더라도, 다음 ADC START 이후 EOC가 발생 할 때까지, data를 latch 하지 않는다.	0

24 TFT LCD CONTROLLER

24.1 Introduction

LCD Controller 는 Register, Timing Generation, Address Generation, FIFO Control, Sync Control, Request Generation, External Sync Detector 블록 등으로 구성되어 있다.

LCD Controller 는 Screen Refresh 를 위하여, 프레임 메모리의 데이터를 읽어오기 위하여 Request Generation, Request Address Generation, FIFO Control 블록이 있으며, VGA 모드를 위한 Sync Control 블록이 있다. Timing Generation 블록은 LCD Controller 의 전반적인 Timing 을 제어한다.

LCD 컨트롤러는 synchronous LCD 인터페이스를 처리 한다. LCD 디스플레이는 provides timing 과 data 를 일정하게 graphics refresh 한다. 또한, 프로그래밍 타이밍 제어를 이용하여 풀 컬러 디스플레이의 유형과 크기를 다양하게 지원한다. 그래픽스 데이터는 처리되어 프레임 버퍼에 저장 된다. 프레임 버퍼는 시스템의 연속적인 메모리 블록이며,

내장 된 엔진 DMA 은 외부 LCD 장치에 그래픽 데이터를 공급 한다.

DMA 엔진은 외부 LCD 패널 프레임 버퍼로부터의 데이터의 일정한 흐름을 제공 한다. 또한, CPU 는 액세스 APB 버스를 통해 레지스터를 판독 및 기록하기 위해 제공 된다. 디스플레이 출력을 위한 프레임 데이터는 AHB 인터페이스를 통해 메모리로부터 패치 된다. 타이밍 발생 블록은 정확한 외부 타이밍 생성을 담당 한다.

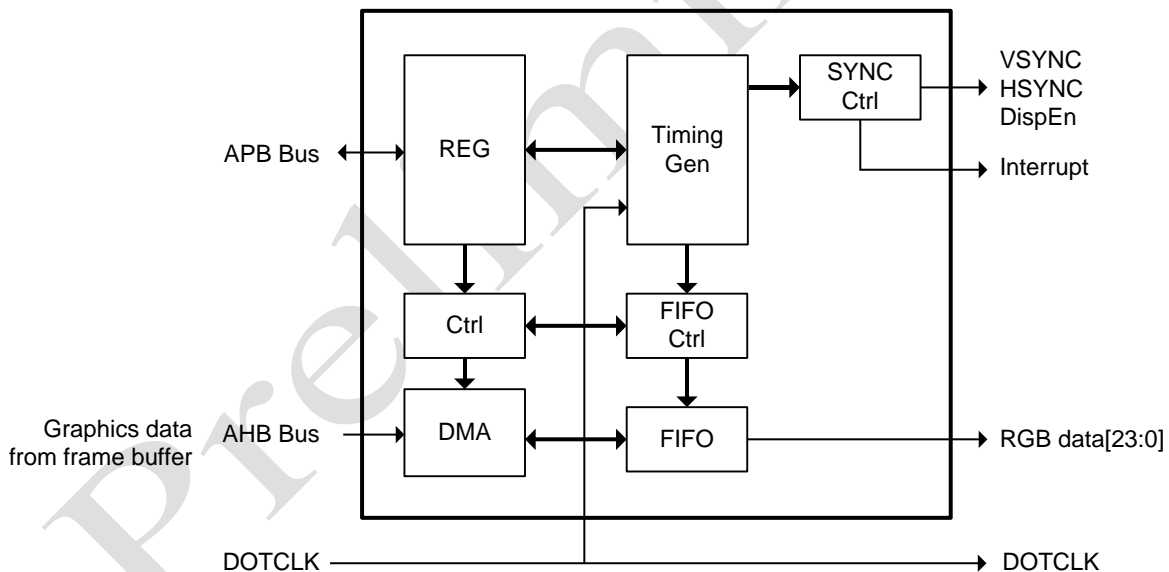


Figure 24-1 LCD Controller Block Diagram

24.2 Features

General features of the LCD Controller include:

- Supports up to 24-bit data output; 8 bits-per-pixel (RGB).
- Supports up to SVGA(800x600) resolution.
- Supports TFT color displays.
- Internal Color Bar Generator
- Programmable timing for different display panels.
- AHB bus master interface to access frame buffer.
- A page-flip double buffering mechanism, synchronizing read and write access to system memory, to prevent tearing effects.

24.3 Functional Description

24.3.1 LCD clock source and divider

다음 그림 Figure 24-2 는 LCD 클럭 과 lcd_clk_sel 및 lcd_clk_div_val 제어 비트에 의한 클럭 소스 컨트롤러를 보여 준다. (Section4.2, Clock control 참고).

DOTCLK 는 LCD 디스플레이에 의해 사용되는 연속 한 기준 클럭이 사용으로 전환 된다.

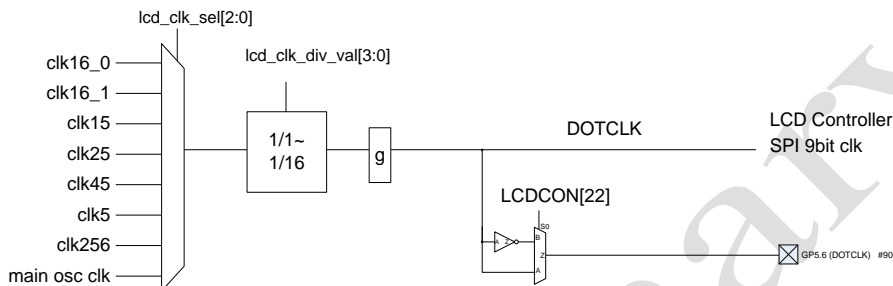


Figure 24-2 LCD Clock

24.3.2 Double buffering

적어도 2 개의 프레임 버퍼를 갖는 것이 바람직하다(front buffer, back buffer).

수직 동기화 발생 될 때까지 flip 디스플레이 지연이 발생 한다. 디스플레이 되고 완료되기 전에 다시 버퍼에 기록하지 않게끔 지연을 보장 할 필요가 있다 이러한 동기화는 이중 버퍼링을 사용할 때 tearing 영향을 피할 수 있다는 것을 의미한다.

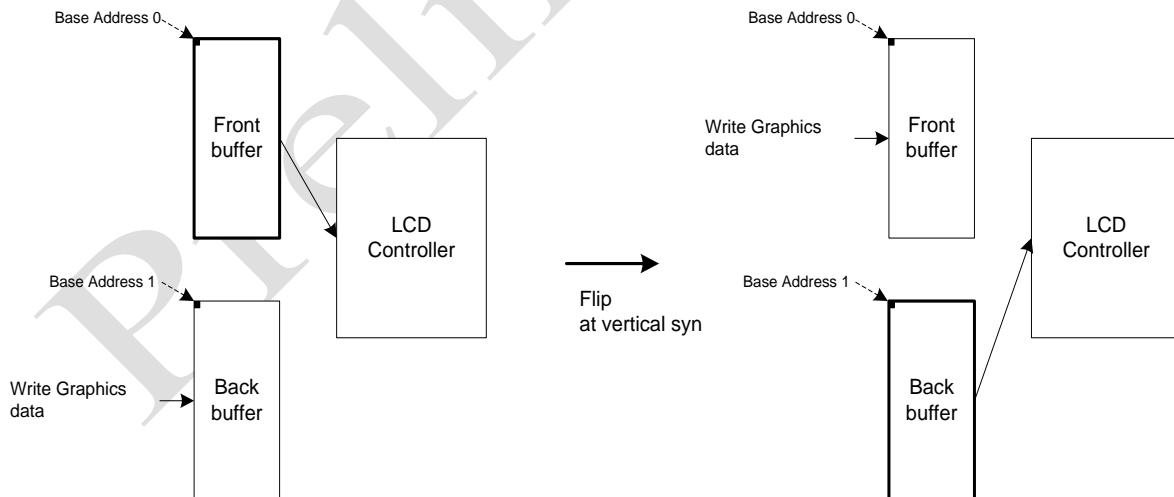


Figure 24-3 Flipping Structure with double buffering

LCD 제어 레지스터 (LCDCON)의 [19]번 비트가 설정되어있는 경우 더블 버퍼링을 사용할 수 있다. 이 경우, Flip Control register 의 소프트웨어 플립 요청의 설정은 각 LCD 수직 동기에서 더블 버퍼 비디오 디스플레이를 만들 수 있다. 선택적으로, 쿼드버퍼링 까지 각각의 프레임 버퍼의 시작 주소를 포함 하는 베이스 어드레스 레지스터 세트를 통해 구성 된다(LCDBADR0, LCDBADR1, LCDBADR2, LCDBADR3 registers). 프레임 버퍼의 수는 Flip Control register [7:6]에 의해 결정된다

24.3.3 LCD Interrupt

LCD 컨트롤러는, 수직 동기 시작 시 인터럽트를 생성 한다.

인터럽트는 이중 버퍼링 된 영상을 생성 할 때, 기본 주소를 재 프로그램 하는데 사용될 수 있다.

24.3.4 HSYNC, VSYNC

수평 라인에서 모든 픽셀은 LCD 에 전달되고, HSYNC 의 타이밍이 LCDHT 을 통해 프로그램 된다. LCDHS 및 LCDHA 은 등록 후, HSYNC 는 전환 한다. HSYNC 는 DOTCLK 의 상승 또는 하강 edge 에 동기 하도록 프로그램 될 수 있다. 이것은 DOTCLK 반전시킴으로써 active 된다(극성도 프로그래밍 할 수 있다).

프레임의 모든 라인들이 LCD 로 전송되고, VSYNC 의 타이밍이 LCDVT, LCDVS 및 LCDVA 레지스터를 통해 프로그램을 된 후에 VSYNC 는 토글 한다.

VSYNC 는 DOTCLK 의 상승 또는 하강 edge 에 동기 하도록 프로그램 될 수 있다.

이것은 DOTCLK 반전시킴으로써 active 된다(극성도 프로그래밍 할 수 있다).

타이밍 구성에 대한 자세한 내용은 Section 24.3.6, VGA Timings, 참고.

아래의 그림은 640 X 480 해상도에 대한 Horizontal Total, Sync Start(End), Active Start(End), Vertical Total, Sync Start(End), Active Start(End) 레지스터 setting 에 따라 생성되는 Sync. Signal Timing 이다.

HSYNC, VSYNC 신호는 Default Low active 이며, LCD Control Register [5:4] Bit 를 이용하여 active polarity 를 제어할 수 있다. Horizontal, Vertical Active 신호는 High active 이다.

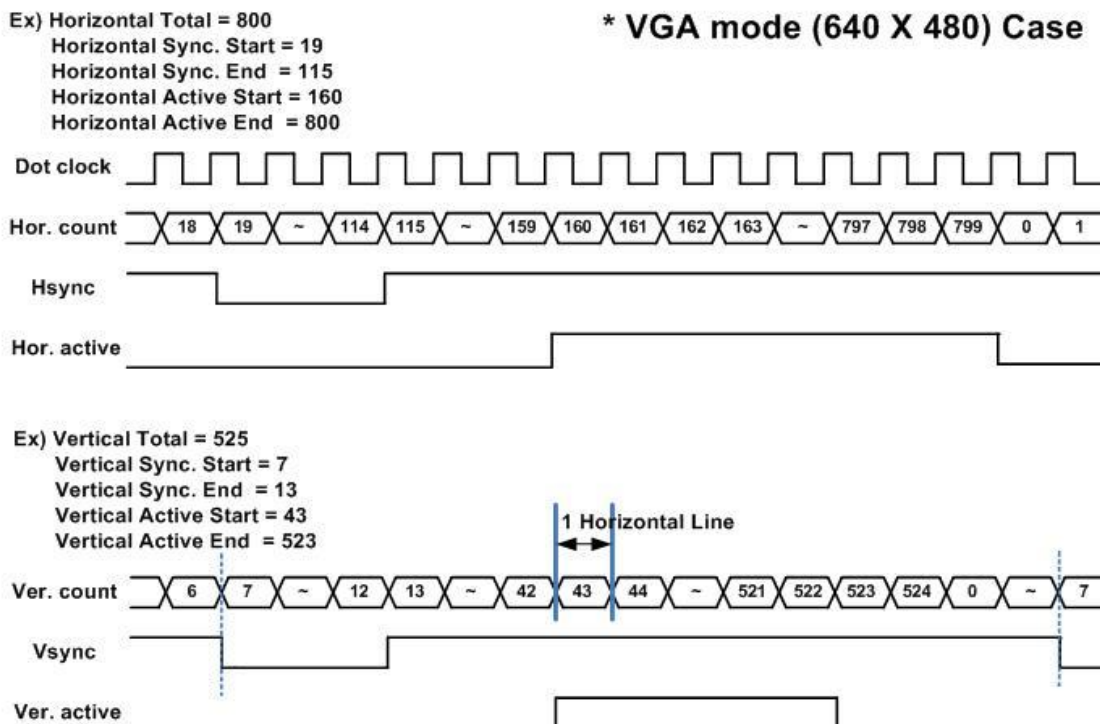


Figure 24-4 LCDC Horizontal, Vertical Sync / Active Signal Timing

24.3.5 DISPEN (Hor.active)

이 신호는 데이터가 데이터 버스에서 유효하고, 외부 LCD 디바이스를 시그널링 하기 위해 사용 된다 (R[7:0], G[7:0], B[7:0]).

DISPEN 는 DOTCLK 의 상승 또는 하강 edge 에 동기화할 때 프로그래밍 할 수 있다. 이것은 DOTCLK 반전시킴으로써 active 된다.

24.3.6 VGA Timings

The following timing parameters can be programmed:

- Horizontal front and back porch
- Horizontal synchronization pulse width
- Number of pixels per line
- Vertical front and back porch
- Vertical synchronization pulse width
- Number of lines per frame

Table 24-1 Typical VGA Timings

Format	Dot Clock (MHz)	Horizontal (in Pixels)				Vertical (In Lines)			
		Active Video THd	Front Porch THf	Sync Pulse THp	Back Porch THb	Active Video TVd	Front Porch TVf	Sync Pulse TVp	Back Porch TVb
QVGA 240x320	5.33	240	-	-	-	320	-	-	-
WQVGA 480x272	9.000	480	-	-	-	272	-	-	-
VGA 640x480, 60Hz	25.175	640	16	96	48	480	11	2	31
WVGA 800x480	33.3	800	-	-	-	480	-	-	-
SVGA 800x600, 60Hz	40.000	800	40	128	88	600	1	4	23

Horizontal Timing registers

Horizontal Synchronization 펄스 폭(THp), Horizontal Front Porch(THf) 주기, Horizontal Back Porch(THb) 주기, Pixels-Per-Line(THd)는 LCDHT, LCDHS, LCDHA 레지스터로 제어 한다.

타이밍 구성은 다음 식을 사용 한다 :

$$\text{LCDHT}[10:0] = \text{THf} + \text{THp} + \text{THb} + \text{THd}$$

$$\text{LCDHS}[26:16] = \text{THf}$$

$$\text{LCDHS}[10:0] = \text{THf} + \text{THp}$$

$$\text{LCDHA}[26:16] = \text{THf} + \text{THp} + \text{THb}$$

$$\text{LCDHA}[10:0] = \text{THf} + \text{THp} + \text{THb} + \text{THd}$$

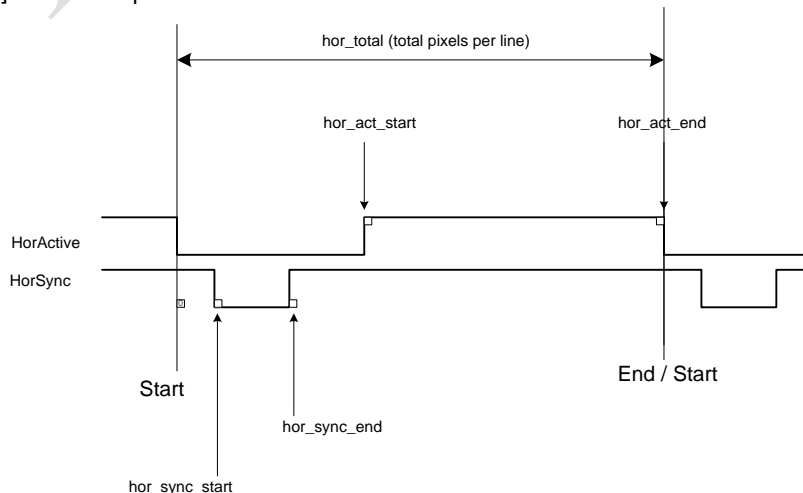


Figure 24-5 Horizontal Timing

Vertical Timing registers

Vertical Synchronization 펄스 폭(TVp), Vertical Front Porch(TVf) 주기, Vertical Back Porch(TVb) 주기, Lines-Per-Frame(TVd)는 LCDVT, LCDVS, LCDVA 레지스터로 제어 한다.

타이밍 구성은 다음 식을 사용 한다 :

$$\text{LCDVT}[10:0] = \text{TVf} + \text{TVp} + \text{TVb} + \text{TVd}$$

$$\text{LCDVS}[26:16] = \text{TVf}$$

$$\text{LCDVS}[10:0] = \text{TVf} + \text{TVp}$$

$$\text{LCDVA}[26:16] = \text{TVf} + \text{TVp} + \text{TVb}$$

$$\text{LCDVA}[10:0] = \text{TVf} + \text{TVp} + \text{TVb} + \text{TVd}$$

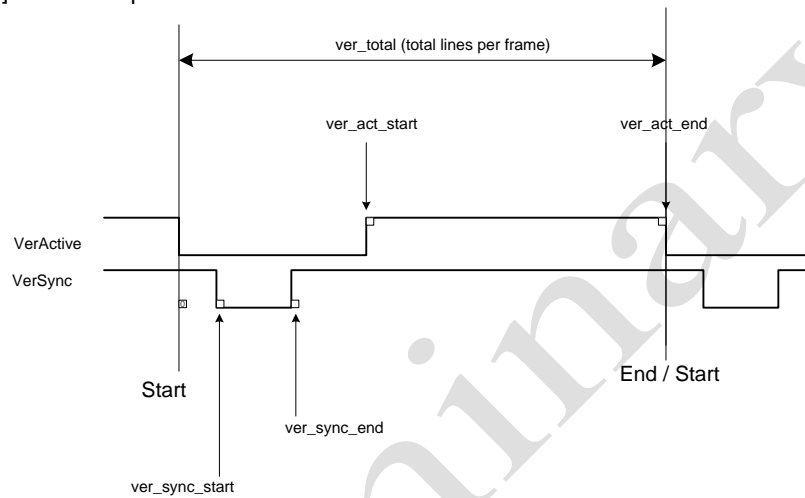


Figure 24-6 Vertical Timing

아래의 표는 몇 가지 일반적인 디스플레이 해상도에 대한 설정 이다.

Table 24-2 Register Values for VGA timing

Register	LCDBA	LCDHT	LCDHS	LCDHA	LCDVT	LCDVS	LCDVA	LCDCON
640x480 (800x525)	00000000	00000320	00130073	00A00320	0000020D	0007000D	002B020B	00080000
800x600 (1056x628)	00000000	00000420	002300C3	01000420	00000274	0004000A	001A0272	00080000

* Register Value는 Hexa-Decimal임.

* Memory Read Request는 FIFO의 Half Position을 기준으로 함.

* Screen Display Mode는 Normal operation을 기준으로 함.

* H(V)SYNC. Output Polarity는 Low Active 기준임.

* H(V)SYNC. Output Select는 Internal block에서 생성된 SYNC. Output을 기준으로 함.

24.3.7 Color Bar Test Pattern Generation Block

LCD Control Register [1:0] Bit 이 "01"일 때 Color Bar Test Pattern Generation 블록은 활성화되고, 프레임 메모리의 데이터를 읽어오기 위한 Request Generation, Address Generation, FIFO Control 블록은 비활성화된다. Video Data Mux & Serialization 블록에서 Color Bar Pattern Video Data 가 선택되어 출력된다. Color Bar Pattern 은 왼쪽부터 검정색, 흰색, 노란색, 청록색, 녹색, 보라색, 빨간색, 파란색 순으로 생성되며, 해상도에 상관없이 균일한 분포를 갖는다. 만약, Active 구간이 정확하게 8 의 배수가 되지 않는다면 화면의 오른쪽 검정색이 출력될 수 있다.

24.4 Register Description

LCD Controller Register Summary

Table 24-3 LCD Controller Registers Table

Absolute Address	Register Name	Description
0x8002_2404h	LCD Horizontal Total Register (LCDHT)	Horizontal Active와 Blank구간을 포함한 Horizontal Total Scan Value
0x8002_2408h	LCD Horizontal Sync. Start / End Register (LCDHS)	Horizontal Sync 구간의 Start(End) value
0x8002_240Ch	LCD Horizontal Active Start / End Register (LCDHA)	Horizontal Active 구간의 Start(End) value
0x8002_2410h	LCD Vertical Total Register (LCDVT)	Vertical Active와 blank 구간을 포함한 Vertical Total scan value
0x8002_2414h	LCD Vertical Sync. Start/End Register (LCDVS)	Vertical Sync 구간의 Start(End) value
0x8002_2418h	LCD Vertical Active Start/End Register (LCDVA)	Vertical Active구간의 Start(End) value
0x8002_241Ch	LCD Display Current X / Y Position Register (LCDXY)	Horizontal/Vertical Counter value
0x8002_2420h	LCD Status Register (LCDSTAT)	LCD controller의 Sync상태
0x8002_2424h	LCD Control Register (LCDCON)	LCD의 Display, Sync, Memory, FIFO 모드를 제어
0x8002_2430h	LCDC Base Address 0	Frame buffer의 시작 위치를 지정
0x8002_2434h	LCDC Base Address 1	Frame buffer의 시작 위치를 지정
0x8002_2438h	LCDC Frame sync. Counter	Frame Sync가 발생할 때마다 count
0x8002_243Ch	LCD Horizontal Width	Horizontal width를 결정
0x8002_2440h	LCD Flip Command	Process flip operation
0x8002_2444h	LCDC Base Address 2	Frame buffer의 시작 위치를 지정
0x8002_2448h	LCDC Base Address 3	Frame buffer의 시작 위치를 지정

24.4.1 LCD Horizontal Total Register(LCDHT)

Horizontal Active 와 Blank 구간을 포함한 Horizontal Total scan value.

Address : 0x8002_2404h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Horizontal Total The value loaded into this field is the total pixel counts per line.	000h

24.4.2 LCD Horizontal Sync. Start / End Register(LCDHS)

Horizontal Sync 구간의 Start(End) value.

Address : 0x8002_2408h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R/W	Horizontal Sync Start The value loaded into this field is the value of horizontal sync period start by the horizontal counter	000h
15 : 11	R	Reserved	-
10 : 0	R/W	Horizontal Sync End The value loaded into this field is the value of horizontal sync period end by the horizontal counter	000h

24.4.3 LCD Horizontal Active Start / End Register(LCDHA)

Horizontal Active 구간의 Start(End) value.

Address : 0x8002_240Ch

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R/W	Horizontal Active Start The value loaded into this field is the value of horizontal active period start by the horizontal counter	000h
15 : 11	R	Reserved	-
10 : 0	R/W	Horizontal Active End The value loaded into this field is the value of horizontal active period start by the horizontal counter	000h

24.4.4 LCD Vertical Total Register(LCDVT)

Horizontal Active 와 Blank 구간을 포함한 Horizontal Total scan value.

Address : 0x8002_2410h

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Vertical Total The value loaded into this field is the value of the total vertical line counts.	000h

24.4.5 LCD Vertical Sync. Start / End Register(LCDVS)

Horizontal Sync 구간의 Start(End) value

Address : 0x8002_2414h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R/W	Vertical Sync Start The value loaded into this field is the value of vertical sync period start by the vertical counter	000h
15 : 11	R	Reserved	-
10 : 0	R/W	Vertical Sync end The value loaded into this field is the value of vertical sync period end by the vertical counter	000h

24.4.6 LCD Vertical Active Start / End Register(LCDVA)

Horizontal Active 구간의 Start(End) value

Address : 0x8002_2418h

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R/W	Vertical Active Start The value loaded into this field is the value of vertical active period start by the vertical counter	000h
15 : 11	R	Reserved	-
10 : 0	R/W	Vertical Active end The value loaded into this field is the value of vertical active period end by the vertical counter	000h

24.4.7 LCD Display Current X / Y Position Register(LCDXY)

display Current X Position 레지스터는 Read Only 레지스터이며, Horizontal Counter 값을 반영하고 있다.

Display Current Y Position 레지스터도 Read Only 레지스터이며, Vertical Counter 값을 반영하고 있다.

Address : 0x8002_241Ch

Bit	R/W	Description	Default Value
31 : 27	R	Reserved	-
26 : 16	R	The value loaded into this field is the value of the vertical counter.	000h
15 : 11	R	Reserved	-
10 : 0	R	The value loaded into this field is the value of the horizontal counter.	000h

24.4.8 LCD Status Register(LCDSTAT)

LCD Status 레지스터는 Read Only 이며, LCD controller 의 Sync 상태를 읽어볼 수 있다.

Horizontal Sync 와 Vertical Sync 신호는, Control Register [21:20] Bit 이 "00"일 때, 둘 다 Low active 상태를 갖는다. Horizontal / Vertical Active 는 신호는 Control Register [21:20] Bit 에 상관없이 High active 상태를 갖는다.

Address : 0x8002_2420h

Bit	R/W	Description	Default Value
31 : 7	R	Reserved.	-
6	R	Current Display Bank 0 : BANK0 , 1 : BANK1	0b
5 : 4	R	Reserved.	1b
3	R	Vertical Active (active high)	0b
2	R	Vertical Sync	1b
1	R	Horizontal Active (active high) .	0b
0	R	Horizontal Sync	1b

24.4.9 LCD Control Register(LCDCON)

LCD Control 레지스터는 LCDC의 동작 모드 제어를 위해 사용된다.

* Frame Memory Bank <n> Ping-Pone Enable

: Graphic Engine Flip Command에 의한 Frame Memory Bank 전환을 비활성 / 활성 시킨다.

- 비활성 시 LCD Frame Memory Bank는 고정된다.

- 활성 시 Graphic Engine Flip Command에 의해 LCD Frame Memory Bank 전환이 이루어진다

Address : 0x8002_2424h

Bit	R/W	Description	Default Value
31 : 25	R	Reserved	-
24	R/W	Software Reset. 0 = Normal operation 1=Reset,.	1b
23	R	Reserved	-
22	R/W	Invert DOTCLK output 0 = Normal 1 = Inverted	-
21	R/W	HSYNC. Output Polarity. 0 = Low Active 1 = High Active	0b
20	R/W	VSYNC. Output Polarity. 0 = Low Active 1 = High Active	0b
19	R/W	Frame buffer double buffering. 0 = Disabled 1 = Enabled	0b
18 : 17	R/W	FIFO Request Control(Total depth : 256) 00 : one half request(128) 01 : one fourth request(64) 10 : one eighth request(32) 11 : Don't use	00b
16 : 15	R	Reserved	0b
14	R/W	When RGB 32bit mode, Input data sequence : 0 = dRGB 1 = RGBd	0b
13 : 12	R/W	Frame data format 00 = undefined. 01 = 16bpp, 5:6:5 mode, RGB 16bit 10 = 24bpp, 8:8:8 mode, RGB 32bit 11 = undefined.	0b
11 : 10	R	Reserved	-
9 : 8	R	Bus Burst Length Select. 10 : 16burst 01 : 32 burst 00 : Max burst(256 burst)	-
7 : 5	R	Reserved	-
4	R/W	Use hwidth register	0b
3 : 2	R/W	Reserved	-
1 : 0	R/W	Screen Display Mode Control. 00=Normal operation. 01=Regular Pattern Generation 1x=Screen off	00b

24.4.10 LCD Base Address 0 Register (LCDBADR0)

Address : 0x8002_2430h

Bit	R/W	Description	Default Value
31 : 2	R/W	Base Address 0 This is the start address of the frame data in memory and is word aligned. Only SDRAM area is available	0000h
1 : 0	R	Reserved	-

24.4.11 LCD Base Address 1 Register (LCDBADR1)

Address : 0x8002_2434h

Bit	R/W	Description	Default Value
31 : 2	R/W	Base Address 1 This is the start address of the frame data in memory and is word aligned. Only SDRAM area is available	0000h
1 : 0	R	Reserved	-

24.4.12 LCD Frame Sync. Count Register (LCDFRAMECNT)

Address : 0x8002_2438h

Bit	R/W	Description	Default Value
31 : 0	R/W	Frame Sync. Count	0h

24.4.13 LCD Horizontal Width Register (LCDHWIDTH)

Address : 0x8002_243Ch

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 0	R/W	Horizontal Width	400h

24.4.14 LCD Flip Control Register (LCDFCTL)

Address : 0x8002_2440h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 6	R/W	Select the number of Frame buffer 01 : use 2 Frame buffers 10 : use 3 Frame buffers 11 : use 4 Frame buffers	01b
5	R	Reserved	-
4	R/W	Software flip enable	0
3:2	R	Current Frame buffer number	0
1	R	Reserved	-
0	R/W	Software flip request 1 : set 0 : cleared by H/W automatically	0

24.4.15 LCD Base Address 2 Register (LCDBADR2)

Address : 0x8002_2444h

Bit	R/W	Description	Default Value
31 : 2	R/W	Base Address 2 This is the start address of the frame data in memory and is word aligned. Only SDRAM area is available	0000h
1 : 0	R	Reserved	-

24.4.16 LCD Base Address 3 Register (LCDBADR3)

Address : 0x8002_2448h

Bit	R/W	Description	Default Value
31 : 2	R/W	Base Address 3 This is the start address of the frame data in memory and is word aligned. Only SDRAM area is available	0000h
1 : 0	R	Reserved	-

25 JPEG DECODER

25.1 Features

- 640x480 4:2:0 format 1frame(lena image) 35ms 안에 decoding 가능
- ISO 10918-2 base line JPEG decoder
- Only support typical Huffman table defined in annex K of standard.
- Supports YCbCr 4:2:2 format
- Supports YCbCr 4:2:0 format
- Maximum resolution:2048x2048

25.2 Block Description

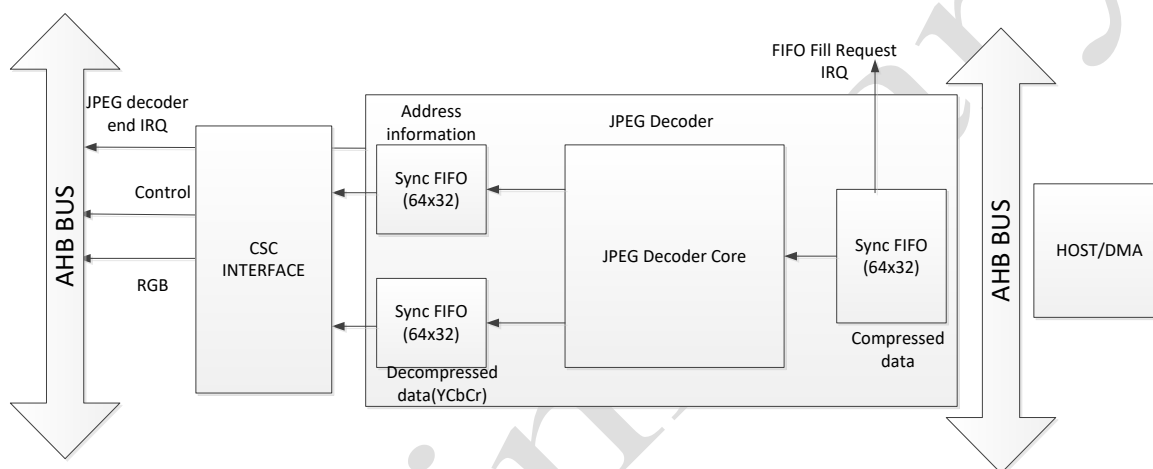


Figure 25-1 JPEG Decoder Block Diagram

JPEG Decoder 내부에는 JPEG image data, decompressed data(YCbCr) 및 데이터 MCU(Minimum Code Unit)에 대한 address information 을 저장하기 위한 64x32 FIFO 가 3 개가 존재 하며, 3 개의 FIFO 의 level 은 JDFCON Register 의 [6:0]의 setting 값에 의해서 결정된다.

JPEG Decoder 는 동작 시 JPEG image data 의 요청을 위한 level 방식의 FIFO fill request IRQ 를 발생시킨다. 이 IRQ 는 JDCTRL 에서 설정한 FIFO level 만큼 데이터가 FIFO 내부에 차있을 때까지 유지되며, FIFO level 을 넘어가게 되면 자동으로 clear 된다. 그리고 FIFO 에 데이터가 level 보다 작게 되는 순간 다시 IRQ 는 발생된다.

JPEG Decoder 는 JPEG image 내의 EOI(End Of Image) maker 를 decode 하면 decoding 이 끝났음을 알리는 JPEG decoder end IRQ 를 발생한다. 이 IRQ 는 JPEG image capturer 의 interrupt source 가 되며, JPEG image capturer 에서는 마지막 MCU 의 데이터를 memory 에 저장할 때 이 IRQ 를 사용하여 JPEG image capture IRQ(JICIRQ)를 생성한다. JICIRQ 는 JPEG decoder end IRQ 를 clear 하기 전 까지 유지 된다.

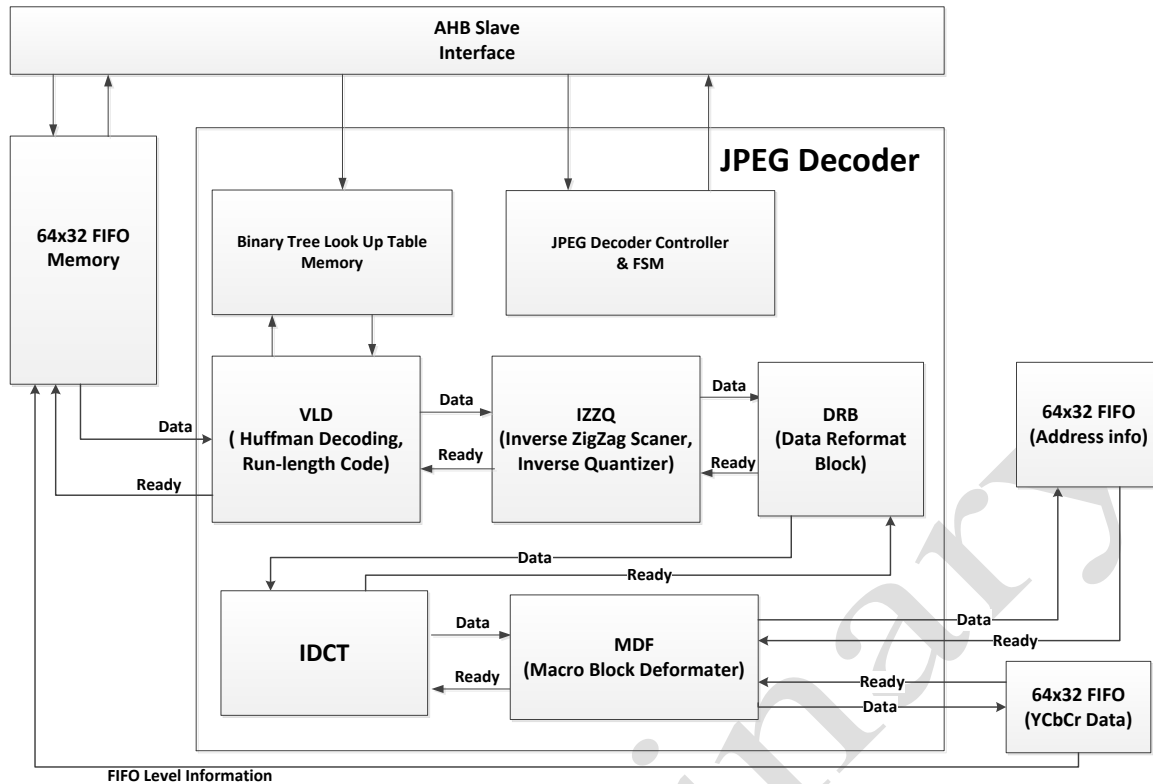
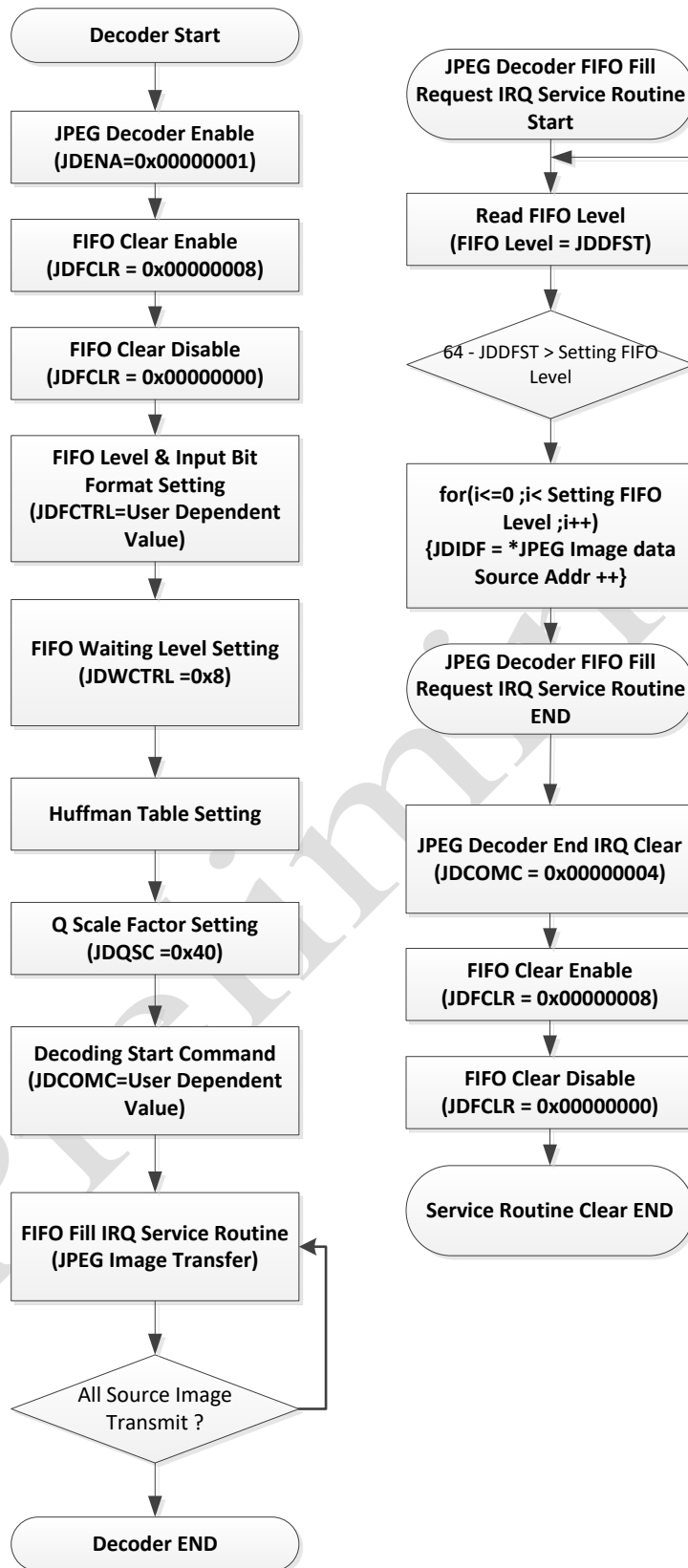


Figure 25-2 Decoder Core Block Diagram

JPEG Decoder 의 내부의 각각의 연산 블록 들은 다음 단계의 연산 블록에서 생성하는 ready 신호에 의해서 출력 데이터 transaction 을 결정한다. 외부 System 요건에 의해서 JPEG image input stream 이 멈추거나, 또는 out data 가 JDWCON 에 설정된 level 만큼 YCbCr FIFO 에 채워지면 JPEG decoder 는 wait 상태가 된다. 그러나 input data stream 이 재개되거나 out data 가 설정된 level 이하로 될 경우 멈추었던 시점부터 다시 decoder 는 동작하게 된다

25.3 Functional Description



25.4 Register Description

25.4.1 JPEG Decoder Quantization Scale Control Register (JDQSC)

Address: 0xA004_023C

Bit	R/W	Description	Default
31 : 12	R	Reserved.	
11 : 0	W	JPEG Quantization Scale Control JPEG Image header 에 포함된 quantization table(Q table)값의 Scale을 조정. 64를 기준으로 큰 값은 q table값을 증가 시키며, 작은 값은 q table를 감소 시킨다. 64 이외의 값을 설정하는 경우 설정 값에 따라 이미지의 왜곡이 생길 수 있다.	000h

25.4.2 JPEG Decoder Command Control Register (JDCC)

Address: 0xA004_0240

Bit	R/W	Description	Default
31 : 3	R	Reserved.	
2	W	JPEG Decoder End IRQ Clear 1:End IRQ Clear 0:IDLE JPEG Decoder end IRQ는 JICIRQ의 source로 사용되며, 이 bit을 1로 설정하면 JPEG decoder end IRQ와 JICIRQ는 동시에 clear 된다. 이 bit은 1로 설정 후 다음 clock에서 자동적으로 0으로 clear 된다. *JPEG Decoder 가 다음 Image를 Decoding 하기 위해서 JPEG decoder end IRQ는 반드시 clear 되어야 한다	0b
1	W	DECODING IMAGE FORMAT 1:YCBCR 420 0:YCBCR 422	0b
0	W	Decoding Start 1:Decoding Start 0:IDLE JDENA Register의 0번 bit이 1로 setting된 후 이 bit을 1로 setting하면 decoder가 동작 한다. -이 bit이 1이 되면 최초로 JPEG decoder FIFO fill request IRQ 가 발생하게 된다. -Decoder가 image decoding을 시작한 후 자동 Clear 된다..	0b

25.4.3 JPEG Decoder Y DC Node Table (JDYDCNT)

Address: 0xA004_0800 ~ 0xA004_0830

Bit	R/W	Description	Default
31 : 18	R	Reserved.	
17 : 0	W	Y DC Node Table for Huffman Decoding Huffman Decoding시 Y DC 2진 tree를 위한 node table	000h

25.4.4 JPEG Decoder Y DC Leaf Table (JDYDCLT)

Address : 0xA004_0C00 ~ A004_0C30

Bit	R/W	Description	Default
31 : 8	R	Reserved	-
7 : 0	W	Y DC LEAF Table for Huffman Decoding Huffman Decoding시 Y DC 2진 tree를 위한 leaf table	-

25.4.5 JPEG Decoder Y AC Node Table (JDYACNT)

Address : 0xA004_2800 ~ A004_2A88

Bit	R/W	Description	Default
31 : 18	R	Reserved	-
17 : 0	W	Y AC Node Table for Huffman Decoding Huffman Decoding시 Y AC 2진 tree를 위한 node table	-

25.4.6 JPEG Decoder Y AC Leaf Table (JDYACT)

Address : 0xA004_3000 ~ A004_3288

Bit	R/W	Description	Default
31 : 8	R	Reserved	-
7 : 0	W	Y AC LEAF Table for Huffman Decoding Huffman Decoding시 Y AC 2진 tree를 위한 leaf table	-

25.4.7 JPEG Decoder UV DC Node Table (JDUVDCNT)

Address : 0xA004_4800 ~ A004_4830

Bit	R/W	Description	Default
31 : 18	R	Reserved	-
17 : 0	W	UV DC Node Table for Huffman Decoding Huffman Decoding시 UV DC 2진 tree를 위한 node table	-

25.4.8 JPEG Decoder UV DC Leaf Table (JDUVDCLT)

Address : 0xA004_5000 ~ A004_5030

Bit	R/W	Description	Default
31 : 8	R	Reserved	-
7 : 0	W	UV DC LEAF Table for Huffman Decoding Huffman Decoding시 UV DC 2진 tree를 위한 leaf table	-

25.4.9 JPEG Decoder UV AC Node Table (JDUVACNT)

Address : 0xA004_6800 ~ A004_A88

Bit	R/W	Description	Default
31 : 18	R	Reserved	-
17 : 0	W	UV AC Node Table for Huffman Decoding Huffman Decoding시 UV AC 2진 tree를 위한 node table	-

25.4.10 JPEG Decoder UV AC Leaf Table (JDUVACT)

Address : 0xA004_7000 ~ A004_7288

Bit	R/W	Description	Default
31 : 8	R	Reserved	-
7 : 0	W	UV AC LEAF Table for Huffman Decoding Huffman Decoding시 UV AC 2진 tree를 위한 leaf table	-

25.4.11 JPEG Decoder Status Register (JDSTAT)

Address : 0xA004_8000

Bit	R/W	Description	Default
31 : 4	R	Reserved	-
3	R	JPEG Decoder Finished	0b
2	R	JPEG Decoder MCU Decoding	0b
1	R	JPEG Decoder Header Parsing	0b
0	R	JPEG Decoder Ready	0b

25.4.12 JPEG Decoder IRQ Status Register (JDIRQSTAT)

Address : 0xA004_8004

Bit	R/W	Description	Default
31 : 3	R	Reserved.	-
2	R	JPEG Decoder Timeout 비정상적 동작이나 Compressed data가 장시간 입력되지 않을 경우 내부 timer counter에 의해 timeout이 걸려 자동으로 end IRQ가 발생되고 상태를 알려준다. Timeout에 의한 종료일 경우에도 상태가 초기화 될 수 있도록 SW reset 및 인터럽트 clear 등을 해서 다시 재 시작 할 수 있게 설정해 주어야 한다.	0b
1	R	JPEG Decoder FIFO Fill Request IRQ Compressed data FIFO에 JDCTRL register의 [6:0]에서 설정한 level만큼 데이터가 차 있지 않으면 인터럽트가 발생한다.	0b
0	R	JPEG Decoder End IRQ JPEG Decoder 의 종료 시점을 나타낸다. JPEG decoder에 설정한 만큼의 MCU가 decoding 된 후 JPEG EOF flag가 들어오면 이 interrupt는 발생한다. *이 interrupt 는 JPEG image capturer으로 인가되어 JICIRQ의 source로 사용된다.	0b

25.4.13 JPEG Decoder Data FIFO Status Register (JDDFSTAT)

Address : 0xA004_8008

Bit	R/W	Description	Default
31 : 7	R	Reserved.	-
6 : 0	R	Current FIFO Level Status 현재의 compressed data FIFO level을 나타낸다. FIFO에 데이터를 쓰는 경우 current FIFO level status 가 0x3fh를 넘어가면 이후 데이터들은 기존 데이터를 덮어쓰게 되므로, 0x3fh를 넘어가지 않게 데이터를 Write해야 한다	00h

25.4.14 JPEG Decoder Enable Register (JDENA)

Address : 0xA004_8010

Bit	R/W	Description	Default
31 : 1	R	Reserved.	-
0	R/W	JPEG Decoder Enable JPEG Decoder를 enable 시킨다. 이 bit을 set한 후 JDCOMCON register의 0번 bit를 set 하면 JPEG decoder는 decoding을 시작한다.	0b

25.4.15 JPEG Decoder FIFO Clear Register (JDFCLR)

Address : 0xA004_8014

Bit	R/W	Description	Default
31 : 4	R	Reserved.	-
3	R/W	FIFO Clear 1:ALL FIFO Clear 0:IDLE	0b
2 : 0	R	Reserved	-

25.4.16 JPEG Decoder FIFO Control Register (JDFCON)

Address : 0xA004_8018

Bit	R/W	Description	Default
31 : 10	R	Reserved	-
9	R/W	Input data Format Selection 1:Big Endian Format 0:Little Endian Format	0b
8 : 7	R	Reserved	-
6 : 0	R/W	Compressed Data FIFO Threshold Level Compressed data FIFO의 threshold level을 설정. 이 설정 값만큼의 데이터가 FIFO에 없으면, FIFO fill request interrupt가 발생한다. 설정 값은 FIFO Size(64)보다 작은 값을 사용해야 한다.	00h

25.4.17 JPEG Decoder Waite Control Register (JDWCON)

Address : 0xA004_801C

Bit	R/W	Description	Default
31 : 7	R	Reserved	-
6 : 0	R	WAITE FIFO Threshold Level Decompressed data FIFO의 LEVEL을 나타낸다. 설정 값 * 8만큼의 데이터가 FIFO에 남아 있으면, decoder는 대기 상태가 되며, 설정 값 * 8 보다 데이터가 적은 경우 decoder는 다시 동작을 하게 된다. 설정 값은 최소 1, 최대 8이 되며 설정 값이 작을 수록 대기 상태의 빈도는 늘어나게 된다.	08h

25.4.18 JPEG Decoder Software Reset Register (JDSRST)

Address : 0xA004_8024

Bit	R/W	Description	Default
31 : 1	R	Reserved.	-
0	R/W	Software Reset 1:IDLE 0:Reset 잘못된 데이터의 인가로 인한 JPEG Decoder가 이상 상태에서 동작할 때 강제로 decoder를 초기화 한다. 이 bit을 0으로 설정하여 decoder를 reset을 시킨 후 다시 1로 설정을 해야 decoder를 동작 시킬 수 있다.	1b

25.4.19 JPEG Decoder Version Information Register (JDVERINFO)

Address : 0xA004_8028

Bit	R/W	Description	Default
31 : 0	R/W	JPEG Decoder Version	-

25.4.20 JPEG Decoder CSC Base Address Register (JDCSCBASEADDR)

Address : 0xA004_802C

Bit	R/W	Description	Default
31 : 0	R/W	JPEG Decoder RGB data Base address for transferring	C2000000 h

25.4.21 JPEG Decoder Stride Size Register (JDCSTRID)

Address : 0xA004_8030

Bit	R/W	Description	Default
31 : 0	R/W	JPEG Decoder Stride size crtc에서 설정한 화면 최대 vertical pixel size로 설정한다.	400h

25.4.22 JPEG Decoder RGB565 mode and Timeout count enable (JDCRGBTIMEOUT)

Address : 0xA004_8034

Bit	R/W	Description	Default
31 : 2	R	Reserved	-
1	R/W	JPEG Decoder timeout counter ctrl 0 : disable Timeout counter 1 : enable Timeout counter	0b
0	R/W	JPEG Decoder RGB888/565 mode 0 : RGB888 mode 1 : RGB565 mode	0b

25.4.23 JPEG Decoder Timeout counter Register (JDCTIMEOUTCNT)

Address : 0xA004_8038

Bit	R/W	Description	Default
31 : 0	R/W	JPEG Decoder timeout counter register JPEG이 어떤 비정상적인 데이터로 인해 정지할 경우를 감지할 수 있도록 timeout 값을 통해 대기 시간을 설정하여 detect할 수 있다.	8000000h

25.4.24 JPEG Decoder Timeout counter clear (JDCTIMEOUTCLR)

Address : 0xA004_803C

Bit	R/W	Description	Default
31 : 1	R	Reserved	-
0	R/W	JPEG Decoder timeout counter clear register JPEG이 timeout에 걸렸을 경우 다음 동작을 수행하기 위해서는 반드시 timeout을 clear한 후 다시 release하여야 한다. 1 : timeout clear set 0 : timeout clear off	0b

25.4.25 JPEG Decoder Input Data FIFO Register (JDIDF)

Address : 0xA004_9000

Bit	R/W	Description	Default
31 : 0	W	INPUT DATA FIFO Compressed data(JPEG Input stream) FIFO	-

26 USB DEVICE

adStar-L 에 내장된 USB Device 는 2.0 Full-speed(12Mbps)를 지원하며, 5 개의 endpoint 으로 구성되어 있다.

하드웨어적으로 USB 프로토콜을 지원하며, 자동적인 data retry, data toggle 그리고 power management 기능(suspend 와 resume)을 지원한다. 내부에 PHY 가 포함 되어 있다.

26.1 Features

- USB 2.0 Full Speed(12Mbps)
- 5 개의 Endpoint 지원
- 하드웨어적으로 USB 프로토콜 지원
- Suspend와 Resume signaling 지원

Table 26-1 Endpoint List

Endpoint	Max Size (bytes)	Direction	Transaction Type
0	16	IN/OUT	Control
1	64	OUT	Bulk
2	64	IN	Bulk
3	16	OUT	Interrupt
4	16	IN	Interrupt

26.2 Register Summary

Table 26-2 USB Core Register List

Register	Address	R/W	Description	Default Value
USBFA	0xA0001800	R/W	Function address register	0x00
USBPM	0xA0001804	R/W	Power management register	0x00
USBEP1	0xA0001808	R/W	Endpoint interrupt register	0x00
USBINT	0xA0001810	R/W	USB interrupt register	0x00
USBEP1EN	0xA0001814	R/W	Endpoint interrupt enable register	0x1F
USBINTEN	0xA0001818	R/W	USB interrupt enable register	0x04
USBLBFN	0xA000181C	R	Frame number1 register	0x00
USBHBFN	0xA0001820	R	Frame number2 register	0x00
USBIND	0xA0001824	R/W	Index register	0x00
USBMP	0xA0001828	R/W	MAXP register	0x00
USBEP0C	0xA000182C	R/W	EP0 control register	0x00
USBIC1	0xA000182C	R/W	EP2, 4 IN Control register1	0x00
USBIC2	0xA0001830	R/W	EP2, 4 IN Control register2	0x00
USBOC1	0xA0001838	R/W	EP1, 3 OUT Control register 1	0x00
USBOC2	0xA000183C	R/W	EP1, 3 OUT Control register 2	0x00
USLBOWC	0xA0001840	R	Low Byte OEP Write count register	0x00
USBHOWC	0xA0001844	R	High Byte OEP write count register	0x00
USBEP0D	0xA0001848	R/W	EP0 FIFO data register	0x00
USBEP1D	0xA000184C	R/W	EP1 FIFO data register	0x0000_0000
USBEP2D	0xA0001850	R/W	EP2 FIFO data register	0x0000_0000
USBEP3D	0xA0001854	R/W	EP3 FIFO data register	0x00
USBEP4D	0xA0001858	R/W	EP4 FIFO data register	0x00

26.2.1 USB Function Address Register

USBFAR 레지스터에는 호스트에 의해 할당된 USB 디바이스 주소가 저장된다. MCU 는 SET_ADDRESS Descript 수행을 통해 받은 값을 이 레지스터에 저장한다. 이 값은 다음 토큰에서 사용된다.

26.2.2 USB Power Management Register

Power Management 레지스터는 Suspend, Resume 그리고 reset 신호에 의해 사용된다. Suspend 와 Reset 상태는 USB_INTERRUPT Register 에 저장된다.

26.2.3 USB Interrupt Registers

USB Host 의 요청상태와 각 Endpoint 의 상태와 알려준다.

26.2.4 USB Interrupt Enable Registers

각 Endpoint 의 인터럽트를 Enable 한다. 대부분의 인터럽트는 초기값이 Enable 상태이나, Suspend 인터럽트는 Disable 이다.

26.2.5 Frame Number Registers

Frame Packet 의 끝에서 frame 번호를 저장한다.

26.2.6 Index Register

인덱스 레지스터는 각각의 endpoint 에 해당하는 컨트롤 레지스터를 선택할 때 사용한다.

26.2.7 MAXP Register

8byte 배수 단위로 사용할 FIFO 크기를 조절할 수 있다. 그러나 각 Endpoint 에서 지원하는 최대 FIFO 사이즈보다 크게는 설정 할 수 없다.

26.2.8 EP0 Control Register

Endpoint 0 의 제어와 상태를 나타낸다.

26.2.9 IN Control Registers

IN Endpoint 의 제어와 상태를 나타낸다.

26.2.10 Out Control Registers

Out Endpoint 의 제어와 상태를 나타낸다.

26.2.11 Out Write Count Registers

두 개의 레지스터로 이루어져 write count 값을 가지다. OUT endpoint 에서 OOPR 비트가 set 되면, 이 레지스터에는 MCU 에 의해 가져간 packet 의 수를 가지고 있다.

26.2.12 Endpoint FIFO Access Registers

FIFO 에 접근하는 register 이다

26.3 Register Description

26.3.1 USB Function Address Register (USBFA)

Address : 0xA000_1800h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8			Reserved	
7	R/W	R/ Clear	ADDUP : ADDR_UPDATE bit. 이 레지스터의 FUNADD field가 업데이트 되면 MCU는 이 비트를 1로 설정한다. FUNADD field는, Endpoint 0 CSR의 DATA_END 비트를 clear에 의해 발생하는 제어 전송의 status phase 이후부터 사용된다.	0
6 : 0	R/W	R	FUNADD : FUNCTION_ADDR bits. MCU가 주소를 여기에 write 한다.	0

26.3.2 USB Power Management Register (USBPM)

Address : 0xA000_1804h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 4			Reserved	
3	R	Set	UBRST : USB_RESET bit. 호스트로부터 Reset 신호를 받으면 USB가 이 비트를 설정한다. Reset 신호가 버스상에서 유지되는 한, 이 비트는 set 상태를 유지한다.	0
2	W/R	R	UBRSUM : USB_RESUME bit. Resume 신호를 초기화 하기 위해 MCU가 10ms (최대 15ms)동안 이 비트를 설정한다. Suspend 모드에서 이 비트가 설정되어 있는 동안 USB 가 Resume 신호를 발생한다.	0
1	R	R/W	UBSPDMOD : SUSPEND_MODE bit. Suspend모드로 들어가게 되면 USB 가 이 비트를 설정한다. 다음 조건에 의해 clear 가 된다. -Resume 신호를 끝내기 위해서 MCU가 MUC_RESUME 를 clear 하는 경우 -USB_RESUME 인터럽트 발생 때 MCU가 인터럽트 레지스터 3 을 읽게 되는 경우.	0
0	R/W	R	UBENSPD : ENABLE_SUSPEND bit = 1 Enable Suspend mode = 0 Disable Suspend mode (Default) 이 비트가 zero 이면, 디바이스는 suspend 모드 상태로 들어 가지 않는다.	0

26.3.3 USB Endpoint Interrupt Register (USBEP1)

Address : 0xA000_1808h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 5			Reserved	
4	R/ Clear	Set	EP4INT : EP4 Interrupt bit. (Interrupt in mode) 이 비트는 endpoint4 인터럽트에 해당된다. (USBIC1R, USBIC2R 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0
3	R/ Clear	Set	EP3INT : EP3 Interrupt bit. (Interrupt out mode) 이 비트는 endpoint3 인터럽트에 해당된다. (USBOC1R, USBOC2R 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0
2	R/ Clear	Set	EP2INT : EP2 Interrupt bit. (Bulk in mode) 이 비트는 endpoint2 인터럽트에 해당된다. (USBIC1R, USBIC2R 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0
1	R/ Clear	Set	EP1INT : EP1 Interrupt bit. (Bulk out mode) 이 비트는 endpoint1 인터럽트에 해당된다. (USBOC1R, USBOC2R 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0
0	R/ Clear	Set	EP0INT : EP0 Interrupt bit. (Control mode) 이 비트는 endpoint0 인터럽트에 해당된다. (USBEP0CR 의 bit 참고) EP0OPR bit is set. EP0IPR bit is cleared EP0STSTAL bit is set EP0STED bit is set EP0DED bit is cleared(Indicates End of control transfer)	0

26.3.4 USB Interrupt Register (USBINT)

Address : 0xA000_1810h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 3			Reserved	
2	R/ Clear	Set	RSTINT: USB Reset Interrupt bit. Reset신호가 입력되면 USB가 이 비트를 set 한다.	0
1	R/ Clear	Set	RSUMINT: Resume Interrupt bit. Suspend 모드 상태에서 Resume신호를 받으면 USB가 이 비트를 set한다. USB Reset에 의한 Resume 이면, Resume 인터럽트에 의해 MCU에 먼저 인터럽트가 걸린다. 일단 Clock이 다시 동작하고 SE0 상태가 3ms 동안 지속되면, USB Reset 인터럽트가 발생한다. .	0
0	R/ Clear	Set	SPDINT : Suspend Interrupt bit Suspend 신호를 수신하면 USB는 이 비트를 set 한다. 버스상에서 3ms 동안 아무런 동작이 이루어지지 않으면 이 비트는 set 된다. 그래서 MCU가 첫 번째 suspend 인터럽트 이후에 Clock을 멈추지 않으면, USB 버스상에서 아무런 동작이 이루어지 않는 한 매 3ms 마다 인터럽트가 계속 발생한다. 디폴트로 이 인터럽트는 disable 이다	0

26.3.5 Endpoint Interrupt Enable Register (USBEPIN)

Address : 0xA000_1814h

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	
4	R/W	EP4INTEN : Endpoint 4 Interrupt enable bit	1
3	R/W	EP3INTEN : Endpoint 3 Interrupt enable bit	1
2	R/W	EP2INTEN : Endpoint 2 Interrupt enable bit	1
1	R/W	EP1INTEN : Endpoint 1 Interrupt enable bit	1
0	R/W	EPOINTEN : Endpoint 0 Interrupt enable bit	1

26.3.6 USB Interrupt Enable Register (USBINTEN)

Address : 0xA000_1818h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	
2	R/W	RSTINTEN : USB RESET Interrupt enable bit	1
1	R	Reserved	
0	R/W	SPDINTEN : SUSPEND Interrupt enable bit	0

26.3.7 USB Low Byte Frame Number Register (USBLBFN)

Address : 0xA000_181Ch

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Frame Number 1 register	0x00

26.3.8 USB High Byte Frame Number Register (USBHBFN)

Address : 0xA000_1820h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Frame Number 2 register	0x00

26.3.9 USB Index Register (USBIND)

Address : 0xA000_1824h

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	
2 : 0	R/W	Index register 000 : Endpoint 0 001 : Endpoint 1 010 : Endpoint 2 011 : Endpoint 3 100 : Endpoint 4 101 : Reserved 110 : Reserved 111 : Reserved	000

26.3.10 USB MAXP Register (USBMP)

Address : 0xA000_1828h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Max FIFO Size 0000_0001 MAXP=8 0000_0010 MAXP=16 0000_0100 MAXP=32 0000_1000 MAXP=64	0x00

26.3.11 USB EP0 Control Register (USBEP0C)

Address : 0xA000_182Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	Clear		EP0SUEC : EP0 Set Up End Clear bit. MCU가 EPOSTED 비트를 clear 하기 위해 1를 write 한다..	0
6	Clear		EP0OPRC : EP0 Out Packet Ready Clear bit. MCU는 EP0OPR 비트를 clear하기 위해 이 비트에 1를 write한다.	0
5	Set	Clear	EP0SDSTAL: EP0 Send Stall bit. MCU는 잘못된 token이라고 인식되면, EP0OPR 비트를 clear와 동시에 이 비트를 set 한다. USB는 STALL handshake를 현재 컨트롤 전송에 발생시킨다. MCU는 STALL 상황을 끝내기 위해 0를 write 한다	0
4	R	Set	EPOSTED: EP0 Setup End bit. 이 비트는 읽기 전용이다. EP0DED 비트가 set되기 전에 컨트롤 전송이 끝났을 때 USB 가 이 비트를 set한다. USB가 이 비트를 set 할 때 MCU에 인터럽트가 전달된다. 이러한 상황이 발생했을 때 USB는 FIFO를 flush하고 MCU의 FIFO 접근을 무효화 한다. MCU의 FIFO 접근이 무효화 될 때 이 비트는 clear 된다.	0
3	Set/R	Clear	EP0DED: EP0 Data End bit. MCU는 다음과 같은 상황에서 이 비트 set한다: - 마지막 데이터 패킷을 가져온 후 EP0OPR 비트를 clear 할 때 - Zero length data 구간에서 EP0OPR 비트를 clear 하고 EPOIPR 비트를 set 할 때 - MCU가 FIFO에 대한 패킷 데이터를 load한 후에 EPOIPR 비트를 set함과 동시에 이 비트(EP0DED) 를 set 한다.	0
2	Clear/R	Set	EP0STSTAL: Sent Stall bit. 프로토콜 오류로 컨트롤 transaction이 끝나면 USB가 이 비트 set 한다. 이 비트가 set 되면 인터럽트가 발생한다.	0
1	Set/R	Clear	EPOIPR: EP0 In Packet Ready bit. MCU는 endpoint 0 FIFO에 데이터 패킷을 write 한 후에 이 비트를 set 한다. 데이터 패킷이 성공적으로 호스트에 전달되면 USB가 이 비트를 clear 시킨다. USB가 이 비트를 clear시키면 인터럽트가 발생한다. 그래서 MCU는 계속해서 다음 데이터를 load 할 수 있게 된다. Zero length data phase에서는 MCU는 동시에 이 비트(EPOIPR)와 EP0DED 비트를 set 한다.	0
0	R	Set	EP0OPR: EP0 Out Packet Ready bit. Read only. 이 비트는 읽기 전용이다. 유효한 token이 FIFO에 쓰여지면 USB가 이 비트를 set 한다. USB가 set 하면 인터럽트가 발생한다. MCU는 EP0OPRC 비트에 1를 write 함으로써 이 비트를 clear 시킨다.	0

26.3.12 USB IN Control 1 Register (USBIC1)

Address : 0xA000_182Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 7	R		Reserved	
6	Set	R/Clear	ICCDT: In Control 1 Clear Data Toggle bit. Write Only. MCU가 이 비트에 1을 write하면 data toggle 비트가 clear 된다. 이 비트는 쓰기 전용이다.	0
5	R/Clear	Set	ICSTSTAL: In Control 1 Sent Stall bit. MCU가 ICSDSTAL 비트를 set 했기 때문에, IN token 에 STALL handshake를 발생된다. 이 때 USB 가 이 비트를 set 한다. USB 가 STALL handshake를 발생 시키면 ICIPR 비트는 clear된다. MCU가 0를 write함으로써 이 비트를 clear 시킨다.	0
4	R/W	R	ICSDSTAL: In Control 1 Send Stall bit. MCU가 USB에 STALL handshake를 발생시키기 위해 이 비트에 1을 write한다. STALL 상황을 끝내기 위해 MCU가 이 비트를 clear 한다	0
3	R/Set	Clear	ICFFLU: In Control 1 FIFO Flush bit. IN FIFO를 flush하고자 하면 MCU가 이 비트를 set 한다. FIFO가 flush가 되면 USB 에 의해 이 비트는 clear 된다. 이런 상황이 발생하면 MCU에 인터럽트가 걸린다. Token이 진행 중이라면, USB는 FIFO가 flush 되기 전에 전송이 완료 될 때까지 기다린다. 만약에 두 개의 패킷이 FIFO에 load되어 있으면, 가장 상위의 패킷(호스트로 보내려고 하는 것)만 flush이 되고 그 패킷에 관련 있는 ICIPR 비트가 clear 된다.	0
2			Reserved	0
1	R	Set	ICFNE: In Control 1 FIFO Not Empty bit. FIFO에 적어도 한 개의 데이터 패킷이 있음을 나타 내다. 0 : FIFO에 패킷이 없다. 1 : FIFO에 패킷이 있다.	0
0	R/Set	Clear	ICIPR: In Control 1 In Packet Ready bit. FIFO에 데이터 패킷을 쓰고 난 뒤 MCU가 이 비트를 set 한다. 호스트로 데이터 패킷 전송이 성공적으로 끝나면 USB는 이 비트를 clear 한다. 이 비트를 USB 가 clear 하면 인터럽트가 발생하고, MCU는 다음 패킷을 로드 할 수 있게 된다. 이 비트가 set 되어 있는 동안에는 MCU는 FIFO에 쓰기를 할 수 없다. MCU에 의해 ICSDSTAL 비트가 set 되면, 이 비트는 set 될 수 없다.	0

26.3.13 USB IN Control 2 Register (USBIC2)

Address : 0xA000_1830h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	ICASET: In Control 2 Auto Set bit. 이 비트가 set 되어 있으면, MCU가 MAXP만큼의 데이터를 쓰기를 하면 자동적으로 ICIPR 비트가 set 된다. MAXP데이터 보다 적은 데이터를 쓸 경우는 MCU가 ICIPR 비트를 set 해줘야 한다.	0
6			Reserved	0
5	R/W	R	ICMODIN: In Control 2 Mode In bit. Endpoint의 방향을 프로그래머블할 수 있게끔 해준다. 1 = endpoint의 방향을 IN으로 설정된다. 0 = endpoint의 방향을 OUT으로 설정된다.	1
4 : 0			Reserved	

26.3.14 USB Out Control Register 1 (USBOC1)

Address : 0xA000_1838h

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	OCCDT: Out Control 1 Clear Data Toggle bit. MCU가 이 비트에 1를 write하면, data toggle sequence 비트가 DATA0로 reset 된다..	0
6	Clear/R	Set	OCSTSTAL: Out Control 1 Sent Stall bit. OUT token이 STALL handshake로 종료될 때 USB가 이 비트 set 한다. OUT Token에서 MAXP 데이터 보다 더 많은 데이터를 보낼 경우 USB가 host에 stall handshake를 발생 시킨다. MCU가 0를 write하면 clear 된다.	0
5	W/R	R	OCSSTAL: Out Control 1 Send Stall bit. USB에 STALL handshake를 발생시키기 위해 MCU가 이 비트에 1를 write 한다. STALL 상황을 끝내기 위해 MCU가 이 비트에 0을 write 한다.	0
4	R/W	Clear	OCFFLU: Out Control 1 FIFO Flush bit. MCU가 FIFO를 flush하기 위해 1를 write 하고 flush를 멈추기 위해 0을 write 한다. OCOPR 비트가 set되어 있는 동안만 이 비트가 set 될 수 있다. MCU 가 가져간 데이터 패킷은 flush가 될 것이다.	0
3	R	R/W	OCERR : Out Control 1 Data Error bit 전송 받은 데이터에 에러(bit stuffing 또는 CRC)가 있음을 나타낸다. OCOPR 비트가 clear될 때 자동적으로 clear 된다.	0
2	R	R	Reserved	
1	R	R/W	OCFFUL: Out Control 1 FIFO Full bit. 더 이상의 패킷을 수용할 수 없음을 나타낸다. 0 : FIFO is not full. 1 : FIFO is full.	0
0	R/ Clear	Set	OCOPR: Out Control 1 Out Packet Ready bit. FIFO에 데이터 패킷이 load가 되면 USB 가 이 비트를 set 한다. MCU가 패킷 전체를 읽고 나면 이 비트는 MCU에 의해 clear 되어야 한다. MCU가 0을 write 함으로써 clear 된다.	0

26.3.15 USB OUT Control Register 2 (USBOC2)

Address : 0xA000_183Ch

Bit	R/W		Description	Default Value
	MCU	USB		
31 : 8	R		Reserved	
7	R/W	R	OACLAR: Out Control 2 Auto Clear bit. 이 비트가 set이면, MCU가 OUT FIFO에서 데이터를 읽을 때 마다 자동적으로 USB core에 의해 OCOPR 비트가 clear 된다.	0
6 : 0			Reserved	0

26.3.16 USB Low Byte Out Write Count Register (USBLOWC)

Address : 0xA000_1840h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	(LBOWC) Low Byte OEP write count register	0x00

26.3.17 USB High Byte Out Write Count Register (USBHBOWC)

Address : 0xA000_1844h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	(HBOWC) High Byte OEP write count register	0x00

26.3.18 EP0 FIFO Data Register (USBEP0)

Address : 0xA000_1848h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP0 FIFO Data Register	0x00

26.3.19 EP1 FIFO Data Register (USBEP1)

Address : 0xA000_184Ch

Bit	R/W	Description	Default Value
31 : 0	R/W	EP1 FIFO Data Register	0x00

26.3.20 EP2 FIFO Data Register (USBEP2)

Address : 0xA000_1850h

Bit	R/W	Description	Default Value
31 : 0	R/W	EP2 FIFO Data Register	0x00

26.3.21 EP3 FIFO Data Register (USBEP3)

Address : 0xA000_1854h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP3 FIFO Data Register	0x00

26.3.22 EP4 FIFO Data Register (USBEP4)

Address : 0xA000_1858h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP4 FIFO Data Register	0x00

27 USB HOST CONTROLLER

adStar_L 의 USB 1.1 Host Controller 는 OpenHCI(ver 1.0a)를 지원한다.

27.1 Features

- OpenHCI1.0 compatible
- USB 1.1 compatible

27.2 Operational Registers

Table 27-1 USB Host Register List

Address	Registers
A0000000	HcRevision
A0000004	HcControl
A0000008	HcCommandStatus
A000000C	HcInterruptStatus
A0000010	HcInterruptEnable
A0000014	HcInterruptDisable
A0000018	HcHCCA
A000001C	HcPeriodCurrentED
A0000020	HcControlHeadED
A0000024	HcControlCurrentED
A0000028	HcBulkHeadED
A000002C	HcBulkCurrentED
A0000030	HcDoneHead
A0000034	HcFmInterval
A0000038	HcFmRemaining
A000003C	HcFmNumber
A0000040	HcPeriodicStart
A0000044	HcLSThreshold
A0000048	HcRhDescriptorA
A000004C	HcRhDescriptorB
A0000050	HcRhStatus
A0000054	Reserved.
A0000058	HcRhPortStatus[1]


28 ELECTRICAL CHARACTERISTIC

28.1 DC Electrical Characteristic

The ESD of device meets HBM-2KV and MM-200V.

The following table summarizes the electrical design specifications of DC specifications:

Table 28-1 I/O DC Electrical Characteristic

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
High level output voltage	VOH	IOH = -8mA	2.4			V
Low level output voltage	VOL	IOL = 8mA			0.4	V
High level input voltage	VIH	LVTTTL/CMOS interface	2.0		IOVDD+0.5	V
Low level Input voltage	VIL	LVTTTL/CMOS interface			0.8	V
Switch threshold	Vth	CMOS interface	1.2	1.3	1.4	V
		Schmitt-falling-trigger	0.8	0.9	1.0	V
		Schmitt-rising-trigger	1.45	1.55	1.65	V
Hysteresis		Schmitt-trigger interface	0.55	0.65	0.7	V
Input pull-up resistance	RPU	VIN = 0	34	41	64	kΩ
Input pull-down resistance	RPD	VIN = VDDH	33	44	79	kΩ
Input current	II	Vdd = MAX, 0V ≤ Vin ≤ 3.6V	-10		10	μA
Input current with pull down		Vin = Vdd	40		160	μA
Input current with pull up		Vin = 0	-160		40	μA

28.2 Operating Conditions

The following table gives the recommended operating conditions for the integrated circuit (IC) chips using this library:

Table 28-2 I/O Recommended Operating Conditions

Operating Conditions	Min	Typ	Max
Core DC Supply (CoreVDD)	1.62V	1.8V	1.98V
I/O DC Supply Voltage (IOVDD)	3.0V	3.3V	3.6V

28.3 LDO Electrical Specification

Table 28-3 LDO Electrical Specifications

VDD33=3.3V, COUT=1μF, TA=25°C unless otherwise noted

Parameters	Symbol	Test Condition	Min	Typ	Max	Units
Quiescent Current	Iq	Iout = 0 PD = 0		35		μA
Shutdown Current	I _{sd}	PD = VDD33			1	μA
Input Voltage	VDD33		1.8+V _{drp}	-	3.6	V
Output Voltage	VDD18	Iout = 0	1.75		1.85	V
Band Gap Output	VBG			1.2		V
External Capacitor				4.7		μF
Line Regulation		V _{cc} =3.0~3.6V Iout=10mA		0.2		%
		V _{cc} =3.0~3.6V Iout=150mA		0.4		
Dropout Voltage	V _{drp}	Iout=150mA		240		mV
Ripple Rejection	PSRR	Iout=10mA Without bypass Cap (1kHz)		38		db
		Iout=150mA Without bypass Cap (1kHz)		38		
		Iout=150mA With bypass Cap (1kHz)		-		
Output Current	Iout			150		mA
PD Logic input High	ViH		0.85			V
PD Logic input Low	ViL				0.45	V
VDD18 Temperature Coefficient	TC	-45~125°C		40		ppm

28.4 POR Electrical Specification

Table 28-4 POR Specification (Unless otherwise specified, Topr=25°C, VDD=1.8V)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
VDD	Supply voltage		1.6	1.8	2	V
Is	Supply current	VDD=1.8V		3	5	uA
Vtd	Minimum power up trigger level		1			V
Vtdr	Maximum power drop trigger level				0.9	V
Tr	Rising time of VDD		10u		10m	s
Tf	Falling time of VDD to VTH-100Mv (0.9V)		5			us
Td	Reset delay time after VTH trigger	Tr=80us		20		us
VOH	POR output high voltage	No load		VDD		V
		Isource=30uA, VDD≥1V		0.8*VDD		V
		Isource=100uA, VDD≥1.8V		0.8*VDD		V
VOL	POR output low voltage	No load		GND		V

28.5 PLL Electrical Specification

Table 28-5 PLL DC Characteristics (Unless otherwise specified, Topr=25°C, VDD=1.8V)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
AVDD	Supply Voltage		1.6	1.8	2	V
DVDD	Digital Supply Voltage		1.6	1.8	2	V
Is	Supply Current	normal		3		mA
VIH	Input High Voltage		DVDD-0.3			V
VIL	Input Low Voltage				DGND+0.3	V

Table 28-6 PLL Input Frequency (Unless otherwise specified, Topr=25°C, VDD=1.8V)

Symbol	Parameter	Min	Typ	Max	Unit
Fin	Input Frequency	0.06		2.25	Mhz

28.6 ADC Electrical Specification

Table 28-7 ADC Recommended operating conditions

<i>Symbol</i>	<i>Parameter</i>	<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Unit</i>
AVDD	Analog Supply Voltage	3	3.3	3.6	V
DVDD	Digital Supply Voltage	1.62	1.8	1.98	V
IR	Input Voltage	0.3		VDDA-0.3	V

Table 28-8 ADC DC Characteristics (Unless otherwise specified, Topr=25°C, VDD=1.8V)

<i>Symbol</i>	<i>Parameter</i>	<i>Condition</i>	<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Unit</i>
VIH	Input High Voltage		1.5			V
VIL	Input Low Voltage				0.8	V
PWR	Power Consumption (AVG)	Temp:0~85°C		0.357	0.46	mA
		Power Down		<1		uA

28.7 RTC Operation Voltage

<i>Symbol</i>	<i>Parameter</i>	<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Unit</i>
VBAT	Analog Supply Voltage	1.8		3.6	V

28.8 Power Consumption

Table 28-9 Power Consumption from different conditions

<i>Condition</i>	<i>Freq.</i>	<i>Typ.</i>
CPU running from flash	101Mhz	512.7mW
LCD displaying and Sound playing from NAND Flash file system	108Mhz	525.3mW
CPU running from flash	96Mhz	341mW

29 PACKAGE DIMENSION

Unit: mm

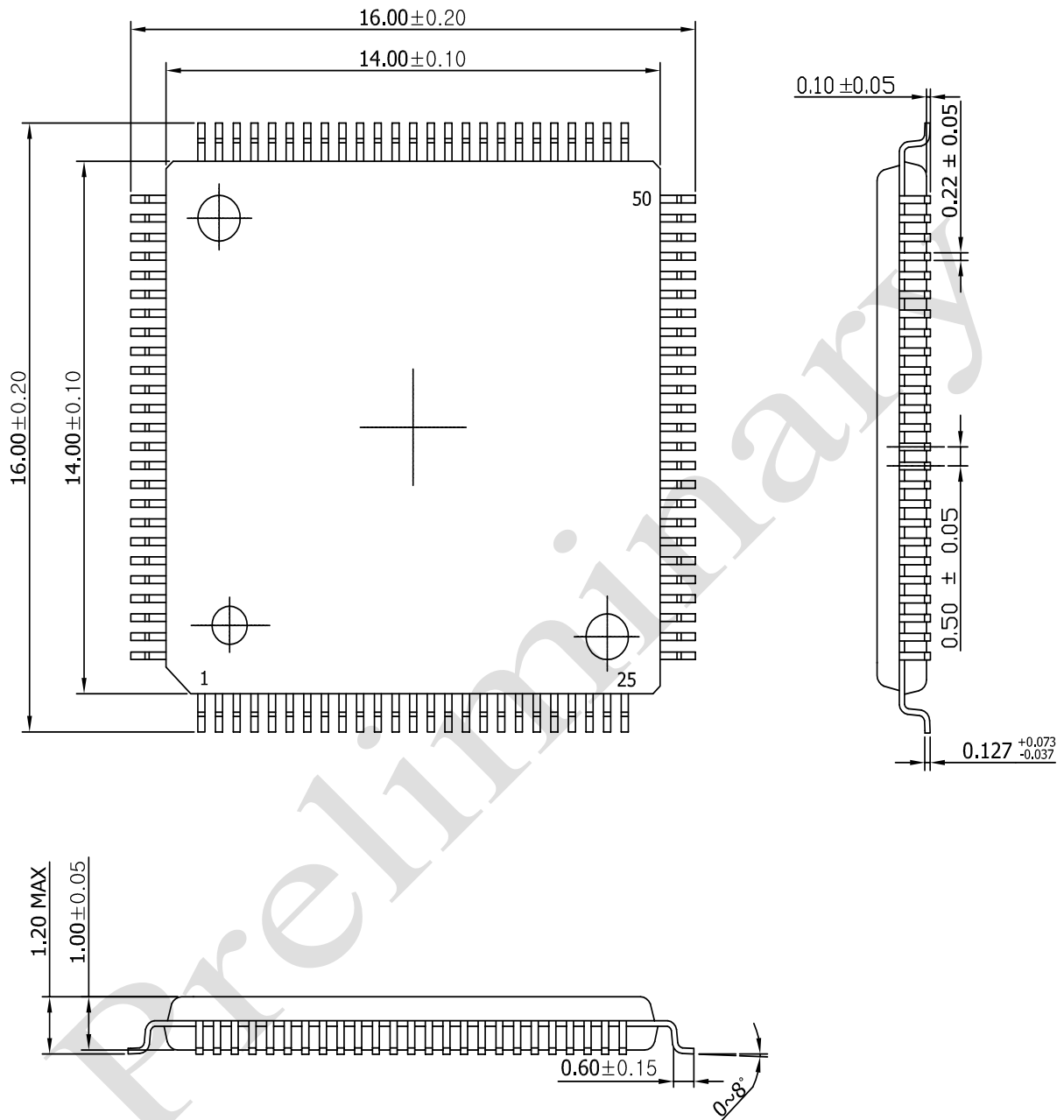
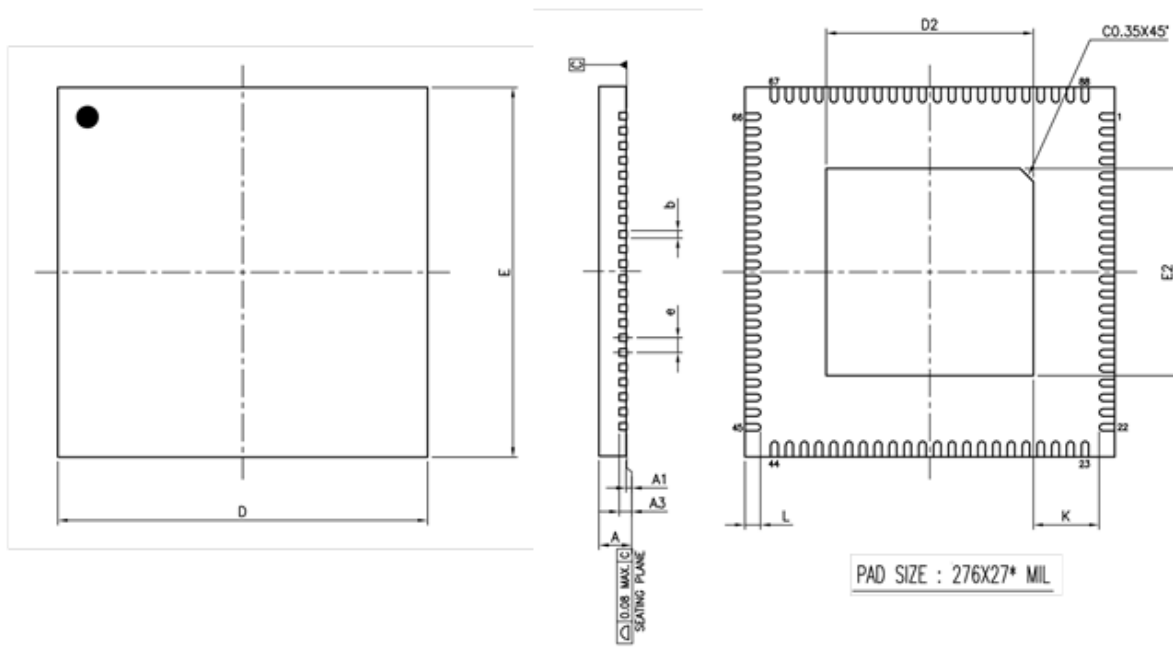


Figure 29-1 adStar_Lxx 100-pin Package Dimension

JEDEC OUTLINE	MO-220		
PKG CODE	VQFN(YA88)		
SYMBOLS	MIN.	NOM.	MAX.
A	0.80	0.85	0.90
A1	0.00	0.02	0.05
A3	0.203 REF.		
D	10.00 BSC		
E	10.00 BSC		
e	0.40 BSC		
L	0.35	0.40	0.45
K	1.15	1.20	1.25

NOTES :

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION b SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
3. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.



PAD SIZE	D2			E2			b			LEAD FINISH		JEDEC CODE
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	Pure Tin	PPF	
276X27* MIL	6.75	6.80	6.85	6.75	6.80	6.85	0.15	0.20	0.25	V	X	(W)VNNE-1

Figure 29-2 adStar_LxxN 88-pin Package Dimension