



Preliminary Datasheet

CANTUS

Preliminary

Ver 2.16

June 13, 2011

Advanced Digital Chips, Inc.

History

Ver 1.1 April 17, 2009	1st version released
Ver 1.7 June 30, 2009	Add Electrical Characteristics Fixed Name rule (signal name, register name, bit name)
Ver 1.8 July 1, 2009	Add Coprocessor
Ver 1.81 July 3, 2009	Change Clocks and Power Management
Ver 1.82 July 6, 2009	Modified typographic error
Ver 1.83 July 7, 2009	Modified TWI
Ver 1.84 July 8, 2009	Modified typographic error
Ver 1.85 July 14, 2009	Change GPIO Added explanation of interrupt nesting
Ver 1.86 July 15, 2009	Modified Peri title name
Ver 1.87 July 15, 2009	Modified Voice Codec Block Diagram Added Picture of External SRAM Memory
Ver 1.88 July 15, 2009	Modified DMA Modified External SRAM
Ver 1.89 July 16, 2009	Modified font Modified NOR Flash
Ver 1.90 July 17, 2009	Modified Figure of “PCLK Clock Gating”
Ver 1.91 July 17, 2009	Added KeyScan Data 2 Register
Ver 1.92 July 20, 2009	Modified CANTUS Block Diagram
Ver 1.93 July 20, 2009	Added Voice Codec ADC/DAC Signal Level

Ver 1.94 July 21, 2009	Modified IINTMOD Register of Interrupt Controller
Ver 1.95 July 22, 2009	Modified KSD1 Register of Keyscan
Ver 1.96 July 23, 2009	Modified typographic error
Ver 1.97 July 24, 2009	Modified I2S Clock Tree
Ver 1.98 July 24, 2009	Modified RTC Control Register
Ver 1.99 Aug 7, 2009	Modified ISP
Ver 2.00 Aug 10, 2009	Modified RTC
Ver 2.01 Aug 12, 2009	Modified Status Command and AAI Programming Command of ISP
Ver 2.02 Aug 14, 2009	Modified Picture of External SRAM Memory
Ver 2.03 Aug 18, 2009	Modified Receive FIFO Trigger Level bit of UART Channel FIFO Control Register
Ver 2.04 Aug 27, 2009	Modified KeyScan
Ver 2.05 Aug 28, 2009	Modified Channel Line Status Register of UART
Ver 2.06 Sep 28, 2009	Modified Description of Timer
Ver 2.07 Sep 28, 2009	Modified from prescaler to pre-scaler
Ver 2.08 Sep 29, 2009	Modified Description of TWI
Ver 2.09 Nov 27, 2009	Modified ISP Enable bit
Ver 2.10 April 13, 2010	Modified SPI Interrupt
Ver 2.11 May 25, 2010	Removed Sleep mode
Ver 2.12 Aug 26, 2010	Changed to RTC Reset

Ver 2.13 Dec 15, 2010	Corrected wrong description of Timer (PWM Period calculation)
Ver 2.14 Feb 10, 2011	Corrected wrong description of Pre-scale Factor of PWM Period calculation
Ver 2.15 April 7, 2011	Added the description of kinds of internal flash
Ver 2.16 June 13, 2011	Fixed PWM Pulse number value of figure 10.3

Preliminary

CONTENTS

1	Descriptions and Features	11
1.1	General Description	11
1.2	Features	11
1.3	제품 종류	12
2	Block Diagram & Pin Descriptions	13
2.1	Block Diagram	13
2.2	Pin Configurations	14
	Pinout	14
	Pin Definitions	15
	Pin Descriptions	20
3	Memory Architecture and Booting mode	22
3.1	Memory Map	22
3.2	Embedded Memories	22
	Internal NOR Flash	22
	Internal SRAM	22
3.3	Memory Mapped I/O	23
3.4	Booting Configuration	24
	NAND Flash Type	24
	External SRAM Data Bus Type	24
	ISP(In System Programming) mode and Debugger mode	24
4	Clocks and Power Management	25
4.1	Power	25
	Power Pins	26
	Power Consumption	27
	Voltage Regulators	27
4.2	Reset	28
	Power On Reset	28
	Power On Start Time	29
	Software Reset	30
	System Reset	30
4.3	Clocks	31
	MOSC Clock and ROSC Clock	32
	PLL Clock	33
	MAIN Clock and HCLK Clock	34
	HCLK Clock and PCLK Clock Gating	35
	USB Device Clock	37
4.4	Power Management Controller	38
	Normal Run Mode	39
	Idle Mode	40
	Deep Idle Mode	40
4.5	Power Management Control Registers	41
5	Internal NOR Flash and External SRAM Controller	46
5.1	Internal NOR Flash Memory	46
5.2	External SRAM Memory	50
5.3	Internal NOR Flash and External SRAM Control Registers	52
6	Coprocessor	55

6.1	Coprocessor Description	56
6.2	Coprocessor Control Registers	57
7	Watchdog Timer	62
7.1	Watchdog Timer Control Registers	63
8	GPIO (General Purpose I/O).....	64
8.1	Port Alternate Functions	64
8.2	Port Control.....	65
8.3	Port Edge Detect.....	66
8.4	GPIO Registers	67
9	Interrupts	80
9.1	Interrupt Vector and Priority	81
9.2	External Interrupt (EIRQ0/EIRQ1).....	82
9.3	Internal Interrupt Mode.....	83
9.4	Interrupt Pending and Interrupt Pending Clear	83
9.5	Interrupt Enable	83
9.6	Interrupt Mask Set/Clear Register	83
9.7	Interrupt Control Registers	84
10	Timers.....	93
10.1	15-bit Pre-scaler with clock source selection	94
10.2	Timer/Counter	95
10.3	Pulse Width Modulation (PWM).....	96
10.4	Capture	98
10.5	Output Compare Mode	100
10.6	Timer Control Registers.....	101
11	SPI (Serial Peripheral Interface)	104
11.1	SPI Registers Summary	105
11.2	SPI Pins.....	106
11.3	SPI Operating Modes	106
11.4	SCK Phase and Polarity Control	108
11.5	Data Transfer Timing	108
11.6	SPI Serial Clock Baud Rate	110
11.7	Open-Drain Output for Wired-OR.....	110
11.8	Transfer Size and Direction	110
11.9	Write Collision.....	110
11.10	MODE Fault.....	110
11.11	Interrupt	111
11.12	SPI Control Registers	112
12	TWI (Two Wired Interface)	115
12.1	DATA TRANSFER FORMAT	116
12.2	START AND STOP CONDITION	116
12.3	ACK SIGNAL TRANSMISSION.....	117
12.4	READ-WRITE OPERATION.....	117
12.5	BUS ARBITRATION PROCEDURES.....	118
12.6	ABORT CONDITIONS	119
12.7	Operational Flow Diagrams	119
12.8	TWI Control Registers	124
13	UART.....	128
13.1	UART Registers Summary.....	129
13.2	Serial Data Format	130
13.3	UART Baud Rate	132

13.4	UART Control Registers	133
14	DMA (Direct Memory Access).....	138
14.1	DMA Operation.....	139
14.2	DMA Descriptor Table.....	140
14.3	Control flag of Descriptor.....	143
14.4	DMA Control Registers.....	144
15	NAND Flash Controller	149
15.1	NAND Flash Operation	150
15.2	ECC	152
15.3	NAND Flash Control Registers	153
16	I2S	160
16.1	Frequency Control	161
16.2	Interface Format	162
16.3	Data Format.....	162
16.4	Transmit and Receive FIFO.....	163
16.5	Wave File Format.....	164
16.6	I2S Control Registers.....	165
17	USB Device.....	169
17.1	USB Registers Summary.....	170
17.2	USB Control Registers.....	172
18	Keyscan.....	181
18.1	Key Scan Matrix Circuit	182
18.2	Key Scan mode and Interrupt.....	182
18.3	Key Scan Control Registers	183
19	Real Timer Clock.....	185
19.1	RTC Control Registers.....	186
20	14-bit Voice Codec	189
20.1	Voice Codec Control Registers.....	191
21	ISP (In System Programmer).....	193
21.1	ISP Command Set.....	194
21.2	Read Command.....	195
21.3	Write Command.....	196
21.4	Device ID Command.....	196
21.5	Status/Control Command.....	197
21.6	AAI Programming Command	198
22	Electrical Characteristics.....	199
22.1	DC Electrical Characteristics	199
22.2	LDO100 Voltage Regulator Electrical Characteristics	200
22.3	LDO50 Voltage Regulator Electrical Characteristics.....	200
22.4	POR Electrical Characteristics	200
22.5	MOSC Electrical Characteristics.....	201
22.6	ROSC Electrical Characteristics.....	201
22.7	PLL Electrical Characteristics	202
22.8	Voice Codec Electrical Characteristics	203
22.9	Internal Register Electrical Characteristics	204
23	Package Dimension	205

FIGURES

FIGURE 2-1 CANTUS BLOCK DIAGRAM	13
FIGURE 2-2 CANTUS PINOUT DIAGRAM.....	14
FIGURE 3-1 MEMORY MAP.....	22
FIGURE 4-1 POWER SCHEME	25
FIGURE 4-2 POWER SUPPLY SCHEME.....	27
FIGURE 4-3 RESET SOURCE.....	28
FIGURE 4-4 POR RESET CONTROL.....	29
FIGURE 4-5 POWER-UP RESET.....	29
FIGURE 4-6 CANTUS CLOCK TREE.....	31
FIGURE 4-7 MOSC BLOCK DIAGRAM	32
FIGURE 4-8 TYPICAL CRYSTAL CONNECTION FOR MOSC	32
FIGURE 4-9 PLL BLOCK DIAGRAM	33
FIGURE 4-10 MAIN CLOCK AND HCLK CLOCK.....	34
FIGURE 4-11 HCLK CLOCK GATING.....	35
FIGURE 4-12 PCLK CLOCK GATING	36
FIGURE 4-13 USB DEVICE CLOCKS	37
FIGURE 4-14 POWER MODE STATE DIAGRAM.....	38
FIGURE 5-1 NOR FLASH TIMING DIAGRAM.....	48
FIGURE 5-2 EXTERNAL 8-BIT SRAM MEMORY TIMING DIAGRAM.....	50
FIGURE 5-3 CONNECTION 8-BIT SRAM MEMORY.....	50
FIGURE 5-4 EXTERNAL 16-BIT SRAM MEMORY TIMING DIAGRAM.....	51
FIGURE 5-5 CONNECTION 16-BIT SRAM MEMORY.....	51
FIGURE 8-1 GPIO BLOCK DIAGRAM.....	66
FIGURE 9-1 EXTERNAL INTERRUPT MODE	82
FIGURE 10-1 PRE-SCALER BLOCK DIAGRAM.....	94
FIGURE 10-2 TIMER OPERATION	95
FIGURE 10-3 PWM OPERATION	97
FIGURE 10-4 CAPTURE MODE OPERATION.....	98
FIGURE 10-5 TIMING DIAGRAM OF OUTPUT COMPARE OPERATION.....	100
FIGURE 11-1 SPI BLOCK DIAGRAM.....	105
FIGURE 11-2 SCK PHASE AND POLARITY	108
FIGURE 11-3 TRANSFER TIMING WHEN CPHA = '0'	109
FIGURE 11-4 TRANSFER TIMING WHEN CPHA = '1'	109
FIGURE 11-5 1-BYTE TRANSFER VS. STATUS AND INTERRUPT.....	111
FIGURE 11-6 N-BYTES TRANSFER VS. STATUS AND INTERRUPT.....	111
FIGURE 12-1 TWI BLOCK DIAGRAM.....	115
FIGURE 12-2 TWI-BUS INTERFACE DATA FORMAT	116
FIGURE 12-3 DATA TRANSFER ON THE TWI-BUS	116
FIGURE 12-4 ACKNOWLEDGEMENT OF TWI.....	117
FIGURE 12-5 BUS ARBITRATION 1 OF TWI.....	118
FIGURE 12-6 BUS ARBITRATION 2	118
FIGURE 12-7 TWI INITIALIZATION FLOW CHAR.....	119
FIGURE 12-8 MASTER TRANSMIT FLOW CHAR.....	120
FIGURE 12-9 MASTER RECEIVE FLOW CHAR	121
FIGURE 12-10 SLAVE MODE FLOW CHART (POLLING).....	122
FIGURE 12-11 SLAVE MODE FLOW CHART (INTERRUPT).....	123
FIGURE 13-1 UART BLOCK DIAGRAM.....	128
FIGURE 13-2 UART LCR REGISTER SETTING AND SERIAL DATA FORMAT	131
FIGURE 14-1 STRUCTURE OF DMA CONTROLLER.....	138
FIGURE 14-2 STRUCTURE OF DMA DESCRIPTOR	140
FIGURE 14-3 EXAMPLE OF DMA DESCRIPTOR FLOW.....	141
FIGURE 14-4 DMA DATA SWAP MODE	145

FIGURE 15-1 NAND FLASH CONTROLLER BLOCK DIAGRAM	149
FIGURE 15-2 READ/WRITE TIMING DIAGRAM OF NAND FLASH MEMORY	150
FIGURE 15-3 TRANSMISSION THROUGH BUFFER OF NAND FLASH CONTROLLER	151
FIGURE 16-1 I2S BLOCK DIAGRAM.....	160
FIGURE 16-2 I2S PRE-SCALER	161
FIGURE 16-3 I2S INTERFACE FORMAT	162
FIGURE 16-4 I2S DATA SWAP MODE	162
FIGURE 18-1 KEY SCAN BLOCK DIAGRAM.....	181
FIGURE 18-2 4 X 4 KEY MATRIX	182
FIGURE 18-3 KEY SCAN TIME DIAGRAM.....	182
FIGURE 20-1 VOICE CODEC BLOCK DIAGRAM	189
FIGURE 20-2 ADC/DAC SIGNAL LEVEL	190
FIGURE 21-1 SPI MODES SUPPORTED	193
FIGURE 21-2 READ COMMAND FLOW CHART.....	195
FIGURE 21-3 WRITE COMMAND FLOW CHART	196
FIGURE 21-4 DEVICE ID COMMAND FLOW CHART.....	196
FIGURE 21-5 STATUS/CONTROL COMMAND FLOW CHART	197
FIGURE 21-6 AAI PROGRAMMING COMMAND FLOW CHART.....	198
FIGURE 23-1 PACKAGE DIMENSION	205

Preliminary

TABLES

TABLE 2-1 CANTUS PIN DEFINITIONS	15
TABLE 3-1 CANTUS PERIPHERAL MEMORY MAP.....	23
TABLE 4-1 POWER MODE.....	39
TABLE 5-1 NOR FLASH MEMORY (CANTUS128)	46
TABLE 5-2 NOR FLASH MEMORY (CANTUS512)	47
TABLE 5-3 NOR FLASH COMMAND DEFINITIONS	49
TABLE 6-1 REAL MEMORY MAP IN NOR FLASH BOOTING MODE	55
TABLE 6-2 COPROCESSOR REGISTER DESCRIPTION.....	56
TABLE 8-1 PORT ALTERNATE FUNCTIONS.....	64
TABLE 8-2 INTERNAL PULL-UP RESISTANCE CHARACTERISTICS.....	65
TABLE 9-1 INTERRUPT VECTOR & PRIORITY.....	81
TABLE 11-1 SPI PIN FUNCTIONS	106
TABLE 13-1 UART REGISTER SUMMERY.....	129
TABLE 13-2 UART BAUD RATE	132
TABLE 13-3 UART INTERRUPT CONTROL FUNCTION	134
TABLE 14-1 DMA DESCRIPTOR SUMMARY	140
TABLE 16-1 I2S SAMPLING FREQUENCY(LRCK) AND MCLK CLOCK.....	161
TABLE 16-2 I2S SAMPLING FREQUENCY AND SERIAL BIT CLOCK.....	161
TABLE 16-3 WAVE FILE FORMAT HEADER.....	164
TABLE 17-1. ENDPOINT LIST	169
TABLE 17-2. USB CORE REGISTER LIST	170
TABLE 21-1 ISP COMMAND SET	194
TABLE 21-2 ISP STATUS/CONTROL REGISTER	197
TABLE 22-1 DC ELECTRICAL CHARACTERISTICS.....	199
TABLE 22-2 LDO100 ELECTRICAL CHARACTERISTICS	200
TABLE 22-3 LDO50 ELECTRICAL CHARACTERISTICS	200
TABLE 22-4 POR ELECTRICAL CHARACTERISTICS.....	200
TABLE 22-5 MOSC ELECTRICAL CHARACTERISTICS	201
TABLE 22-6 ROSC ELECTRICAL CHARACTERISTICS	201
TABLE 22-7 PLL ELECTRICAL CHARACTERISTICS	202
TABLE 22-8 VOICE CODEC ELECTRICAL CHARACTERISTICS	203
TABLE 22-9 INTERNAL RESISTANCE ELECTRICAL CHARACTERISTICS.....	204

1 DESCRIPTIONS AND FEATURES

1.1 General Description

CANTUS 는 NOR Flash 가 내장된 32 비트 마이크로 컨트롤러이다. 최대 96MHz 까지 동작이 가능한 고성능 마이크로 컨트롤러이다. 내장된 NOR Flash 는 512KB(또는 128KB)의 크기이며, 80KB SRAM 도 포함되어 있다.

CPU 는 프로그램 메모리와 데이터 메모리를 액세스하기 위한 버스를 독립적으로 구현되어 있으며(하버드 구조), 5 단 파이프라인의 EISC 구조로 매우 빠른 명령처리를 수행한다.

내장 NOR Flash 는 프로그램 코드와 데이터 용도로 같이 사용가능하며, 사용자가 쉽게 다운로드 할 수 있는 JTAG Programming 과 ISP (In-System Programming)방식을 적용하고 있다.

또 저전력 응용을 위한 Idle 모드와 Deep Idle 모드 기능을 제공하고 있다.

1.2 Features

- High-performance, Low-power 32-bit EISC Microprocessor
- 32-bit EISC Architecture
 - AE32000C
 - Up to 96MIPS Throughput at 96MHz
 - 2 Way Set Associative cache with I-Cache(8KB) and D-Cache(4KB)
- Program and Data Memories
 - 128KBytes , 512KBytes of Re-programmable NOR Flash
Endurance: 100,000 Erase Cycles
JTAG Programming
ISP (In System Programming)
 - 80KBytes Internal SRAM
 - External Static Memory Interface with ALE
- Peripherals
 - 32-bit Watchdog Timer
 - 2 External Interrupts
 - 8 Channel 32-bit Timer/Counter with 15-bit Pre-scaler, Capture mode, PWM mode, and Output Compare Mode
 - 8 Channel UART with 16Bytes FIFO, Functionally compatible with the 16550
 - Master/Slave SPI with 8Bytes FIFO
 - Two Wire Interface
 - Direct Memory Access Controller(DMAC)
 - NAND Flash Controller with 4bit ECC
 - I2S with ADPCM
 - USB 1.1 Full Speed Device
 - 53 Port In/Out

- 32.768KHz crystal oscillator for RTC
- 2MHz ~ 15MHz crystal oscillator
- Power Controller
- JTAG Debugger

▫ **Special Features**

- Embedded two 1.8v Voltage Regulators (LDOs)
- Power On Reset
- On-chip PLL
 - The PLL generates the clock to operate the overall device (including USB device).
- 14-bit Voice Codec with 4Ch Input
- Power Mode: Normal, Idle and Deep Idle mode
- Woken by PWK pin or RTC interrupt from Deep mode

▫ **Operating Voltage Range**

- Core: 1.8V
- I/O: 3.3V

▫ **Operating frequency**

- Up to 96MHz

▫ **Package**

- 100-pin TQFP Package

1.3 제품 종류

내부 Flash의 종류에 따라서 다음과 같이 구분이 된다.

	CANTUS128	CANTUS128A	CANTUS512
Sector Architecture	8 sectors of 16K byte	32 sectors of 4K byte	8 sectors of 64K byte
Access time	70ns	70ns	70ns
Minimum endurance cycle	100K	100K	100K

2 BLOCK DIAGRAM & PIN DESCRIPTIONS

2.1 Block Diagram

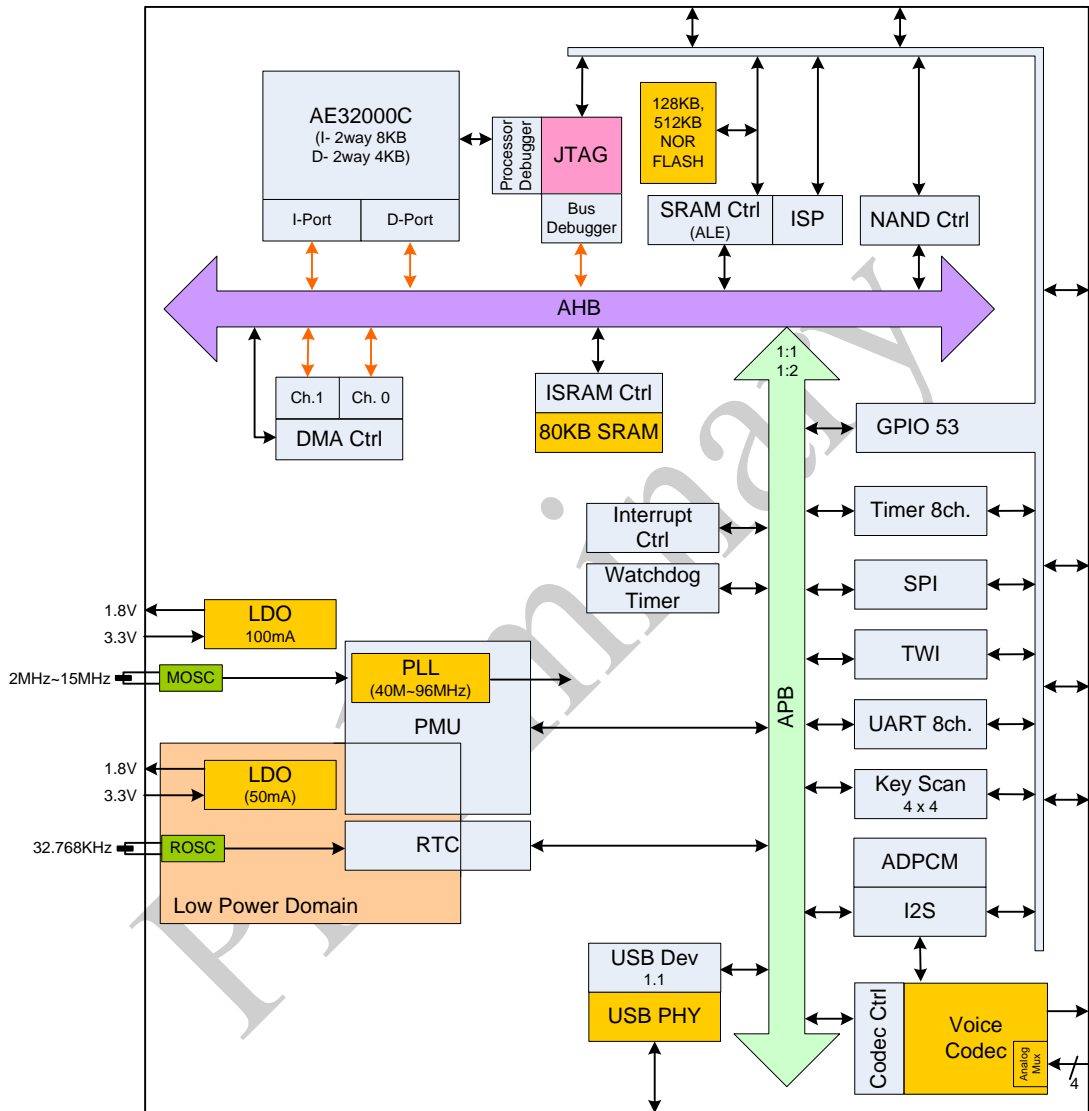


Figure 2-1 CANTUS Block Diagram

2.2 Pin Configurations

Pinout

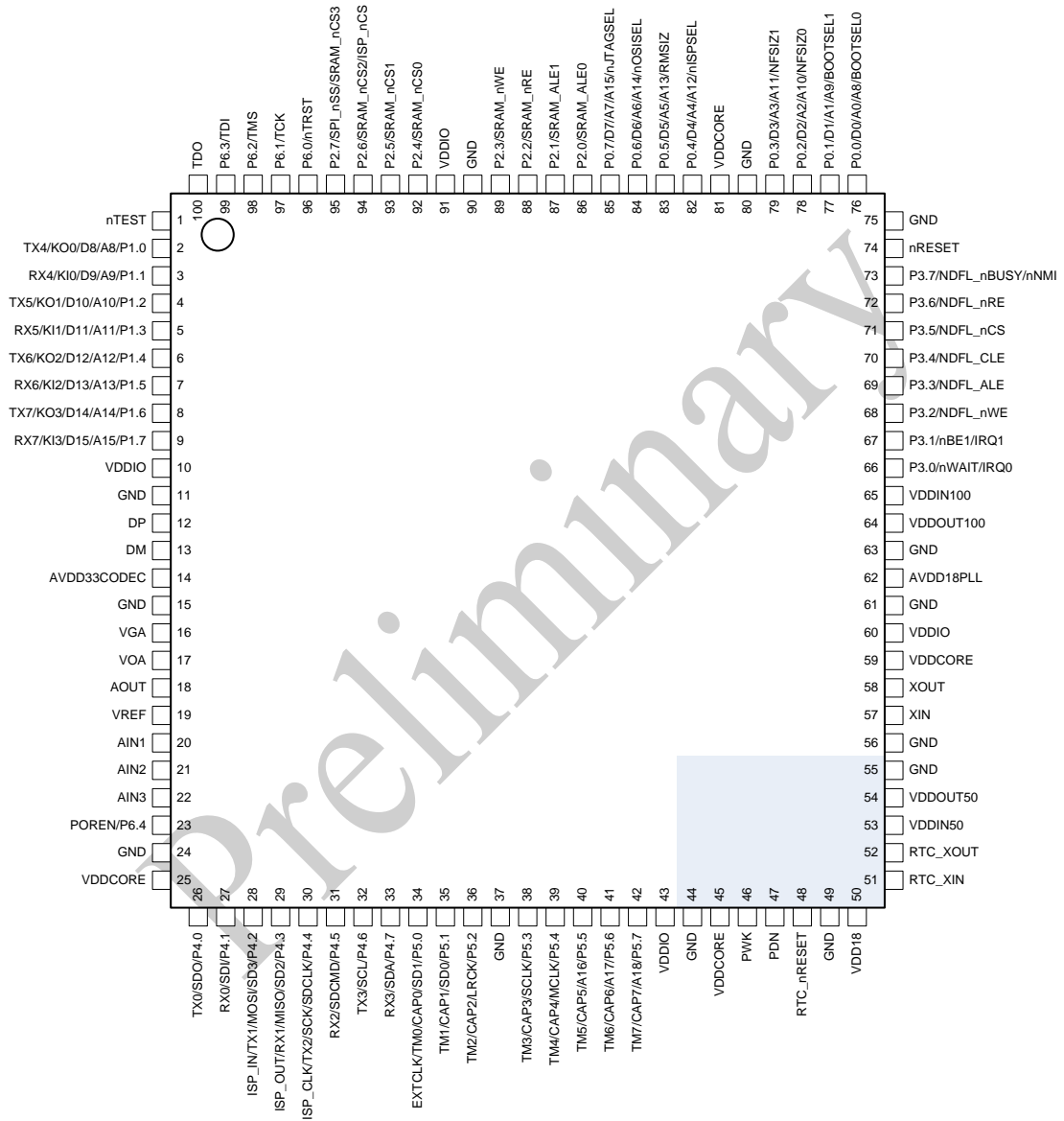


Figure 2-2 CANTUS Pinout Diagram

Pin Definitions

Table 2-1 CANTUS Pin Definitions

No.	Pin Name	Description.	Type	Output Drive Current	Pull-Up / Pull-Down
1	nTEST	Test mode select	I		Up / Schmitt
2	P1.0	P1.0 – General purpose I/O port TX4 – UART TX[4] KO0 – Key Scan output[0] AD[8] – Address[8], Data[8]	B	4mA	Up Controlled
3	P1.1	P1.1 – General purpose I/O port RX4 – UART RX[4] KI0 – Key Scan input[0] AD[9] – Address[9], Data[9]	B	4mA	Up Controlled
4	P1.2	P1.2 – General purpose I/O port TX5 – UART TX[5] KO1 – Key Scan output[1] AD[10] – Address[10], Data[10]	B	4mA	Up Controlled
5	P1.3	P1.3 – General purpose I/O port RX5 – UART RX[5] KI1 – Key Scan input[1] AD[11]/ – Address[11], Data[11]	B	4mA	Up Controlled
6	P1.4	P1.4 – General purpose I/O port TX6 – UART TX[6] KO2 – Key Scan output[2] AD[12] – Address[12], Data[12]	B	4mA	Up Controlled
7	P1.5	P1.5 – General purpose I/O port RX6 – UART RX[6] KI2 – Key Scan input[2] AD[13] – Address[13], Data[13]	B	4mA	Up Controlled
8	P1.6	P1.6 – General purpose I/O port TX7 – UART TX[7] KO3 – Key Scan output[3] AD[14] – Address[14], Data[14]	B	4mA	Up Controlled
9	P1.7	P1.7 – General purpose I/O port RX7 – UART RX[7] KI3 – Key Scan input[3] AD[15] – Address[15], Data[15]	B	4mA	Up Controlled
10	VDD33	3.3V (Main power domain)	PWR	-	-
11	GND	Ground	GND	-	-
12	DP	USB D+	B	Analog	-
13	DM	USB D-	B	Analog	-
14	AVDD33	3.3V (Voice Codec)	PWR	-	-
15	AVSS33	Ground (Voice Codec)	GND	-	-
16	VGA (AIN0)	Voice Codec analog input0	I	Analog	-
17	VOA	Voice Codec gain control output	O	Analog	-
18	AOUT	Voice Codec analog output	O	Analog	-

19	VREF	1.24V This is the analog reference pin for the Voice Codec.	O	Analog	-
20	AIN1	Voice Codec analog input1	I	Analog	-
21	AIN2	Voice Codec analog input2	I	Analog	-
22	AIN3	Voice Codec analog input3	I	Analog	-
23	P6.4	P6.4 – General purpose I/O POREN – POR enable signal	B	4mA	Up Controlled
24	GND	Ground	GND	-	-
25	VDD18	1.8V (Main power domain)	PWR	-	-
26	P4.0	P4.0 – General purpose I/O TX0 – UART TX[0] SD0 – I2S SDO	B	4mA	Up Controlled
27	P4.1	P4.1 – General purpose I/O RX0 – UART RX[0] SDI – I2S SDI	B	4mA	Up Controlled
28	P4.2	P4.2 – General purpose I/O ISP_IN – ISP input data TX1 – UART TX[1] MOSI – SPI MOSI SD3 – SDCD data[3]	B	4mA	Up Controlled
29	P4.3	P4.3 – General purpose I/O ISP_OUT – ISP output data RX1 – UART RX[1] data MISO – SPI MISO SD2 – SDCD data[2]	B	4mA	Up Controlled
30	P4.4	P4.4 – General purpose I/O ISP_CLK – ISP clock TX2 – UART TX[2] SCK – SPI SCK SDCLK – SDCD Clock	B	4mA	Up Controlled
31	P4.5	P4.5 – General purpose I/O RX2 – UART RX[2] SDCMD – SDCD Command	B	4mA	Up Controlled
32	P4.6	P4.6 – General purpose I/O TX3 – UART TX[3] SCL – TWI SCL	B	4mA	Up Controlled
33	P4.7	P4.7 – General purpose I/O RX3 – UART RX[3] SDA – TWI SDA	B	4mA	Up Controlled
34	P5.0	P5.0 – General purpose I/O EXTCLK – External clock source for I2S and Voice Codec TM0 – PWM output[0] CAP0 – Capture input[0] SD1 – SDCD data[1]	B	4mA	Up Controlled
35	P5.1	P5.1 – General purpose I/O TM1 – PWM output[1] CAP1 – Capture input[1] SD0 – SDCD data[0]	B	4mA	Up Controlled

36	P5.2	P5.2 – General purpose I/O TM2 – PWM output[2] CAP2 – Capture input[2] LRCK – I2S LRCK	B	4mA	Up Controlled
37	GND	Ground	GND	-	-
38	P5.3	P5.3 – General purpose I/O TM3 – PWM output[3] CAP3 – Capture input[3] SCLK – I2S SCLK	B	4mA	Up Controlled
39	P5.4	P5.4 – General purpose I/O TM4 – PWM output[4] CAP4 – Capture input[4] MCLK – I2S MCLK	B	4mA	Up Controlled
40	P5.5	P5.5 – General purpose I/O TM5 – PWM output[5] CAP5 – Capture output[5] A16 – Address[16]	B	4mA	Up Controlled
41	P5.6	P5.6 – General purpose I/O TM6 – PWM output[6] CAP6 – Capture output[6] A17 – Address[17]	B	4mA	Up Controlled
42	P5.7	P5.7 – General purpose I/O TM7 – PWM output[7] CAP7 – Capture input[7] A18 – Address[18]	B	4mA	Up Controlled
43	VDD33	3.3V (Main power domain)	PWR	-	-
44	GND	Ground	GND	-	-
45	PVDD18	1.8V (Low power domain)	PWR	-	-
46	PWK	Wake up input signal	I	-	Down/Schmitt
47	PDN	Power down signal. 3.3V of main power domain control signal	O	4mA	-
48	RTC_nRESET	RTC Reset pin	I	-	-
49	GND	Ground	GND	-	-
50	PVDD18	1.8V (Low power domain)	PWR	-	-
51	RTC_XIN	32.768KHz crystal input for low power domain.	I	Analog	-
52	RTC_XOUT	32.768KHz crystal output for low power domain. If it isn't used, it has to be float.	O	Analog	-
53	VDD33	3.3V (Low power domain)	PWR	-	-
54	LOUT50	LDO50 1.8V output	O	Analog	-
55	GND	Ground	GND	-	-
56	GND	Ground	GND	-	-
57	XIN	MOSC Xin is used for PLL clock source and system clock source.	I	Analog	-
58	XOUT	MOSC Xout	O	Analog	-
59	VDD18	1.8V (Main power domain)	PWR	-	-
60	VDD33	3.3V (Main power domain)	PWR	-	-

61	AVSS18	Ground (PLL)	GND	-	-
62	AVDD18	1.8V (PLL)	PWR	-	-
63	GND	Ground	GND	-	-
64	LOUT100	LDO100 1.8V output	O	Analog	-
65	VDD33	3.3V (Main power domain)	PWR	-	-
66	P3.0	P3.0 – General purpose I/O nWAIT – External wait input signal EIRQ0 – External IRQ 0	B	4mA	Up Controlled
67	P3.1	P3.1 – General purpose I/O nBE1 – SRAM byte enable 1 EIRQ1 – External IRQ1	B	4mA	Up Controlled
68	P3.2	P3.2 – General purpose I/O NDFL_nWE – NAND Flash Write enable signal	B	4mA	Up Controlled
69	P3.3	P3.3 – General purpose I/O NDFL_ALE – NAND Flash address latch enable signal	B	4mA	Up Controlled
70	P3.4	P3.4 – General purpose I/O NDFL_CLE – NAND Flash command latch enable signal	B	4mA	Up Controlled
71	P3.5	P3.5 – General purpose I/O NDFL_nCS – NAND Flash chip select signal	B	4mA	Up Controlled
72	P3.6	P3.6 – General purpose I/O NDFL_nRE – NAND Flash read enable signal	B	4mA	Up Controlled
73	P3.7	P3.7 – General purpose I/O NDFL_nBUSY – NAND Flash busy input signal	B	4mA	Up Controlled
74	nRESET	External reset signal. Active low reset	I	-	Schmitt
75	GND	Ground	GND	-	-
76	P0.0	P0.0 – General purpose I/O port AD0 – Address[0]/[8], Data[0] BOOTSEL0 – Boot mode select[0]	B	4mA	Up Controlled
77	P0.1	P0.1 – General purpose I/O port AD1 – Address[1]/[9], Data[1] BOOTSEL1 – Boot mode select[1]	B	4mA	Up Controlled
78	P0.2	P0.2 – General purpose I/O port AD2 – Address[2]/[10], Data[2] NFSIZ0 – NAND Flash size[0]	B	4mA	Up Controlled
79	P0.3	P0.3 – General purpose I/O port AD3 – Address[3]/[11], Data[3] NFSIZ1 – NAND Flash size[1]	B	4mA	Up Controlled
80	GND	Ground	GND	-	-
81	VDD18	1.8V (Main power domain)	PWR	-	-
82	P0.4	P0.4 – General purpose I/O port AD4 – Address[4]/[12], Data[4] nISPSEL – ISP mode select	B	4mA	Up Controlled

83	P0.5	P0.5 – General purpose I/O port AD5 – Address[5]/[13], Data[5] MEMSIZ – SRAM_nCS0 Memory Size	B	4mA	Up Controlled
84	P0.6	P0.6 – General purpose I/O port AD6 – Address[6]/[14], Data[6] nOSISEL – OSI debugger select	B	4mA	Up Controlled
85	P0.7	P0.7 – General purpose I/O port AD7 – Address[7]/[15], Data[7] nJTAGSEL – JTAG debugger select	B	4mA	Up Controlled
86	P2.0	P2.0 – General purpose I/O port SRAM_ALE0 – SRAM address latch enable [0]	B	4mA	Up Controlled
87	P2.1	P2.1 – General purpose I/O port SRAM_ALE1 – SRAM address latch enable [1]	B	4mA	Up Controlled
88	P2.2	P2.2 – General purpose I/O port SRAM_nRE – SRAM read enable signal	B	4mA	Up Controlled
89	P2.3	P2.3 – General purpose I/O port SRAM_nWE – SRAM write enable signal	B	4mA	Up Controlled
90	GND	Ground	GND	-	-
91	VDD33	3.3V (Main power domain)	PWR	-	-
92	P2.4	P2.4 – General purpose I/O port SRAM_nCS0 – SRAM chip select[0]	B	4mA	Up Controlled
93	P2.5	P2.5 – General purpose I/O port SRAM_nCS1 – SRAM chip select[1]	B	4mA	Up Controlled
94	P2.6	P2.6 – General purpose I/O port SRAM_nCS2 – SRAM chip select[2] ISP_nCS –ISP chip select	B	4mA	Up Controlled
95	P2.7	P2.7 – General purpose I/O port SPI_nSS – SPI chip enable SRAM_nCS3 – SRAM chip select[3]	B	4mA	Up Controlled
96	P6.0	P6.0 – General purpose I/O port nTRST – JTAG nTRST	B	4mA	Up Controlled
97	P6.1	P6.1 – General purpose I/O port TCK – JTAG TCK	B	4mA	Up Controlled
98	P6.2	P6.2 – General purpose I/O port TMS – JTAG TMS	B	4mA	Up Controlled
99	P6.3	P6.3 – General purpose I/O port TDI – JTAG TDI	B	4mA	Up Controlled
100	TDO	TDO – JTAG TDO	O	4mA	-

Pin Descriptions

VDD33 : 3.3V Supply voltage for main power domain
 VDD18 : 1.8V Supply voltage for main power domain
 PVDD33 : 3.3V Supply voltage for low power domain
 PVDD18 : 1.8V Supply voltage for low power domain
 GND : Ground.

AVDD33 : 3.3V Supply voltage for Voice Codec
 AVSS33 : Ground

AVDD18 : 1.8V Supply voltage for PLL
 AVSS18 : Ground

nTEST : Chip test pin

전용핀인 nTEST 핀은 디바이스 동작 모드를 결정한다. Normal 동작을 위해서는 이 핀에 high level 또는 아무것도 연결 하지 않아야 한다. low level은 칩 테스트를 위해 사용된다.

nISPSEL : ISP mode select pin

ISP(In System Programming) mode로 선택하기 위한 핀이다.

nOSISEL : 테스트 핀

OSI debugging mode로 선택하기 위한 핀이다.

nJTAGSEL : 테스트 핀

JTAG debugging mode로 선택하기 위한 핀이다.

BOOTSEL[1:0] : 테스트 핀

Normal boot mode 동작을 선택하기 위한 핀이다.

BOOTSEL1	BOOTSEL0	Booting Mode
1	1	NOR Flash booting
1	0	SRAM_nCS0 area booting
0	1	NAND Flash booting
0	0	Reserved

NFSIZ [1:0] : 테스트 핀

NAND boot mode 중 NAND Flash booting시 NAND Flash 종류를 선택하기 위한 핀이다.

NFSIZ1	NFSIZ0	NAND Flash Type
1	1	5 Cycles Large NAND Flash Type
1	0	4 Cycles Large NAND Flash Type
0	1	4 Cycles Small NAND Flash Type
0	0	3 cycles Small NAND Flash Type

MEMSIZ : 테스트 핀

Normal boot mode 중 Local Memory인 SRAM_nCS0 영역으로 booting시 Memory의 data bus size를 선택하기 위한 핀이다.

MEMSIZ	External Memory Bus Size
1	8bit Data bus
0	16bit Data bus

Preliminary

3 MEMORY ARCHITECTURE AND BOOTING MODE

3.1 Memory Map

CANTUS에서는 Figure 3-1처럼 크게 세 종류의 Memory map이 존재한다. 이는 3가지 방식의 부팅모드가 존재하기 때문이다. 부팅모드의 기본값은 내부 NOR Flash에 의한 부팅동작이다. 나머지 부팅모드는 외부 NAND Flash에 의한 부팅모드와 외부 메모리를 통한 부팅모드이다.

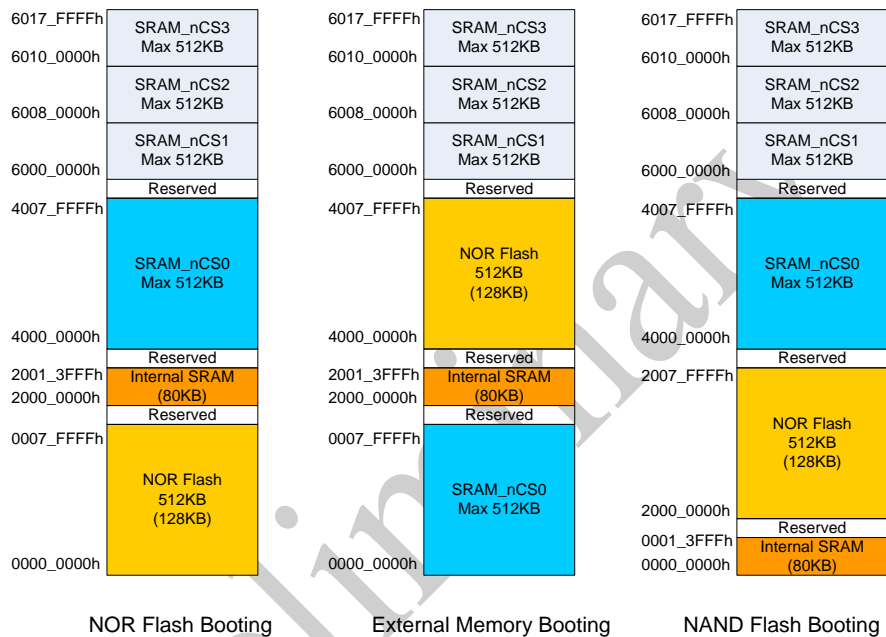


Figure 3-1 Memory Map

3.2 Embedded Memories

- 512KB(or 128KB) NOR Flash
- 80KB SRAM
 - Single Cycle Access at full speed.

Internal NOR Flash

CANTUS는 512KB 또는 128KB NOR FLASH가 내장 되어 있다. Flash 부팅모드일 때 0x0000_0000 번지로 접근 가능하다. 명령어 또는 데이터용으로 사용 할 수 있다.

Internal SRAM

80KB 내부 메모리가 있다. 명령어 또는 데이터용으로 사용 할 수 있다. NAND 부팅모드 일 때는 주소가 0x0000_0000 번지로 할당 된다. 그 외 다른 부팅모드 일 때는 0x2000_0000로 할당 된다.

3.3 Memory Mapped I/O

CANTUS의 peripheral의 주소는 다음과 같다.

Table 3-1 CANTUS Peripheral Memory Map

Base Address	Offset Address	Block
AHB 0x8000_0000	0x0000	Reserved
	0x0400	Internal NOR Flash / External SRAM Controller (with ALE)
	0x0800	DMA
	0x0C00	NAND Flash Controller
	0x1000	Reserved
APB 0x8002_0000	0x0000	GPIO (Port Alternate Functions)
	0x0400	Power Management Unit
	0x0800	Interrupt Controller
	0x0C00	Watchdog Timer
	0x1000	Timer
	0x1400	UART Ch0~Ch3
	0x1800	UART Ch4~Ch7
	0x1C00	SPI
	0x2000	TWI
	0x2400	Voice Codec
	0x2800	I2S (with ADPCM)
	0x2C00	USB Device
	0x3000	Key Scan
	0x3400	GPIO (Port Control, Port Edge Detect)
	0x3800	Real Timer Counter
	0x3C00 ~ 0xFFFF	Reserved

3.4 Booting Configuration

부팅은 항상 0x0000_0000 번지에서 시작한다. 부팅 시 BOOTSEL1 핀과 BOOTSEL0핀에 의하여 부팅모드가 결정됨과 동시에 메모리 맵이 조정된다. 부팅은 항상 XIN을 사용하며, 메모리 컨트롤의 기본값으로 메모리에 접근한다.

- Internal NOR Flash boot mode
 - NOR Flash를 0x0000_0000 번지로 할당 된다.
- External NAND Flash boot mode
 - 내부 Internal SRAM을 0x0000_0000 번지로 할당 된다.
- External SRAM boot mode
 - 외부 SRAM_CS0로 선택된 메모리가 0x0000_0000 번지로 할당 된다.

부팅모드 결정은 항상 리셋이 풀리는 구간에서 BOOTSEL1과 BOOTSEL0 핀의 상태 값에 의해 결정 된다.

BOOTSEL1	BOOTSEL0	Booting Mode
1	1	NOR Flash boot mode
1	0	SRAM_nCS0 Area boot mode
0	1	NAND Flash boot mode
0	0	Reserved

NAND Flash Type

NAND Flash 부팅모드일 때 NAND Flash의 종류와 크기를 결정 할 수 있다. NFSIZ1핀과 NFSIZ0핀의 level값에 의해서 NAND Flash의 종류에 따른 부팅모드가 결정 된다.

NFSIZ1	NFSIZ0	NAND Flash Type
1	1	5 Cycles Large NAND Flash Type
1	0	4 Cycles Large NAND Flash Type
0	1	4 Cycles Small NAND Flash Type
0	0	3 Cycles Small NAND Flash Type

External SRAM Data Bus Type

SRAM_nCS0영역의 외부 메모리에 의한 부팅일 때 데이터 버스가 8bit 혹은 16bit 인지를 결정 한다. MEMSIZ핀을 통해 결정된다.

MEMSIZ	External Memory Bus Size
1	8bit Data Bus
0	16bit Data Bus

ISP(In System Programming) mode and Debugger mode

다음 핀들에 의해서 ISP, OSI Debugger, JTAG Debugger 모드가 결정된다.

- nISPSEL : Low 일 경우, ISP mode로 부팅된다.
- nOSISEL : Low 일 경우, OSI Debugger mode로 부팅된다.
- nJTAGSEL : Low 일 경우, JTAG Debugger mode로 부팅된다.

4 CLOCKS AND POWER MANAGEMENT

4.1 Power

CANTUS에는 두 개의 분리된 전원 영역이 있다. 각각은 Main Power와 Low Power영역으로 나누어 진다. Figure 4-1에서 분리된 전원 영역을 볼 수 있다.

Main Power 영역에서의 전원은 내부 디바이스와 내부 SRAM은 1.8V 전압으로, 그리고, 내부 Flash와 I/O는 3.3V에서 각각 동작한다.

Low Power 영역에서는 내부 디바이스를 위해서 1.8V를, I/O는 위해서 3.3V를 공급해야 한다.

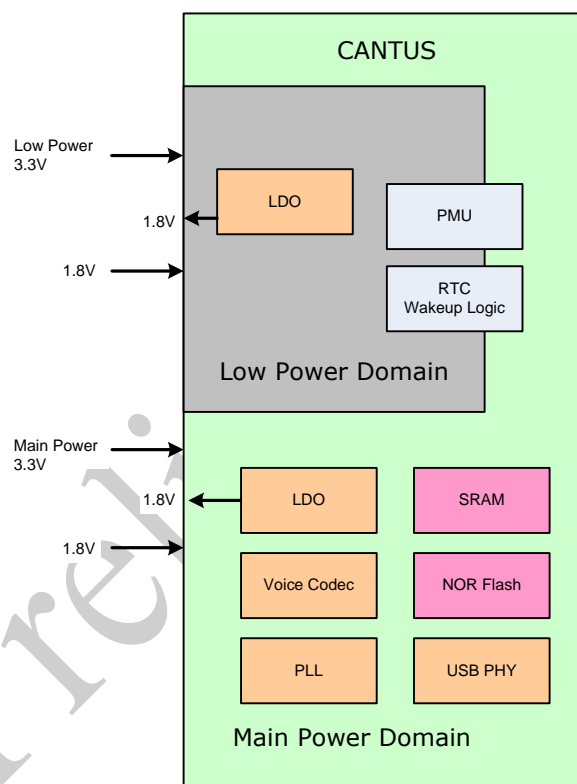


Figure 4-1 Power Scheme

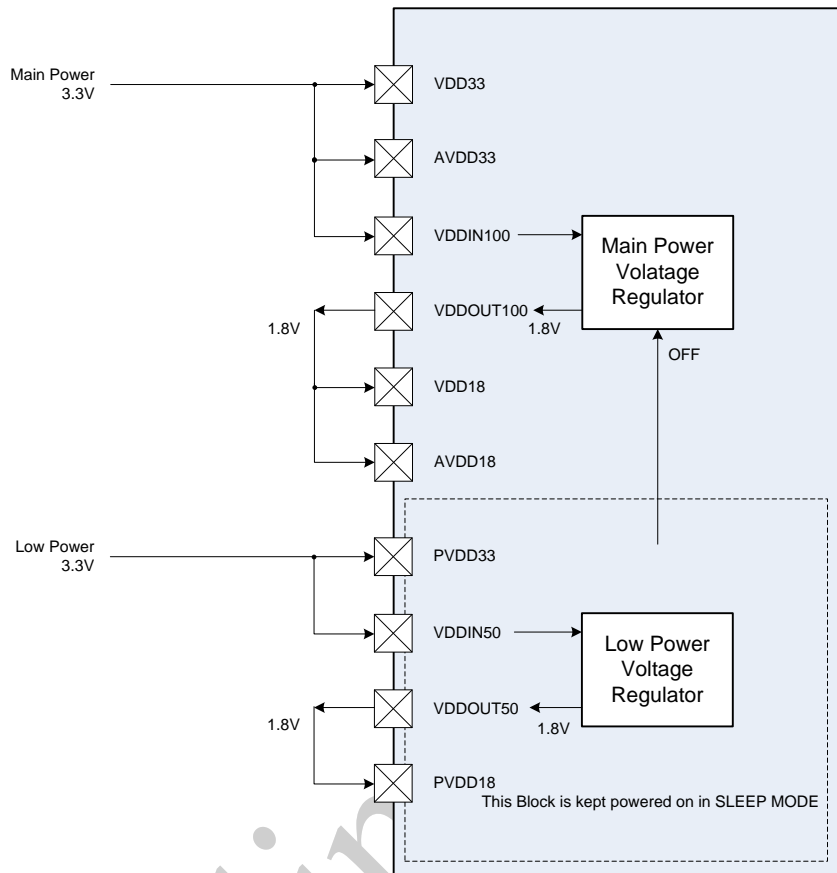
각각의 영역 내에는 LDO가 있어 1.8V 전원이 생성하여 출력되기 때문에 외부에서 1.8V로 따로 공급할 필요가 없다.

Power Pins

CANTUS는 여러 종류의 전원 핀들이 있으며, 두 개의 Voltage Regulator (LDO)를 내장하고 있다. 내부 Voltage Regulator는 3.3V 단일 전원으로 시스템을 구성할 수 있게 한다.

파워 공급 핀의 종류는 다음과 같다:

- VDDIN100 pin : Main power domain의 내부 Voltage Regulator에 전원 공급을 위한 핀이다. 전압 범위는 3.0V~3.6V 이다.
- VDDOUT100 pin : Main power domain의 내부 Voltage Regulator에서 출력되는 1.8V 전원 핀이다.
- VDD33 pins : Main power domain의 IO를 위한 전원 핀이다. 3.0V~3.6V의 전원을 공급받는다.
- VDD18 pins : Main Power domain의 내부 Logic에 전원을 공급한다. 1.65V~1.95V을 공급받아야 한다. VDDOUT100 출력에 연결하면 3.3V 단일 전원으로 시스템이 구성될 수 있다.
- AVDD18 pin : PLL에 1.8V 전원을 공급하는 전원 핀이다. VDDOUT100 출력에 연결하면 3.3V 단일 전원으로 시스템이 구성될 수 있다.
- AVDD33 pin : Voice Codec에 3.3V 전원을 공급하는 핀이다.
- VDDIN50 pin : Low power domain의 내부 Voltage Regulator에 전원 공급을 위한 핀이다. 전압 범위는 3.0~3.6V 이다.
- VDDOUT50 pin : Low Power domain의 내부 Voltage Regulator에서 출력되는 1.8V전원 핀이다.
- PVDD33 pins : Low Power domain의 IO를 위한 전원 핀이다. 3.0V~3.6V의 전원을 공급받는다.
- PVDD18 pins : Low Power domain에 있는 내부 Logic에 전원을 공급한다. 1.65V~1.95V을 공급받아야 한다. 이 핀은 VDDOUT50 출력에 연결하면 3.3V 단일 전원으로 시스템이 구성될 수 있다.



NOTE: The External 3.3V power supplies must always be kept on

Figure 4-2 Power Supply scheme

Figure 4-2에서 전형적인 CANTUS의 파워 구조를 볼 수 있다. 3.3V 단일 전원으로 구성하기 위하여 Main Power 영역을 위해 3.3V 전원을 인가하고, Low Power 영역을 위해 3.3V 전원을 인가하였다.

Voltage Regulator를 사용하지 않을 경우에는 VDDIN100 과 VDDIN50을 GND에 연결하면 된다. 이때 VDDOUT100핀과 VDDOUT50핀은 Open한다.

Power Consumption

CANTUS는 25℃에서 정적 전류 소모가 Typ. 500uA 이고, 최대 동작에서 VDD18의 전류 소모는 100mA 이하이다.

Voltage Regulators

CANTUS에는 두 개의 Voltage Regulator (LDO)가 내장 되어 있다.

- Main Power Voltage Regulator
 - Normal 모드에서 30uA 정적 전류를 소모 하며, 최대 100mA 전류를 공급한다.
- Low Power Voltage Regulator
 - 30uA 정적 전류를 소모 하며, 50mA 전류를 공급한다.

4.2 Reset

Reset 제어기는 Power On Reset, External Reset, Watchdog Timer Reset, PMU Reset 그리고 Software Reset 으로 구성되어 있다. Reset이 발생하면 RSTSTAT 레지스터를 통해 Reset의 원인을 확인할 수 있다.

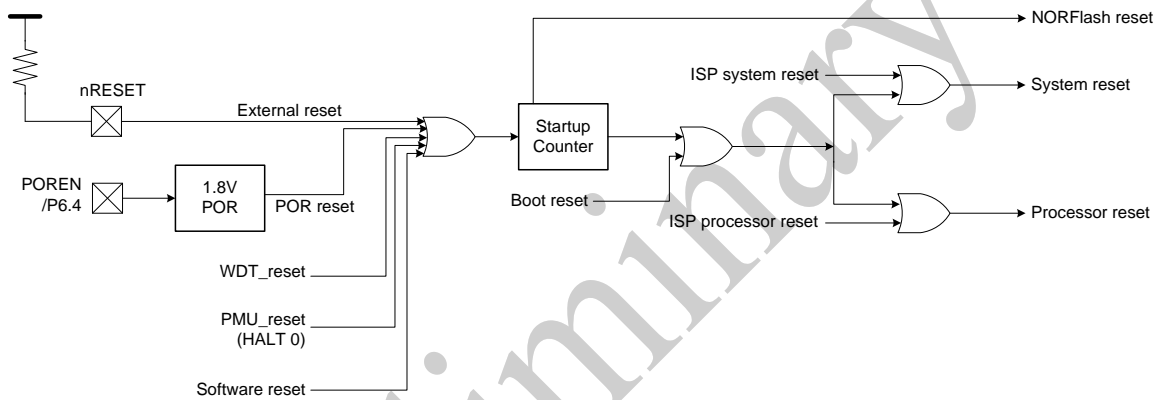


Figure 4-3 Reset Source

Power On Reset

CATUS에는 Power On Reset 회로가 내장되어 있다. 1.8V 전원을 공급받고, 1.8V 전원을 모니터링 한다. Power-Up 과정이 진행 되는 동안 시스템 전체에 Reset를 걸어 안전한 부팅을 보장한다

Reset 제어기 에는 내부에 Startup Counter가 있다. MOSC 클럭으로 동작하며, 다음과 같은 Reset신호를 만들어 낸다:

- Processor reset: CPU Reset으로 사용 된다.
- System reset : 모든 주변장치 제어기 에 영향을 준다.
- Flash reset : NOR Flash용 Reset 이다.

이들 Reset 신호들은 외부입력이나 소프트웨어 설정에 의해 발생한다.

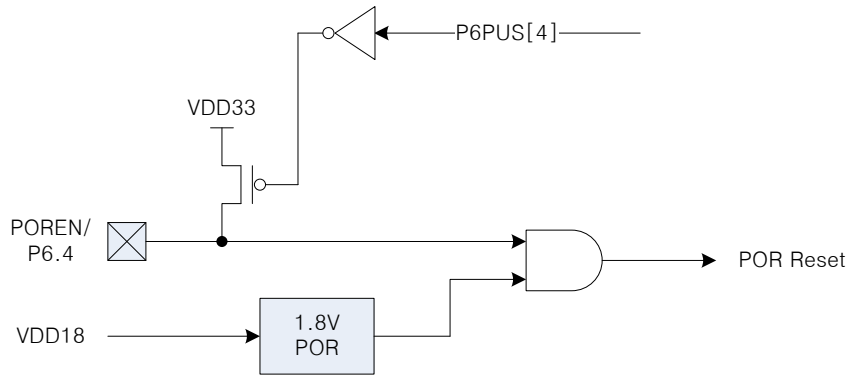


Figure 4-4 POR Reset Control

POREN/P6.4 핀으로 내부 POR의 동작을 결정할 수 있다. POREN 핀을 high level로 유지하면 내부 POR를 사용하게 된다. POREN/P6.4 핀은 내부에 pull-up 저항이 연결되어 있어 외부 연결이 없을 때는 POR Reset이 활성화 되어있다.

Power On Start Time

VDD18에 1.8V 전원이 인가 되면, 먼저 POR Reset은 MOSC 클럭으로 동작하는 Startup 회로를 동작시킨다. 이 Startup 회로는 MOSC의 클럭이 안정화 되기 전의 오동작을 방지한다.

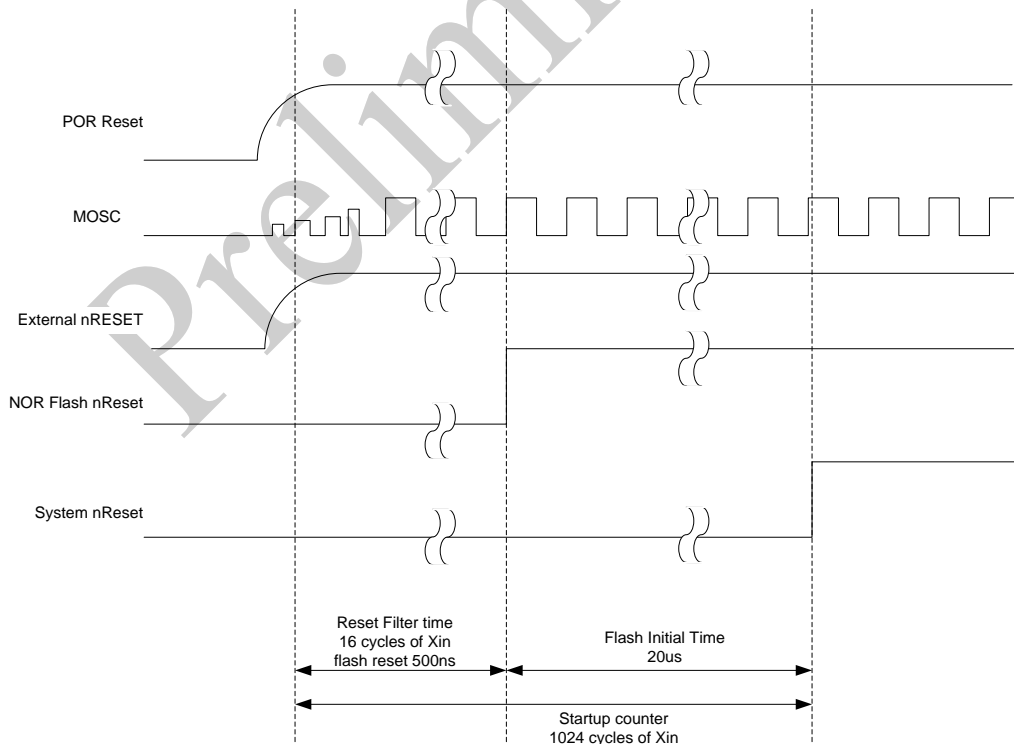


Figure 4-5 Power-up Reset

전원이 안정되고 나면 POR Reset이 풀리고, MOSC 클럭의 17-Cycle 이후에 내부 NOR Flash Reset을 풀고, 다시 20us 이후 System Reset이 풀어준다. 그러면 CPU는

0x0000_0000번지에서 명령어를 읽어오기 시작한다.

Software Reset

레지스터 설정으로 Reset 신호를 발생 시킬 수 있다. 먼저 PMCTRLLEN 레지스터의 RSTWEN 비트를 “1”로 설정한 후, RSTCTRL 레지스터를 설정하면 Software Reset 신호가 발생한다.

System Reset

System Reset은 다음과 같은 사항에서 발생한다.

1. Power On Reset
2. External Reset
3. Watchdog Timer Reset
4. Software Reset

Deep Idle 모드에서는 Wake-up 이후, 위와 같은 사항에 의해 System Reset이 동작한다.

Preliminary

4.3 Clocks

CANTUS는 두 개의 외부 클럭 소스와 내부에 한 개의 PLL이 있다. MOSC는 Main Power 영역에 공급되어 PLL의 입력 클럭이 된다. ROSC는 Low Power 영역에 공급되어 PMU/RTC 블록에 공급 된다. Figure 4-6 은 내부 클럭 구조이다.

XIN으로 인가된 클럭은 MOSC를 거쳐 PLL에 공급되며, 동작 범위는 2MHz ~ 15MHz이다.

RTC_XIN은 ROSC를 거쳐 PMU와 RTC 블록에 공급된다. 동작 주파수는 32.768KHz이다.

PLL는 USB Device를 사용할 경우에는 48MHz 또는 96MHz 로 설정하여 USB Device에 48MHz와 12Mhz 클럭을 공급하고, USB Device를 사용하지 않을 경우에는 96MHz 이하의 어떤 클럭이라도 사용할 수 있다.

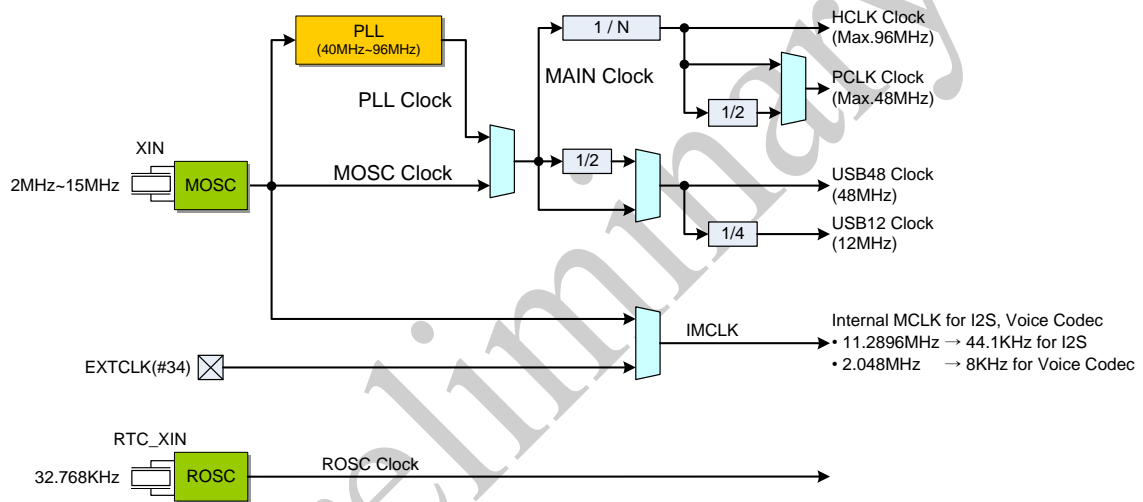


Figure 4-6 CANTUS Clock Tree

MOSC Clock and ROSC Clock

XIN으로 공급되는 MOSC 클럭은 2MHz ~ 15MHz Crystal 발진을 통해 클럭이 만들어 진다.

MOSC 클럭은 PMCTRLLEN 레지스터의 CLKWEN 비트를 통해 제어 가능하게 설정한 후, “Halt1” 에 의해서 On/Off 제어가 된다. MOSC 클럭이 멈춘 경우인 Deep Idle 모드에서는 PWK핀을 통한 Wake-up이나 RTC Interrupt 에 의한 Wake-up으로 다시 발진할 수 있다.

만약 “Halt 1”에 의해 MOSC의 발진을 중단하였을 경우에는 PWK and RTC Interrupt 가 설정되어 있어야 CPU가 “Halt1” 상태에서 빠져나올 수 있다.

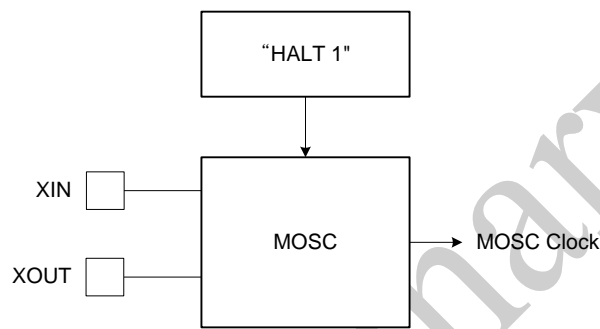


Figure 4-7 MOSC Block Diagram

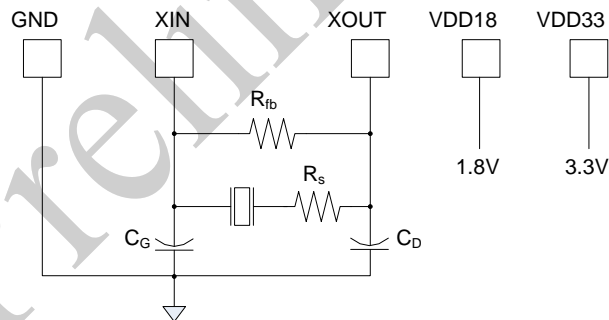


Figure 4-8 Typical Crystal Connection for MOSC

Figure 4-8은 MOSC에 대한 전형적인 외부 Crystal 회로이다. Rs 저항은 Crystal의 파워소모를 줄일 수 있게 한다.

ROSC에 대한 외부 Crystal 회로도 Figure 4-8과 동일 하다.

그리고, C_L 의 값은 다음 수식으로 구할 수 있다. C_{stray} 는 Board상에서는 기생 커패시턴스 값이다.

$$C_L = \frac{C_D \times C_G}{C_D + C_G} + C_{stray}$$

PLL Clock

내부 PLL은 입력단과 출력단에 Divider를 내장하고 있어 높은 정밀도를 가진다.

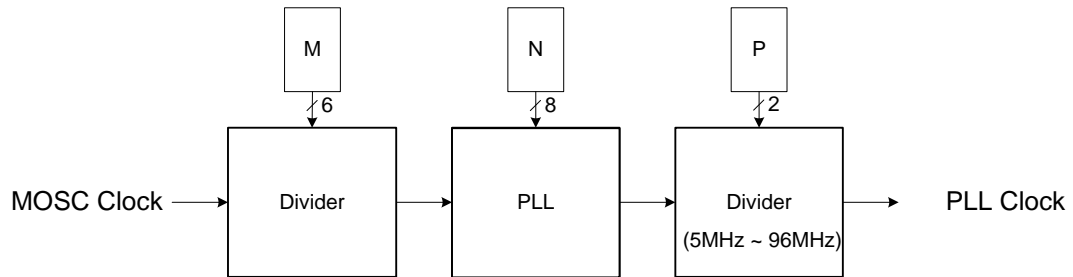


Figure 4-9 PLL Block Diagram

$$f_{PLL} = \frac{(N+2) \times f_{OSC}}{(M+2) \times 2^P}$$

Where: $f_{OSC} = 2 \sim 15\text{MHz}$

M = Input Frequency Divider

N = VCO Frequency Divider

P = Output Frequency Divider

PLL을 사용하기 위해서는 먼저 PMCTRLN 레지스터의 PLLWEN 비트를 통해 PLLCTRL 레지스터를 제어 가능하게 설정하여야 한다. 이후 PLLCTRL 레지스터를 제어하여 적절한 클럭을 설정하여 PLL 클럭을 발생시킨다. 그러나 CLKCTRL 레지스터를 통하여 MAIN 클럭을 제어하기 전까지는 MAIN 클럭의 입력은 MOSC 클럭이 된다.

15MHz 이하의 속도로 동작 가능한 시스템에서는 파워소모를 줄이기 위해서 PLL을 동작 시키지 않고 바로 외부 Crystal 발진인 MOSC 클럭을 MAIN 클럭으로 사용할 수 있다.

MAIN Clock and HCLK Clock

HCLK 클럭은 MOSC 클럭과 PLL 클럭으로 선택된 MAIN 클럭을 분주하여 생성된다. MAIN 클럭과 HCLK 클럭은 시스템의 성능과 전력소모를 고려하여 결정한다. 한 클럭에서 다른 클럭으로 전환시 Glitch가 발생하지 않으며 시스템의 동작에 영향을 주지 않는다.

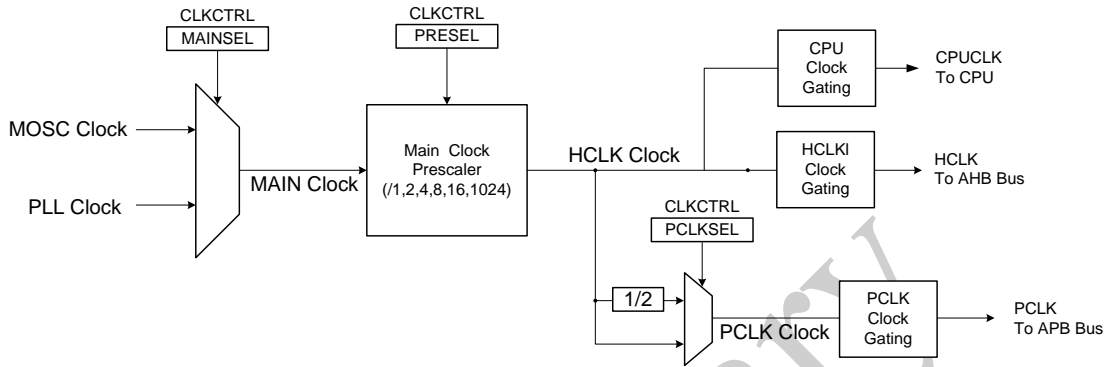


Figure 4-10 MAIN Clock and HCLK Clock

MAIN 클럭 소스 선택은 CLKCTRL 레지스터의 MAINSEL 비트로 결정된다. Pre-scaler는 2^N 으로 MAIN 클럭을 분배 하는 역할을 한다. CLKCTRL 레지스터의 PRESEL 비트가 Pre-scaler 에 의해 분주된 클럭들 중에서 한 종류의 클럭을 선택한다.

Pre-scaler에서 다른 클럭으로 설정을 변경할 때는, 클럭 변경회로에서 Glitch를 발생하지 않기 위해 동작하기 때문에 MAIN 클럭의 1024-Cycle 이 걸릴 수 있다.

HCLK Clock and PCLK Clock Gating

HCLK 클럭은 AHB Bus의 주변장치와 CPU에 공급되는 클럭이다. MAIN 클럭의 /1, /2, /4, /8, /16, /1024 중에서 선택 할 수 있다.

PCLK 클럭은 APB Bus의 주변장치에 공급되는 클럭이며, HCLK 클럭과 동일하거나, 1/2배 클럭 중에서 선택 할 수 있다. HCLK 클럭이 48MHz 이하가 되도록 PLL 클럭을 설정한 상태에서는 HCLK 클럭과 동일한 클럭을 선택할 수 있다.

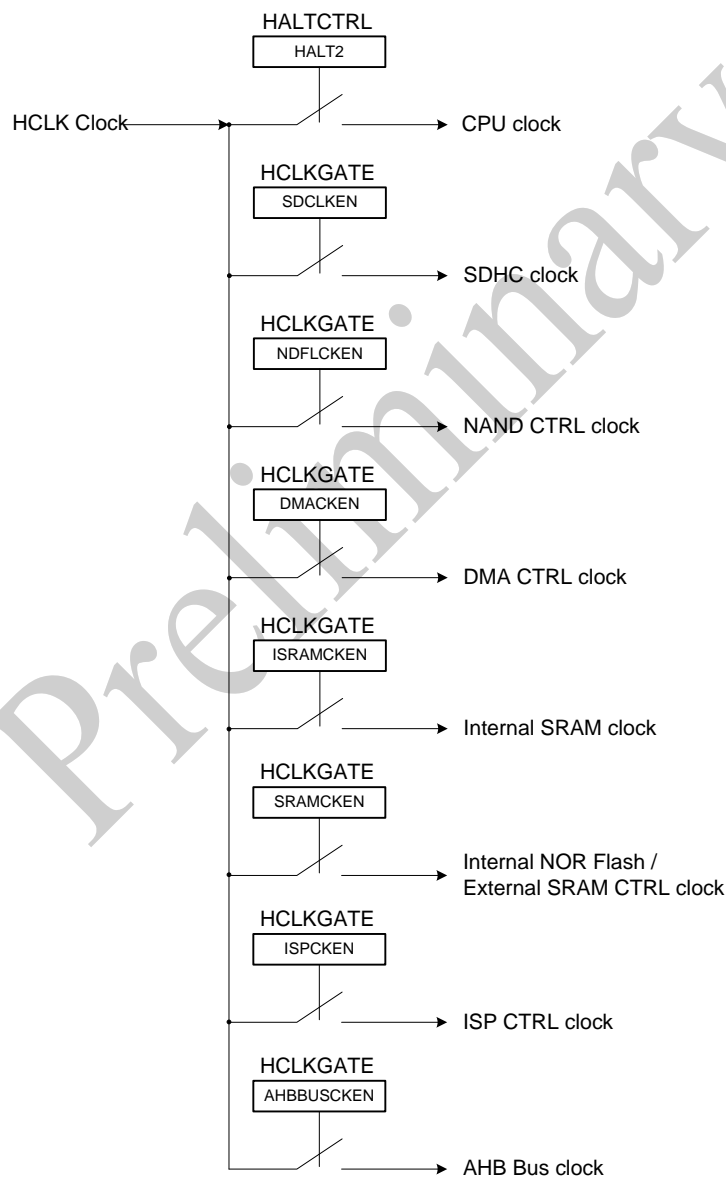


Figure 4-11 HCLK Clock Gating

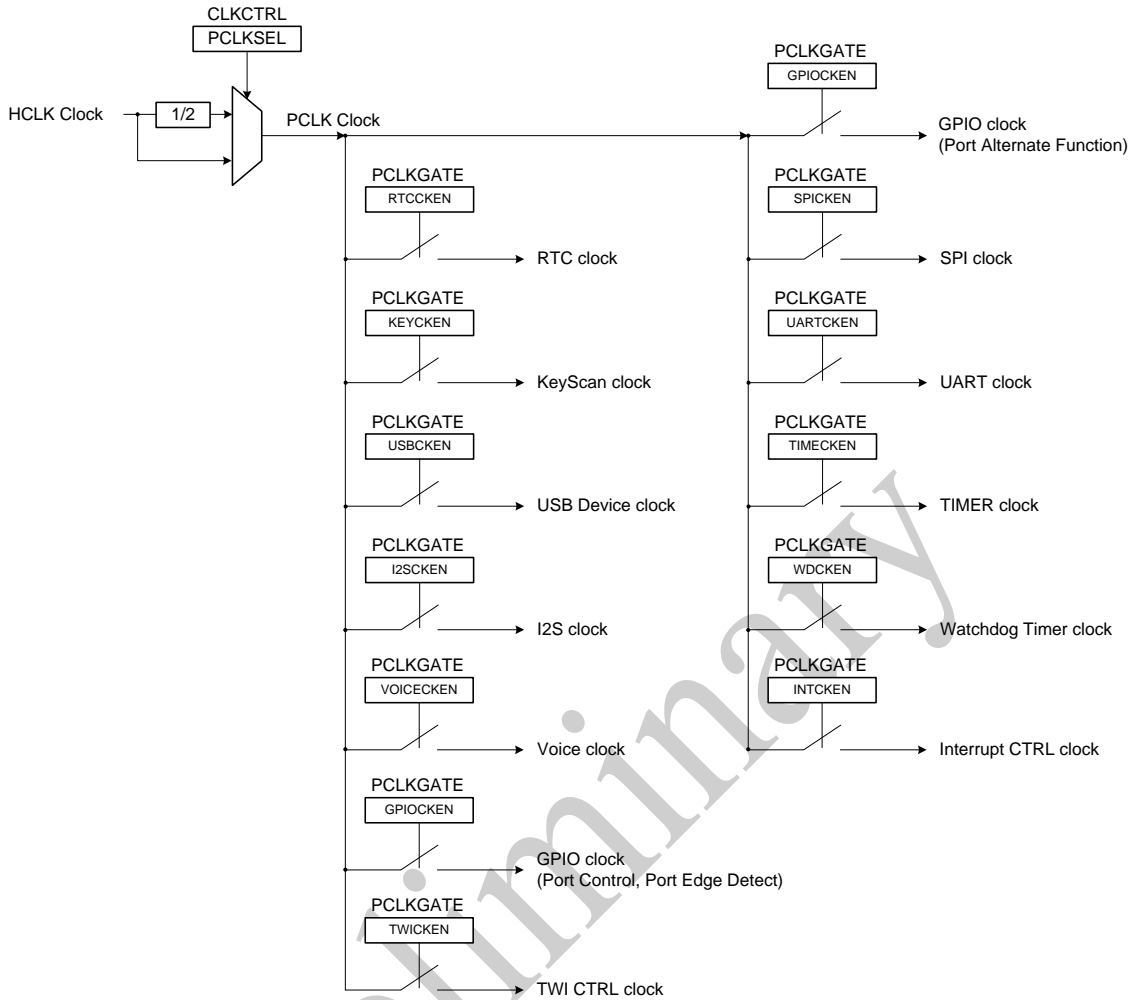


Figure 4-12 PCLK Clock Gating

HCLKGATE 레지스터와 PCLKGATE 레지스터에서는 각 주변장치 제어기의 클럭을 개별적으로 제어할 수 있다.

Reset 이후에는 모든 주변장치 제어기에 클럭이 공급되는 상태이다. 사용하지 않는 제어기의 클럭은 HCLKGATE 레지스터와 PCLKGATE 레지스터에서 해당 비트를 “0”으로 설정하면 된다. 주변장치 제어기의 클럭은 “0”으로 설정하는 순간 클럭이 바로 멈추기 때문에 해당 주변장치 제어기가 마지막 동작의 수행을 끝낼 때까지 기다렸다가 설정하여야 한다.

USB Device Clock

USB Device 클럭은 MAIN 클럭으로 공급된다. MAIN 클럭이 96MHz 인 경우는 CLKCTRL 레지스터의 UCLKSEL 비트를 “1”로 설정 해야 하며, MAIN 클럭이 48MHz 인 경우에는 UCLKSEL 비트를 “0”으로 설정하면 된다.

USB Device 에는 세 종류의 클럭이 필요하다. USB48M과 USB12M은 SCLKGATE 레지스터의 USB48EN 비트와 USB12EN 비트에 의해서 제어될 수 있다. USB Device를 사용하지 않을 때는 파워를 줄이기 위해 USB Suspend Enable 비트를 설정하여, USB PHY가 Suspend mode로 진입할 것을 확인한 후, USB48, USB12, 그리고 USB Device 클럭을 중단하면 된다.

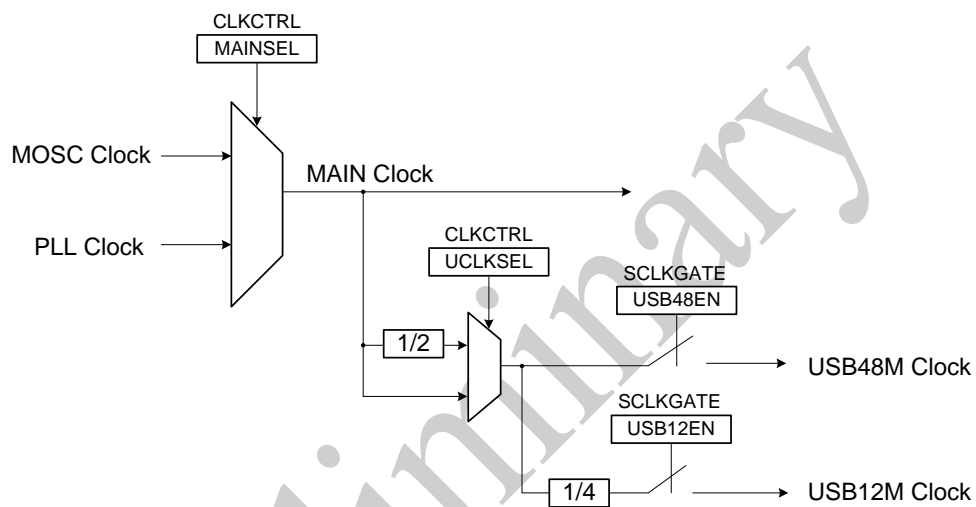


Figure 4-13 USB Device Clocks

4.4 Power Management Controller

시스템의 요구 사항에 맞게 파워 소모를 동적으로 관리 할 수 있다. Power Management는 CPU, SRAM 그리고 각 주변장치 제어기의 클럭 제어를 통해 이뤄진다.

CANTUS는 다음 3가지의 전력 관리 모드를 지원한다:

- Normal Run Mode
- Idle Mode
- Deep Idle Mode

Figure 4-14는 파워 모드간의 전이를 나타내고 있다.

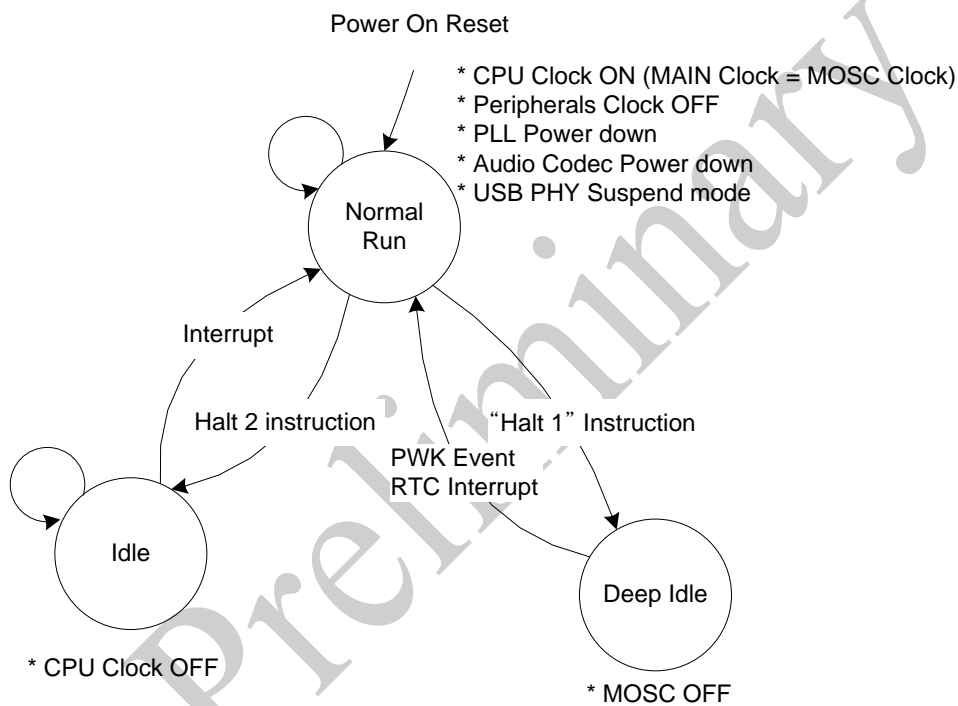


Figure 4-14 Power Mode State Diagram

Table 4-1 Power Mode

Power States	Clocks	Wake-Up event	Description
Normal Run Mode	CPU Clock ON		CPU Active Peripherals inactive if disabled by the peripherals clock gating register USB PHY, PLL, Flash memory and Voice Codec in power down mode if disabled by the power down register Slower clock selected
Idle Mode (Halt 2)	CPU Clock OFF	External Reset Watchdog Reset Interrupt	“Halt 2” Instruction
Deep Idle Mode (Halt 1)	MOSC OFF	RTC Interrupt PWK Wake-up	“Halt 1” Instruction MOSC OFF All Clocks OFF except RTC Clock
Reserved Mode (Halt 0)	-	-	“Halt 0” Instruction Forbidden access

Normal Run Mode

CPU가 Instruction을 처리하고 있는 상태이다. 주변장치 제어기는 모두 혹은 일부분만 동작 중 일 수 있다. HCLKGATE 레지스터, PCLKGATE 레지스터 그리고 SCLKGATE 레지스터를 통하여 사용하지 않는 장치에 대한 클럭은 멈춘 상태 이다. 이 모드에서 주파수를 낮춰 전력 소모를 낮출 수 도 있다. PLL를 사용하지 않고 바로 외부 클럭에 의해서 동작하도록 설정 할 수 있다. 또한, 사용하지 않고 있다고 판단할 때에는 USB PHY, PLL 와 Voice Codec 을 Power down 시킬 수 도 있다.

Idle Mode

Idle mode의 진입은 “Halt 2” 명령을 통해 이루어진다. 이 모드에서는 CPU 클럭이 정지되어 있었어 CPU 정지 되어 있는 상태이다. 하지만 다른 주변장치 제어기들은 동작중인 상태일 수도 있다. 특히 Interrupt 제어기가 동작하고 있는 상태여야 Normal Run mode로 다시 돌아올 수 있다.

Idle Mode에서 빠져 나오기 위해서는 동작 중인 주변장치 제어기나 외부 인터럽트에 의해서 인터럽트가 발생해야 한다.

다음 동작에 의해 Idle Mode에서 빠져 나올 수 있다.

- Power on reset
- External reset
- External interrupt or Internal peripheral interrupt
- RTC interrupt

Deep Idle Mode

Deep Idle mode의 진입은 “Halt 1” 명령어에 의해 이루어진다. 이 모드에서는 MOSC가 정지되고 ROSC만 동작하는 상태가 된다. Deep Idle mode에서 Normal Run mode로 다시 돌아오기 위해서는 MAIN 클럭은 MOSC 클럭이 선택된 상태여야 하고 또한 Interrupt 제어기가 동작 가능한 상태여야 한다.

Deep Idle mode의 전력효율을 높이기 위하여 PLL, Voice Codec, 그리고 USB PHY는 Power down 상태로 설정하여야 한다.

다음 동작에 의해 Deep Idle mode에서 빠져 나올 수 있고, 이때 동작은 PWK and RTC Interrupt Service Routine으로 진입하거나 “Halt 1” 다음 명령을 처리한다.

- RTC Interrupt
- PWK Event

Deep Idle 모드에서 빠져 나오기 위해서는 Deep Idle 모드 진입하기 전에 프로그램적으로 PWK 또는 RTC Interrupt가 미리 설정되어 있어야 한다.

4.5 Power Management Control Registers

PLL Control Register (PLLCTRL)

Address : 0x8002_0400

Bit	R/W	Description	Default Value
31 : 17	R	Reserved	-
16	R/W	PLL Power Control 0 : PLL ON 1 : PLL OFF	1
15 : 8	R/W	N : VCO frequency divider value 8bit	0Fh
7 : 6	R/W	P : Output frequency scalar value 2bit	0
5 : 0	R/W	M : Reference frequency input divider 6bit	0

*** This register is accessed by setting the PLLWEN bit in the PMCTRLLEN register to 1.

$$f_{PLL} = \frac{(N+2) \times f_{OSC}}{(M+2) \times 2^P}$$

Clock Control Register (CLKCTRL)

Address : 0x8002_0404

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 4	R/W	PRESEL : MAIN Clock Pre-scaler for HCLK Clock 000 : MAIN Clock 001 : MAIN Clock / 2 010 : MAIN Clock / 4 011 : MAIN Clock / 8 100 : MAIN Clock / 16 101 : MAIN Clock / 1024 11x : MAIN Clock	0
3	R/W	IMCLKSEL : Clock Source Selection bit for I2S and Voice Codec 0 : MOSC Clock 1 : EXTCLK(#34)	0
2	R/W	UCLKSEL : USB Clock Source Selection bit 0 : MAIN Clock / 2 (if MAIN Clock is 96MHz) 1 : MAIN Clock (if MAIN Clock is 48MHz)	0
1	R/W	PCLKSEL : PCLK Clock Source Selection bit 0 : HCLK Clock / 2 1 : HCLK Clock	0
0	R/W	MAINSEL : MAIN Clock Source Selection bit 0 : MOSC Clock 1 : PLL Clock	0

*** This register is accessed by setting the CLKWEN bit in the PMCTRLLEN register to 1.

Wake Up Control Register (WUKCTRL)

Address : 0x8002_040C

Bit	R/W	Description	Default Value
31 : 4	R	Reserved	-
3	R	Wake-up selection register update status bit 0 : Update complete 1 : Not update	0
2	R/W	PWK Wake-up Mode 0 : Rising edge 1 : Falling edge	1
1	R/W	PWK Wake-up Enable bit 0 : Disable 1 : Enable	1
0	R/W	RTC Interrupt Enable bit 0 : Disable 1 : Enable	1

*** This register is accessed by setting the WUKWEN bit in the PMCTRLLEN register to 1.

HCLK Gating Control Register (HCLKGATE)

Address : 0x8002_0410

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6	R/W	SDHC Controller Clock Enable bit 0 : Disable 1 : Enable	1
5	R/W	NAND Flash Controller Clock Enable bit 0 : Disable 1 : Enable	1
4	R/W	DMA Controller Clock Enable bit 0 : Disable 1 : Enable	1
3	R/W	Internal SRAM Controller Clock Enable bit 0 : Disable 1 : Enable	1
2	R/W	Internal NOR Flash / External SRAM Controller Clock Enable bit 0 : Disable 1 : Enable	1
1	R/W	ISP Controller Clock Enable bit 0 : Disable 1 : Enable	1
0	R/W	AHB Bus Clock Enable bit 0 : Disable 1 : Enable	1

*** This register is accessed by setting the HGWEN bit in the PMCTRLLEN register to 1.

PCLK Gating Control Register (PCLKGATE)

Address : 0x8002_0414

Bit	R/W	Description	Default Value
31 : 14	R	Reserved	-
13	R/W	GPIO (Port Alternate Function) Clock Enable bit 0 : Disable 1 : Enable	1
12	R/W	RTC Clock Enable bit 0 : Disable 1 : Enable	1
11	R/W	KeyScan Clock Enable bit 0 : Disable 1 : Enable	1
10	R/W	USB Device Clock Enable bit 0 : Disable 1 : Enable	1
9	R/W	I2S Clock Enable bit 0 : Disable 1 : Enable	1
8	R/W	Voice Clock Enable bit 0 : Disable 1 : Enable	1
7	R/W	GPIO (Port Control, Port Edge Detect) Clock Enable bit 0 : Disable 1 : Enable	1
6	R/W	TWI Clock Enable bit 0 : Disable 1 : Enable	1
5	R/W	SPI Clock Enable bit 0 : Disable 1 : Enable	1
4	R/W	UART Clock Enable bit 0 : Disable 1 : Enable	1
3	R/W	Timer Clock Enable bit 0 : Disable 1 : Enable	1
2	R/W	Watchdog Timer Clock Enable bit 0 : Disable 1 : Enable	1
1	R/W	Interrupt Controller Clock Enable bit 0 : Disable 1 : Enable	1
0	R/W	APB Bus Clock Enable bit 0 : Disable 1 : Enable	1

*** This register is accessed by setting the PGWEN bit in the PMCTRLLEN register to 1.

Special Clock Gating Control Register (SCLKGATE)

Address : 0x8002_0418

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	-
2	R/W	IMCLKEN : I2S and Voice Codec Clock Enable bit 0 : Disable 1 : Enable	0
1	R/W	USB12EN : USB12M Clock Enable bit 0 : Disable 1 : Enable	0
0	R/W	USB48EN : USB48M Clock Enable bit 0 : Disable 1 : Enable	0

*** This register is accessed by setting the SGWEN bit in the PMCTRLLEN register to 1.

Software Reset Control Register (RSTCTRL)

Address : 0x8002_041C

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	W	Software Reset 0 : No effect 1 : Set to system reset	-

*** This register is accessed by setting the RSTWEN bit in the PMCTRL register to 1.

Reset Status Register (RSTSTAT)

Address : 0x8002_041C

Bit	R/W	Description	Default Value
31 : 4	R	Reserved	-
3	R	POR reset occurred	0
2	R	Reserved	-
1	R	Software reset occurred	0
0	R	Watchdog reset occurred	0

*** Reports the cause of the last reset. Reading this RSTSTAT does clear this field.

*** All zero means that the External reset is occurred.

Power Management Control Enable Register (PMCTRLLEN)

Address : 0x8002_0424

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R/W	HALTEN : HALT Process Enable bit 0 : Disable 1: Enable	0
7	R/W	RSTWEN : RSTCTRL Register Write Enable bit 0 : Disable 1: Enable	0
6	R/W	SGWEN : SCLKGATE Register Write Enable bit 0 : Disable 1: Enable	0
5	R/W	PGWEN : PCLKGATE Register Write Enable bit 0 : Disable 1: Enable	0
4	R/W	HGWEN : HCLKGATE Register Write Enable bit 0 : Disable 1: Enable	0
3	R/W	WUKWEN : WUKCTRL Register Write Enable bit 0 : Disable 1: Enable	0
2	R/W	Reserved	0
1	R/W	CLKWEN : CLKCTRL Register Write Enable bit 0 : Disable 1: Enable	0
0	R/W	PLLWEN : PLLCTRL Register Write Enable bit 0 : Disable 1: Enable	0

*** For write access to all other registers, the appropriate bits of this register must be set to 1.

PMCTRLLEN 레지스터의 해당비트가 “1”로 설정되어 있어야 전원과 클럭을 제어할 수 있다.

5 INTERNAL NOR FLASH AND EXTERNAL SRAM CONTROLLER

5.1 Internal NOR Flash Memory

CANTUS는 다음과 같이 세 종류로 구분 할 수 있다.

	CANTUS128	CANTUS128A	CANTUS512
Sector Architecture	8 sectors of 16K byte	32 sectors of 4K byte	8 sectors of 64K byte
Access time	70ns	70ns	70ns
Minimum endurance cycle	100K	100K	100K

CANTUS128은 128KBytes Flash Memory 를 내장하였다. 각 Sector는 16Kbytes로 8개의 sectors로 구성된다.

Table 5-1 NOR Flash Memory (CANTUS128)

Address Range (128KBytes)	Sector Number
0x0000_0000~0x0000_3FFF	Sector 0 (16KBytes)
0x0000_4000~0x0000_7FFF	Sector 1 (16KBytes)
0x0000_8000~0x0000_BFFF	Sector 2 (16KBytes)
0x0000_C000~0x0000_FFFF	Sector 3 (16KBytes)
0x0001_0000~0x0001_3FFF	Sector 4 (16KBytes)
0x0001_4000~0x0001_7FFF	Sector 5 (16KBytes)
0x0001_8000~0x0001_BFFF	Sector 6 (16KBytes)
0x0001_C000~0x0001_FFFF	Sector 7 (16KBytes)

CANTUS128A은 128KBytes Flash Memory 를 내장하였다. 각 Sector는 4Kbytes로 32개의 sectors로 구성된다.

Table 5-2 NOR Flash Memory (CANTUS128A)

Address Range (128KBytes)	Sector Number
0x0000_0000~0x0000_0FFF	Sector 0 (4KBytes)
0x0000_1000~0x0000_1FFF	Sector 1 (4KBytes)
0x0000_2000~0x0000_2FFF	Sector 2 (4KBytes)
0x0000_3000~0x0000_3FFF	Sector 3 (4KBytes)
0x0000_4000~0x0000_4FFF	Sector 4 (4KBytes)
0x0000_5000~0x0000_5FFF	Sector 5 (4KBytes)
0x0000_6000~0x0000_6FFF	Sector 6 (4KBytes)
0x0000_7000~0x0000_7FFF	Sector 7 (4KBytes)
0x0000_8000~0x0000_8FFF	Sector 8 (4KBytes)
0x0000_9000~0x0000_9FFF	Sector 9 (4KBytes)
0x0000_A000~0x0000_AFFF	Sector 10 (4KBytes)
0x0000_B000~0x0000_BFFF	Sector 11 (4KBytes)
0x0000_C000~0x0000_CFFF	Sector 12 (4KBytes)
0x0000_D000~0x0000_DFFF	Sector 13 (4KBytes)
0x0000_E000~0x0000_EFFF	Sector 14 (4KBytes)

0x0000_F000~0x0000_FFFF	Sector 15 (4KBytes)
0x0001_0000~0x0001_0FFF	Sector 16 (4KBytes)
0x0001_1000~0x0001_1FFF	Sector 17 (4KBytes)
0x0001_2000~0x0001_2FFF	Sector 18 (4KBytes)
0x0001_3000~0x0001_3FFF	Sector 19 (4KBytes)
0x0001_4000~0x0001_4FFF	Sector 20 (4KBytes)
0x0001_5000~0x0001_5FFF	Sector 21 (4KBytes)
0x0001_6000~0x0001_6FFF	Sector 22 (4KBytes)
0x0001_7000~0x0001_7FFF	Sector 23 (4KBytes)
0x0001_8000~0x0001_8FFF	Sector 24 (4KBytes)
0x0001_9000~0x0001_9FFF	Sector 25 (4KBytes)
0x0001_A000~0x0001_AFFF	Sector 26 (4KBytes)
0x0001_B000~0x0001_BFFF	Sector 27 (4KBytes)
0x0001_C000~0x0001_CFFF	Sector 28 (4KBytes)
0x0001_D000~0x0001_DFFF	Sector 29 (4KBytes)
0x0001_E000~0x0001_EFFF	Sector 30 (4KBytes)
0x0001_F000~0x0001_FFFF	Sector 31 (4KBytes)

CANTUS512는 512KBytes Flash Memory 로 구성되어 있다. 각 Sector는 64Kbytes로 8 sectors로 구성된다.

Table 5-3 NOR Flash Memory (CANTUS512)

Address Range (512KBytes)	Sector Number
0x0000_0000~0x0000_FFFF	Sector 0 (64KBytes)
0x0001_0000~0x0001_FFFF	Sector 1 (64KBytes)
0x0002_0000~0x0002_FFFF	Sector 2 (64KBytes)
0x0003_0000~0x0003_FFFF	Sector 3 (64KBytes)
0x0004_0000~0x0004_FFFF	Sector 4 (64KBytes)
0x0005_0000~0x0005_FFFF	Sector 5 (64KBytes)
0x0006_0000~0x0006_FFFF	Sector 6 (64KBytes)
0x0007_0000~0x0007_FFFF	Sector 7 (64KBytes)

내부 NOR Flash Memory는 최대 80nsec의 접근속도를 가지기 때문에 HCLK의 속도에 따라 Access Cycle을 변경하여야 한다. HCLK가 12MHz 이하의 속도에서 NOR Flash 를 Read 할 경우에는 tACC 비트를 “00”으로 설정하면 1-cycle으로 NOR Flash 를 접근한다. 12MHz 이상일 경우에는 HCLK/12MHz 단위로 tACC를 설정하여야 한다.

HCLK가 12MHz 이상일 경우에도 NOR Flash의 속도에 독립적으로 CPU가 매 Clock 마다 명령을 처리할 수 있도록 I-Cache를 내장되어 있다.

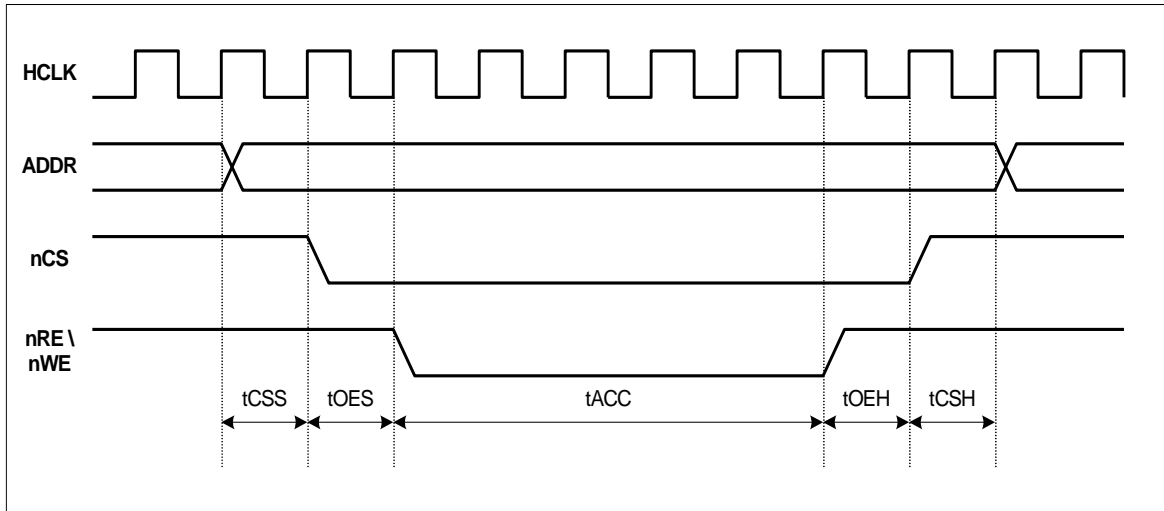


Figure 5-1 NOR Flash Timing Diagram

내부 NOR Flash Memory를 Programming하는 경우에는 내부 SRAM으로 프로그램을 올린 후, JEDEC Standard 명령을 사용하여 NOR Flash Erase와 Program을 진행할 수 있다.

Erase와 Program Command는 Erase time과 Program time이 존재하기 때문에 Command 수행 이후에 완료됨을 확인하여야 한다. Erase time은 Erase한 영역의 값을 읽어 ‘0xFF’이면 완료가 됨을 나타내며, Program time은 Program한 주소를 다시 읽어 같은 값이면 완료가 됨을 나타낸다.

내부 NOR Flash Memory의 종류를 알기 위해서는 Autoselect Command로 NOR Flash ID를 읽어 알 수 있다. Autoselect Command를 수행한 후 Read나 Program, Erase Command등을 받아들이지 않는다. 따라서, Autoselect Command를 수행한 이후에는 반드시 Reset Command를 수행하여야 한다. CANTUS128의 NOR Flash ID는 ‘0x1C6E’, CANTUS512는 ‘0x1C4F’이다.

Table 5-4 NOR Flash Command Definitions

Command Sequence	Cycles	Bus Cycles												
		1 st Cycle		2 nd Cycle		3 rd Cycle		4 th Cycle		5 th Cycle		6 th Cycle		
		Add	Data	Add	Data	Add	Data	Add	Data	Add	Data	Add	Data	
Read	1	RA	RD											
Reset	1	Xxx	F0											
Autoselect	NOR Flash ID (MSB)	4	555	AA	2AA	55	555	90	100	1C				
	NOR Flash ID (LSB)	4	555	AA	2AA	55	555	90	X01	6E/ 4F				
	Sector Protect Verify	4	555	AA	2AA	55	555	90	(SA) X02	00/ 01				
Program	4	555	AA	2AA	55	555	A0	PA	PD					
Unlock Bypass	3	555	AA	2AA	55	555	20							
Unlock Bypass Program	2	XXX	A0	PA	PD									
Unlock Bypass Reset	2	XXX	90	XXX	00									
Chip Erase	6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10	
Sector Erase	6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30	
Erase Suspend	1	xxx	B0											
Erase Resume	1	xxx	30											

5.2 External SRAM Memory

외부에 8/16-bit의 NOR Flash, PROM, SRAM을 지원한다. 최대 512KB 크기의 메모리를 4개까지 사용할 수 있다.

External Static Memory와의 Interface를 위해 SRAM_ALE1, SRAM_ALE0, SRAM_nCS[3:0], SRAM_nRE, SRAM_nWE, AD[15:0], A[18:16], nBE1 을 지원한다.

외부에 8-bit SRAM Memory와의 Interface을 할 때, AD[7:0]에서 Address[15:0]와 Data[7:0]의 신호가 발생한다. SRAM_ALE1에서 AD[7:0]를 Latch하면 Address[15:8]이 되고 SRAM_ALE0에서 AD[7:0]를 Latch하면 Address[7:0]이 된다. 이후 AD[7:0]은 SRAM_nCS, SRAM_nRE, SRAM_nWE의 구간에서 Data[7:0]을 쓰거나 읽을 수 있다.

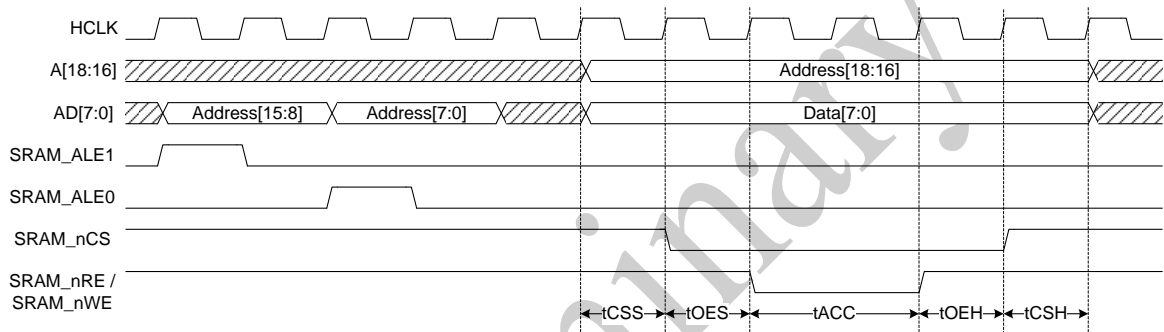


Figure 5-2 External 8-bit SRAM Memory Timing Diagram

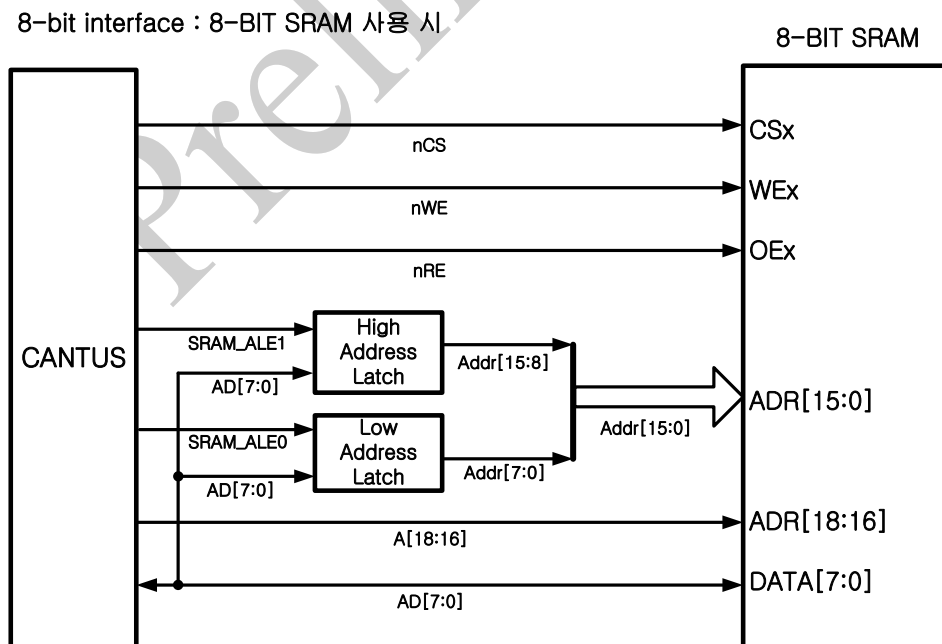


Figure 5-3 Connection 8-bit SRAM Memory

외부에 16-bit SRAM Memory와의 Interface을 할 때, AD[15:0]에서 Address[15:0]와 Data[15:0]의 신호가 발생한다. SRAM_ALE0에서 AD[15:0]를 Latch하면 Address[15:0]이 된다. 이후 AD[15:0]은 SRAM_nCS, SRAM_nRE, SRAM_nWE의 구간에서 Data[15:0]을 쓰거나 읽을 수 있다.

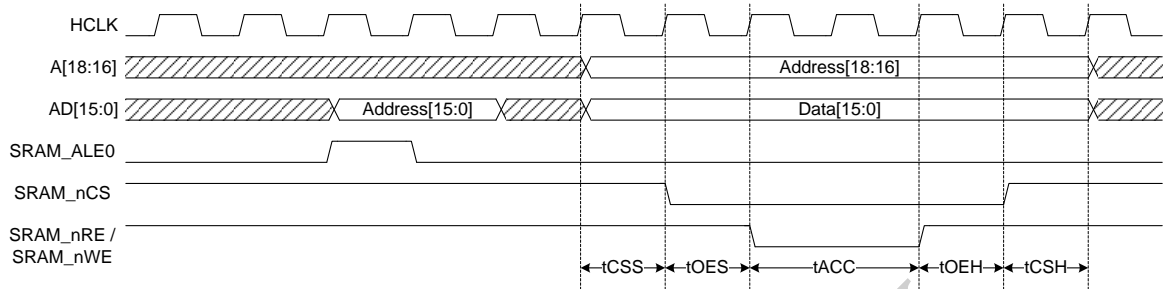


Figure 5-4 External 16-bit SRAM Memory Timing Diagram

16-bit interface : 16-BIT SRAM 사용 시

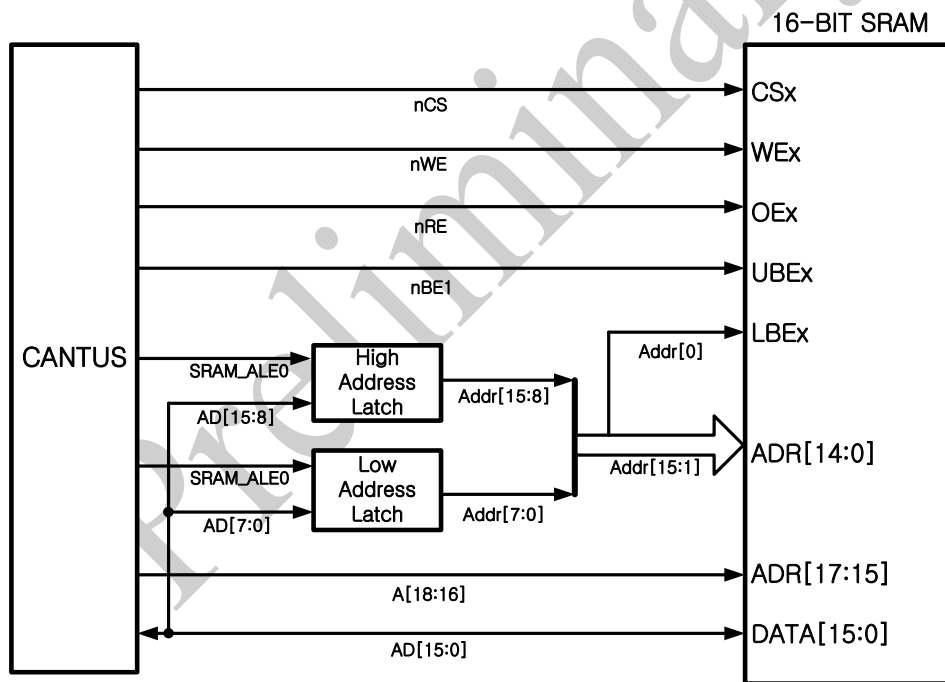


Figure 5-5 Connection 16-bit SRAM Memory

5.3 Internal NOR Flash and External SRAM Control Registers

Internal NOR Flash Memory Control Register (FLASHCTRL)

Address : 0x8000_0410

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	tCSS : Address Set-up before nCS 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	00
13 : 12	R/W	tOES : Chip Selection Set-up nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	00
11 : 8	R/W	tACC : Access Cycle 0000 : 1 Clock 0001 : 2 Clock 0010 : 3 Clock 0011 : 4 Clock 0100 : 6 Clock 0101 : 8 Clock 0110 : 10 Clock 0111 : 12 Clock 1000 : 14 Clock 1001 : 16 Clock 1010 : 18 Clock 1011 : 20 Clock 1100 : 22 Clock 1101 : 24 Clock 1110 : 26 Clock 1111 : 30 Clock	0001
7 : 6	R/W	tOEH : Chip Selection Hold on nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
5 : 4	R/W	tCSH : Address Holding Time after nCS 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
3 : 1	R	Reserved	-
0	R/W	Error Response Enable bit in NOR Flash 0 : Error Response Disable 1 : Error Response Enable	1

External SRAM_nCS0 Area Control Register (CS0CTRL)

Address : 0x8000_0400

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	tCSS : Address Set-up before SRAM_nCS0 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
13 : 12	R/W	tOES : Chip Selection Set-up nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
11 : 8	R/W	tACC : Access Cycle 0000 : 1 Clock 0001 : 2 Clock 0010 : 3 Clock 0011 : 4 Clock 0100 : 6 Clock 0101 : 8 Clock 0110 : 10 Clock 0111 : 12 Clock 1000 : 14 Clock 1001 : 16 Clock 1010 : 18 Clock 1011 : 20 Clock 1100 : 22 Clock 1101 : 24 Clock 1110 : 26 Clock 1111 : 30 Clock	1111
7 : 6	R/W	tOEH : Chip Selection Hold on nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
5 : 4	R/W	tCSH : Address Holding Time after SRAM_nCS0 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
3	R/W	This bit determines whether using nBE1 pin for 16bit Data bus 0 : Not using nBE1 1 : Using nBE1	0
2	R/W	This bit determines WAIT status 0 : nWAIT Disable 1 : nWAIT Enable	0
1	R	Reserved	-
0	R/W	Error Response Enable bit in Read only Memory 0 : Error Response Disable 1 : Error Response Enable	0

External SRAM_nCS[3:1] Area Control Register (CSxCTRL)

Address : 0x8000_0404 / 0x8000_0408 / 0x8000_040C

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	tCSS : Address Set-up before SRAM_nCSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
13 : 12	R/W	tOES : Chip Selection Set-up nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
11 : 8	R/W	tACC : Access Cycle 0000 : 1 Clock 0001 : 2 Clock 0010 : 3 Clock 0011 : 4 Clock 0100 : 6 Clock 0101 : 8 Clock 0110 : 10 Clock 0111 : 12 Clock 1000 : 14 Clock 1001 : 16 Clock 1010 : 18 Clock 1011 : 20 Clock 1100 : 22 Clock 1101 : 24 Clock 1110 : 26 Clock 1111 : 30 Clock	1111
7 : 6	R/W	tOEH : Chip Selection Hold on nRE / nWE 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
5 : 4	R/W	tCSH : Address Holding Time after SRAM_nCSx 00 : 0 Clock 01 : 1 Clock 10 : 2 Clock 11 : 4 Clock	11
3	R/W	This bit determines whether using nBE1 pin for 16bit Data bus 0 : Not using nBE1 1 : Using nBE1	0
2	R/W	This bit determines WAIT status 0 : nWAIT Disable 1 : nWAIT Enable	0
1 : 0	R/W	This bit determines data bus width 00 : 8 bit 01 : 16 bit 1x : Reserved	0

6 COPROCESSOR

CANTUS의 Coprocessor 는 메모리 관리를 위한 Memory Management Unit(MMU) 과 I-Cache, D-Cache 기능 블록을 포함하며, 이들 기능 블록들과 기타 부가 기능블록에 대한제어를 담당한다.

Key Features

- Memory Management Unit
 - Real Memory mode
- 2 Way Set Associative Harvard Cache
 - 8KBytes I-Cache
 - 4Kbytes D-Cache
 - Write Back / Write Through
 - 16 Bytes / Line
 - LRU Replacement
 - Cache Invalidation by Software
- 4 Words Deep Write Buffer (FIFO)

Real Memory mode 는 CPU가 4GB 크기의 선형메모리 영역을 위해 예약된 일부 메모리 영역만 접근할 수 있으며, CPU의 주소는 실제 메모리 주소와 일치한다.

Table 6-1 Real Memory map in NOR Flash booting mode

Address Range (512KBytes)	Sector Number	Size
0x0000_0000~0x0007_FFFF (Memory Bank0)	NOR Flash	512KBytes
0x2000_0000~0x3FFF_FFFF (Memory Bank1)	Internal SRAM	80KBytes
0x4000_0000~0x5FFF_FFFF (Memory Bank2)	External SRAM_nCS0	512KBytes
0x6000_0000~0x7FFF_FFFF (Memory Bank3)	External SRAM_nCS[3:1]	1536KBytes
0x8000_0000~0xFFFF_FFFF	Reserved	-

6.1 Coprocessor Description

Table 6-2 Coprocessor Register Description

Register	R/W	Description
SCPR15	R	System Coprocessor Status Register
	W	Master Command Register
SCPR14	R/W	Supervisor Stack Point Register
SCPR13	R/W	User Stack Pointer
SCPR12	R/W	Vector Base Register
SCPR11	W	Invalidate Cache Line and Lock Register
SCPR10	-	Reserved
SCPR9	R/W	Memory Bank Configuration Register
SCPR8	R/W	Sub-Bank Configuration Register
SCPR7	R/W	Reserved
SCPR6	R/W	Reserved
SCPR5	R/W	Sub-Bank Address Register
SCPR4	R/W	General Access Point Data Register
SCPR3	R/W	General Access Point Index Register
SCPR2	R/W	Reserved
SCPR1	R/W	Reserved
SCPR0	R/W	Reserved

6.2 Coprocessor Control Registers

System Coprocessor Status Register (SCPR15)

Bit	R/W	Description	Default Value
31	R	System Co-Processor Access Right (Privileged) Coprocessor이 접근 권한을 나타낸다. 0 : Supervisor/User Accessable 1 : Supervisor Access only	1
30 : 28	R	Coprocessor Type	001
27 : 25	R	Coprocessor Subtype	000
24 : 19	R	Reserved	-
18	R	L1 Cache Presented 0 : Presented 1 : Not Presented	0
17	R	L1 Cache Snooping Capability 0 : Support Snooping 1 : Not support Snooping	1
16	R	L1 Cache Replacement Policy 0 : Support Write-through only 1 : Support Write-through and Write-back	1
15 : 7	R	Reserved	-
6	R	Misalign Correction Support for Data Access 0 : Not support Misalign Correction 1 : Support Misalign Correction	0
5 : 2	R	SCP Rending Exception Number 0000 : Inst. Fetch - Access Violation 0010 : Privilege Violation Exception 0011 : Data Access - Address Misalignment 0100 : Data Access - Access Violation 1000 : Inst. Fetch - Address Misalignment 1111 : N/A	1111
1	R	SCP Pending Exception status 0 : No Pending Exception 1 : Pending Exception Exist	0
0	R	Reserved	-

Master Command Register (SCPR15)

Bit	R/W	Description	Default Value
31 : 6	W	Reserved	-
5 : 2	W	End of Exception 0000 : Inst. Fetch - Access Violation 0010 : Privilege Violation Exception 0011 : Data Access - Address Misalignment 0100 : Data Access - Access Violation 1000 : Inst. Fetch - Address Misalignment 1111 : Privilege Violation Exception	1111
1 : 0	W	Reserved	-

Supervisor Stack Point Register (SCPR14)

Bit	R/W	Description	Default Value
31 : 2	R/W	Supervisor Stack Pointer	0x0000_0000
1 : 0	R/W	Always 0	00

User Stack Point Register (SCPR13)

Bit	R/W	Description	Default Value
31 : 2	R/W	User Stack Pointer	0x0000_0000
1 : 0	R/W	Always 0	00

Vector Base Register (SCPR12)

Bit	R/W	Description	Default Value
31 : 2	R/W	Vector Base for Exception	0x0000_0000
1 : 0	R/W	Always 0	00

Invalidate Cache Line and Lock Register (SCPR11)

Bit	R/W	Description	Default Value
31 : 7	W	Invalidation Target Address/Way	-
6 : 4	W	Invalidation Target Address/Way	-
3	W	Invalidation Mode 0 : Address Based Invalidation 1 : Way Based Invalidation	-
2	W	Copy-back Selection in Invalidation 0 : Invalidation without Copy-back 1 : Invalidation with Copy-back if need	-
1	W	Cache Line Locking in Invalidation 0 : Invalidation without Locking 1 : Invalidation with Locking	-
0	W	Cache Type in Invalidation 0 : I-Cache 1 : D-Cache	-

Memory Bank Configuration Register (SCPR9)

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	0
15	R/W	Always 0	0
14	R/W	Memory Bank 3 Access Right 0 : Supervisor only Accessable 1 : Supervisor/User Accessable	0
13 : 12	R/W	Memory Bank 3 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : Enable Cache with Write-back	00
11	R/W	Always 0	0
10	R/W	Memory Bank 2 Access Right 0 : Supervisor only Accessable 1 : Supervisor/User Accessable	0
9 : 8	R/W	Memory Bank 2 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : Enable Cache with Write-back	00
7	R/W	Always 0	0
6	R/W	Memory Bank 1 Access Right 0 : Supervisor only Accessable 1 : Supervisor/User Accessable	0
5 : 4	R/W	Memory Bank 1 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : Enable Cache with Write-back	00
3	R/W	Always 0	0
2	R/W	Memory Bank 0 Access Right 0 : Supervisor only Accessable 1 : Supervisor/User Accessable	0
1 : 0	R/W	Memory Bank 0 Cache Configuration 00 : Disable Cache 01 : Reserved 10 : Enable Cache with Write-through 11 : Enable Cache with Write-back	00

Sub-Bank Configuration Register (SCPR8)

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 4	R/W	Sub-Bank Index	000
3	R/W	Sub-Bank Valid Control bit 0 : Invalid 1 : Valid	0
2	R/W	Sub-Bank Access Right 0 : Supervisor only Accessable 1 : Supervisor/User Accessable	0
1 : 0	R/W	Sub-Bank Cache Property Control bit 00 : Disable Cache, Disable Write buffer 01 : Disable Cache, Enable Write buffer 10 : Enable Cache with Write-through 11 : Enable Cache with Write-back	00

*** SCPR5와 함께 설정되어 Sub-Bank를 지정한다.

*** Sub-Bank가 설정된 영역에서는 Sub-Bank 설정정보가 SCPR9에서 설정한 Memory Bank의 설정정보보다 우선 순위를 가진다.

Sub-Bank Address Register (SCPR5)

Bit	R/W	Description	Default Value
31 : 12	R/W	Sub-Bank Base Address[31:12]	0x00000
11 : 0	R/W	Sub-Bank Size Enable 0x000 : 4KBytes 0x001 : 8KBytes 0x003 : 16KBytes 0x007 : 32KBytes 0x00F : 64KBytes 0x01F : 128KBytes 0x03F : 256KBytes 0x07F : 512KBytes 0x0FF : 1MBytes	0x000

*** Sub-Bank 설정시 Nature Align 되도록 설정되어야 한다.

General Access Point Data Register (SCPR4)

Bit	R/W	Description	Default Value
31 : 0	R	General Access Point Data SCPR3에서 설정된 레지스터의 값	0x0000_0000

General Access Point Index Register (SCPR3)

Bit	R/W	Description	Default Value
31 : 0	W	General Access Point Index <ul style="list-style-type: none"> - Core Debugging Information 0x0000_0000 : Backup IR 0x0000_0001 : Backup ER 0x0000_0002 : Backup PC 0x0000_0010 : Backup EAD - System Coprocessor Debugging Information 0x0000_0303 : Inst. Bus Error Address 0x0000_0304 : Data Bus Error Address - Cache Lock Information 0x0000_0500 : Inst. Lock Condition 0x0000_0501 : Data Lock Condition - Memory Bank Management Information 0x0000_0600 : Inst. MBMB Violation Address 0x0000_0601 : Data MBMB Violation Address 	-

7 WATCHDOG TIMER

Watchdog Timer는 시스템 에러, 정상적으로 응답하지 않는 장치 또는 noise와 같은 이유로 CPU가 정상적인 동작을 하지 않을 때, 정상상태로 복귀시키는 역할을 한다.

Watchdog Reset 이 Enable 되면 WDCNT에 설정된 값에서 '1'씩 감소하여 WDCNT 값이 '0'이 되면 Watchdog Reset 이 발생한다.

Watchdog Reset이 발생하면 RSTSTAT 레지스터에 Watchdog Reset이 발생한 상태가 저장된다.

일단 Watchdog Timer 가 설정되면 Watchdog Reset이 걸리지 않게 하기 위해서는 32 비트의 Watchdog Counter 값이 '0'이 되지 않도록 주기적으로 WDCNT를 재설정하여 Watchdog Reset이 발생하지 않도록 해야 한다.

Preliminary

7.1 Watchdog Timer Control Registers

Watchdog Timer Control Register (WDTCTRL)

Address : 0x8002_0C00

Bit	R/W	Description	Default Value
31 : 1	R	Reserved.	-
0	RW	WDTEN : Watchdog Timer Reset Enable bit 0 : Disable Watchdog Timer Reset 1 : Enable Watchdog Timer Reset	0

Watchdog Timer Counter Value Register (WDTCNT)

Address : 0x8002_0C04

Bit	R/W	Description	Default Value
31 : 0	RW	Watchdog Timer Counter 32-bit Value. Down-counter	0xFFFF_FFFF

Preliminary

8 GPIO (GENERAL PURPOSE I/O)

8.1 Port Alternate Functions

GPIO Ports의 초기값은 Input 상태이며, Pull-up 되어있어 입력을 unknown으로 받아들이는 사항을 방지할 수 있다. 또한, Alternate Function의 설정을 통해 외부 Interface를 갖는 Peripheral Function들과 Ports를 공유할 수 있다.

Table 8-1 Port Alternate Functions

Group	Index	Pin	1 st	2 nd	3 rd	4 th (default)
PAF0	0	76			AD[0]	P0.0
	1	77			AD[1]	P0.1
	2	78			AD[2]	P0.2
	3	79			AD[3]	P0.3
	4	82			AD[4]	P0.4
	5	83			AD[5]	P0.5
	6	84			AD[6]	P0.6
	7	85			AD[7]	P0.7
PAF1	0	2	TX[4]	KEY_O[0]	AD[8]	P1.0
	1	3	RX[4]	KEY_I[0]	AD[9]	P1.1
	2	4	TX[5]	KEY_O[1]	AD[10]	P1.2
	3	5	RX[5]	KEY_I[1]	AD[11]	P1.3
	4	6	TX[6]	KEY_O[2]	AD[12]	P1.4
	5	7	RX[6]	KEY_I[2]	AD[13]	P1.5
	6	8	TX[7]	KEY_O[3]	AD[14]	P1.6
	7	9	RX[7]	KEY_I[3]	AD[15]	P1.7
PAF2	0	86			SRAM_ALE0	P2.0
	1	87			SRAM_ALE1	P2.1
	2	88			SRAM_nRE	P2.2
	3	89			SRAM_nWE	P2.3
	4	92			SRAM_nCS[0]	P2.4
	5	93			SRAM_nCS[1]	P2.5
	6	94			SRAM_nCS[2]	P2.6
	7	95		SPI_nSS	SRAM_nCS[3]	P2.7
PAF3	0	66	EIRQ[0]		nWAIT	P3.0
	1	67	EIRQ[1]		nBE[1]	P3.1
	2	68			NDFL_nWE	P3.2
	3	69			NDFL_ALE	P3.3
	4	70			NDFL_CLE	P3.4
	5	71			NDFL_nCS	P3.5
	6	72			NDFL_nRE	P3.6
	7	73	nNMI		NDFL_nBUSY	P3.7
PAF4	0	26	TX[0]		I2S_SDO	P4.0
	1	27	RX[0]		I2S_SDI	P4.1
	2	28	TX[1]	SPI_MOSI	SDCD_DATA[3]	P4.2
	3	29	RX[1]	SPI_MISO	SDCD_DATA[2]	P4.3
	4	30	TX[2]	SPI_SCK	SDCD_CLK	P4.4
	5	31	RX[2]		SDCD_CMD	P4.5

	6	32	TX[3]		TWL_SCL	P4.6
	7	33	RX[3]		TWL_SDA	P4.7
PAF5	0	34	TMO[0]	CAP[0]	SDCD_DATA[1]	P5.0
	1	35	TMO[1]	CAP[1]	SDCD_DATA[0]	P5.1
	2	36	TMO[2]	CAP[2]	I2S_LRCK	P5.2
	3	38	TMO[3]	CAP[3]	I2S_SCLK	P5.3
	4	39	TMO[4]	CAP[4]	I2S_MCLK	P5.4
	5	40	TMO[5]	CAP[5]	A[16]	P5.5
	6	41	TMO[6]	CAP[6]	A[17]	P5.6
	7	42	TMO[7]	CAP[7]	A[18]	P5.7
PAF6	0	96	nTRST			P6.0
	1	97	TCK			P6.1
	2	98	TMS			P6.2
	3	99	TDI			P6.3
	4	23	POREN			P6.4

8.2 Port Control

GPIO Ports는 8-bit으로 구성된 6개의 블록과 5-bit으로 구성된 1개의 블록으로 구성되어 총 53개의 I/O Ports를 제공한다. 각 Ports는 레지스터 설정으로 쉽게 구성될 수 있으며, 다양한 입출력 응용과 시스템 구성에 사용된다.

- P0.x has 8 I/O Ports
- P1.x has 8 I/O Ports
- P2.x has 8 I/O ports
- P3.x has 8 I/O ports
- P4.x has 8 I/O ports
- P5.x has 8 I/O ports
- P6.x has 5 I/O ports

GPIO Ports는 PxODIR 레지스터를 통해 각 Port별로 Output mode로 설정되고 또한 PxIDIR 레지스터에 의해 각 Port별로 Input mode로 설정된다. 각 Port의 설정상태는 PxDIR 레지스터를 통해 확인할 수 있다. PxODIR 레지스터와 PxIDIR 레지스터 설정시 “1”인 비트만 해당 동작으로 설정되고, “0”인 비트는 어떠한 영향을 미치지 못한다.

GPIO Ports의 출력 레벨은 Output mode로 설정된 상태에서 PxOHIGH 레지스터를 통해 High Level로 설정되고, PxOLOW 레지스터를 통해 Low Level로 설정된다. Output level의 설정상태는 PxOLEV 레지스터를 통해 확인할 수 있다.

GPIO Ports의 입력 레벨은 PxILEV 레지스터를 통해 확인할 수 있다. 각 Port에 연결된 Pull-up 저항은 외부 입력이 존재하거나 출력인 경우에는 Pull-up 을 제거하면, 신호레벨이 “Low”일 때 누설전류를 줄일 수 있다.

Table 8-2 Internal Pull-up Resistance Characteristics

Parameter	Min	Typ	Max	Unit
Pull-Up Resistance	30	66	130	K Ω

8.3 Port Edge Detect

EIRQ 핀을 통한 외부 인터럽트 이외에 GPIO의 Port Edge Detect을 통해 각각의 그룹별로 외부 인터럽트를 수행할 수 있다. Port들은 Rising Edge, Falling Edge 그리고 Any Edge 모드를 지원한다.

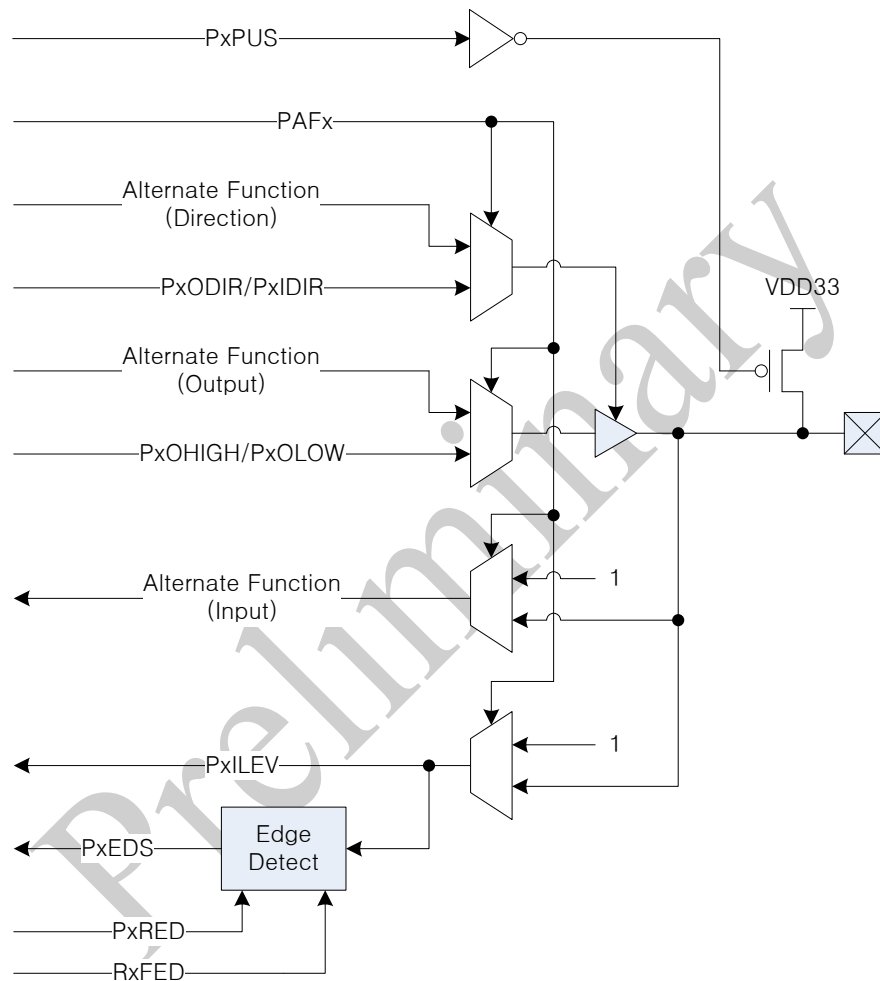


Figure 8-1 GPIO Block Diagram

8.4 GPIO Registers

Port Alternate Function 0 Register (PAF0)

Address : 0x8002_0020

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	P0.7 : P0.7 Port Selection bit 00 : Reserved 01 : Reserved 10 : AD[7] 11 : P0.7	11
13 : 12	R/W	P0.6 : P0.6 Port Selection bit 00 : Reserved 01 : Reserved 10 : AD[6] 11 : P0.6	11
11 : 10	R/W	P0.5 : P0.5 Port Selection bit 00 : Reserved 01 : Reserved 10 : AD[5] 11 : P0.5	11
9 : 8	R/W	P0.4 : P0.4 Port Selection bit 00 : Reserved 01 : Reserved 10 : AD[4] 11 : P0.4	11
7 : 6	R/W	P0.3 : P0.3 Port Selection bit 00 : Reserved 01 : Reserved 10 : AD[3] 11 : P0.3	11
5 : 4	R/W	P0.2 : P0.2 Port Selection bit 00 : Reserved 01 : Reserved 10 : AD[2] 11 : P0.2	11
3 : 2	R/W	P0.1 : P0.1 Port Selection bit 00 : Reserved 01 : Reserved 10 : AD[1] 11 : P0.1	11
1 : 0	R/W	P0.0 : P0.0 Port Selection bit 00 : Reserved 01 : Reserved 10 : AD[0] 11 : P0.0	11

Port Alternate Function 1 Register (PAF1)

Address : 0x8002_0024

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	P1.7 : P1.7 Port Selection bit 00 : RX[7] 01 : KEYI[3] 10 : AD[15] 11 : P1.7	11
13 : 12	R/W	P1.6 : P1.6 Port Selection bit 00 : TX[7] 01 : KEYO[3] 10 : AD[14] 11 : P1.6	11
11 : 10	R/W	P1.5 : P1.5 Port Selection bit 00 : RX[6] 01 : KEYI[2] 10 : AD[13] 11 : P1.5	11
9 : 8	R/W	P1.4 : P1.4 Port Selection bit 00 : TX[6] 01 : KEYO[2] 10 : AD[12] 11 : P1.4	11
7 : 6	R/W	P1.3 : P1.3 Port Selection bit 00 : RX[5] 01 : KEYI[1] 10 : AD[11] 11 : P1.3	11
5 : 4	R/W	P1.2 : P1.2 Port Selection bit 00 : TX[5] 01 : KEYO[1] 10 : AD[10] 11 : P1.2	11
3 : 2	R/W	P1.1 : P1.1 Port Selection bit 00 : RX[4] 01 : KEYI[0] 10 : AD[9] 11 : P1.1	11
1 : 0	R/W	P1.0 : P1.0 Port Selection bit 00 : TX[4] 01 : KEYO[0] 10 : AD[8] 11 : P1.0	11

Port Alternate Function 2 Register (PAF2)

Address : 0x8002_0028

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	P2.7 : P2.7 Port Selection bit 00 : Reserved 01 : SPI_nSS 10 : SRAM_nCS[3] 11 : P2.7	11
13 : 12	R/W	P2.6 : P2.6 Port Selection bit 00 : Reserved 01 : Reserved 10 : SRAM_nCS[2] 11 : P2.6	11
11 : 10	R/W	P2.5 : P2.5 Port Selection bit 00 : Reserved 01 : Reserved 10 : SRAM_nCS[1] 11 : P2.5	11
9 : 8	R/W	P2.4 : P2.4 Port Selection bit 00 : Reserved 01 : Reserved 10 : SRAM_nCS[0] 11 : P2.4	11
7 : 6	R/W	P2.3 : P2.3 Port Selection bit 00 : Reserved 01 : Reserved 10 : SRAM_nWE 11 : P2.3	11
5 : 4	R/W	P2.2 : P2.2 Port Selection bit 00 : Reserved 01 : Reserved 10 : SRAM_nRE 11 : P2.2	11
3 : 2	R/W	P2.1 : P2.1 Port Selection bit 00 : Reserved 01 : Reserved 10 : SRAM_ALE1 11 : P2.1	11
1 : 0	R/W	P2.0 : P2.0 Port Selection bit 00 : Reserved 01 : Reserved 10 : SRAM_ALE0 11 : P2.0	11

Port Alternate Function 3 Register (PAF3)

Address : 0x8002_002C

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	P3.7 : P3.7 Port Selection bit 00 : nNMI 01 : Reserved 10 : NDFL_nBUSY 11 : P3.7	11
13 : 12	R/W	P3.6 : P3.6 Port Selection bit 00 : Reserved 01 : Reserved 10 : NDFL_nRE 11 : P3.6	11
11 : 10	R/W	P3.5 : P3.5 Port Selection bit 00 : Reserved 01 : Reserved 10 : NDFL_nCS 11 : P3.5	11
9 : 8	R/W	P3.4 : P3.4 Port Selection bit 00 : Reserved 01 : Reserved 10 : NDFL_CLE 11 : P3.4	11
7 : 6	R/W	P3.3 : P3.3 Port Selection bit 00 : Reserved 01 : Reserved 10 : NDFL_ALE 11 : P3.3	11
5 : 4	R/W	P3.2 : P3.2 Port Selection bit 00 : Reserved 01 : Reserved 10 : NDFL_nWE 11 : P3.2	11
3 : 2	R/W	P3.1 : P3.1 Port Selection bit 00 : EIRQ[1] 01 : Reserved 10 : nBE1 11 : P3.1	11
1 : 0	R/W	P3.0 : P3.0 Port Selection bit 00 : EIRQ[0] 01 : Reserved 10 : nWAIT 11 : P3.0	11

Port Alternate Function 4 Register (PAF4)

Address : 0x8002_0030

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	P4.7 : P4.7 Port Selection bit 00 : RX[3] 01 : Reserved 10 : TWL_SDA 11 : P4.7	11
13 : 12	R/W	P4.6 : P4.6 Port Selection bit 00 : TX[3] 01 : Reserved 10 : TWL_SCL 11 : P4.6	11
11 : 10	R/W	P4.5 : P4.5 Port Selection bit 00 : RX[2] 01 : Reserved 10 : SDCD_CMD 11 : P4.5	11
9 : 8	R/W	P4.4 : P4.4 Port Selection bit 00 : TX[2] 01 : SPI_SCK 10 : SDCD_CLK 11 : P4.4	11
7 : 6	R/W	P4.3 : P4.3 Port Selection bit 00 : RX[1] 01 : SPI_MISO 10 : SDCD_D[2] 11 : P4.3	11
5 : 4	R/W	P4.2 : P4.2 Port Selection bit 00 : TX[1] 01 : SPI_MOSI 10 : SDCD_D[3] 11 : P4.2	11
3 : 2	R/W	P4.1 : P4.1 Port Selection bit 00 : RX[0] 01 : Reserved 10 : I2S_SDI 11 : P4.1	11
1 : 0	R/W	P4.0 : P4.0 Port Selection bit 00 : TX[0] 01 : Reserved 10 : I2S_SDO 11 : P4.0	11

Port Alternate Function 5 Register (PAF5)

Address : 0x8002_0034

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	P5.7 : P5.7 Port Selection bit 00 : TMO[7] 01 : CAP[7] 10 : A[18] 11 : P5.7	11
13 : 12	R/W	P5.6 : P5.6 Port Selection bit 00 : TMO[6] 01 : CAP[6] 10 : A[17] 11 : P5.6	11
11 : 10	R/W	P5.5 : P5.5 Port Selection bit 00 : TMO[5] 01 : CAP[5] 10 : A[16] 11 : P5.5	11
9 : 8	R/W	P5.4 : P5.4 Port Selection bit 00 : TMO[4] 01 : CAP[4] 10 : I2S_MCLK 11 : P5.4	11
7 : 6	R/W	P5.3 : P5.3 Port Selection bit 00 : TMO[3] 01 : CAP[3] 10 : I2S_SCLK 11 : P5.3	11
5 : 4	R/W	P5.2 : P5.2 Port Selection bit 00 : TMO[2] 01 : CAP[2] 10 : I2S_LRCK 11 : P5.2	11
3 : 2	R/W	P5.1 : P5.1 Port Selection bit 00 : TMO[1] 01 : CAP[1] 10 : SDCD_D[0] 11 : P5.1	11
1 : 0	R/W	P5.0 : P5.0 Port Selection bit 00 : TMO[0] 01 : CAP[0] 10 : SDCD_D[1] 11 : P5.0	11

Port Alternate Function 6 Register (PAF6)

Address : 0x8002_0038

Bit	R/W	Description	Default Value
31 : 10	R	Reserved	-
9 : 8	R/W	P6.4 : P6.4 Port Selection bit 00 : POREN 01 : Reserved 10 : Reserved 11 : P6.4	00
7 : 6	R/W	P6.3 : P6.3 Port Selection bit 00 : TDI 01 : Reserved 10 : Reserved 11 : P6.3	00
5 : 4	R/W	P6.2 : P6.2 Port Selection bit 00 : TMS 01 : Reserved 10 : Reserved 11 : P6.2	00
3 : 2	R/W	P6.1 : P6.1 Port Selection bit 00 : TCK 01 : Reserved 10 : Reserved 11 : P6.1	00
1 : 0	R/W	P6.0 : P6.0 Port Selection bit 00 : TRST 01 : Reserved 10 : Reserved 11 : P6.0	00

Port Direction Registers (PxDIR)

Address : 0x8002_3400 / 0x8002_3440 / 0x8002_3480 /
 0x8002_3500 / 0x8002_3540 / 0x8002_3580 /
 0x8002_3600

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	Px.yDIR : Px.y Direction bit 0 : Input 1 : Output	0x00

Port Direction Output Mode Setting Registers (PxODIR)

Address : 0x8002_3400 / 0x8002_3440 / 0x8002_3480 /
 0x8002_3500 / 0x8002_3540 / 0x8002_3580 /
 0x8002_3600

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	Px.7ODIR : Px.7 Direction Output Mode Setting bit	-
6	W	Px.6ODIR : Px.6 Direction Output Mode Setting bit	-
5	W	Px.5ODIR : Px.5 Direction Output Mode Setting bit	-
4	W	Px.4ODIR : Px.4 Direction Output Mode Setting bit	-
3	W	Px.3ODIR : Px.3 Direction Output Mode Setting bit	-
2	W	Px.2ODIR : Px.2 Direction Output Mode Setting bit	-
1	W	Px.1ODIR : Px.1 Direction Output Mode Setting bit	-
0	W	Px.0ODIR : Px.0 Direction Output Mode Setting bit	-

*** Port Direction Output Mode Setting bit

0 : No effect 1 : Set to output mode the corresponding bit in the PxDIR registers

Port Direction Input Mode Setting Registers (PxIDIR)

Address : 0x8002_3404 / 0x8002_3444 / 0x8002_3484 /
 0x8002_3504 / 0x8002_3544 / 0x8002_3584 /
 0x8002_3604

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	Px.7IDIR : Px.7 Direction Input Mode Setting bit	-
6	W	Px.6IDIR : Px.6 Direction Input Mode Setting bit	-
5	W	Px.5IDIR : Px.5 Direction Input Mode Setting bit	-
4	W	Px.4IDIR : Px.4 Direction Input Mode Setting bit	-
3	W	Px.3IDIR : Px.3 Direction Input Mode Setting bit	-
2	W	Px.2IDIR : Px.2 Direction Input Mode Setting bit	-
1	W	Px.1IDIR : Px.1 Direction Input Mode Setting bit	-
0	W	Px.0IDIR : Px.0 Direction Input Mode Setting bit	-

*** Port Direction Input Mode Setting bit

0 : No effect 1 : Set to input mode the corresponding bit in the PxDIR registers

Port Output Data Level Registers (PxOLEV)

Address : 0x8002_3408 / 0x8002_3448 / 0x8002_3488 /
 0x8002_3508 / 0x8002_3548 / 0x8002_3588 /
 0x8002_3608

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	Px.yOLEV : Px.y Output Level bit 0 : Low Level 1 : High Level	0x00

Port Output Data High Level Setting Registers (PxOHIGH)

Address : 0x8002_3408 / 0x8002_3448 / 0x8002_3488 /
 0x8002_3508 / 0x8002_3548 / 0x8002_3588 /
 0x8002_3608

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	Px.7OH : Px.7 Output Data High Level Setting bit	-
6	W	Px.6OH : Px.6 Output Data High Level Setting bit	-
5	W	Px.5OH : Px.5 Output Data High Level Setting bit	-
4	W	Px.4OH : Px.4 Output Data High Level Setting bit	-
3	W	Px.3OH : Px.3 Output Data High Level Setting bit	-
2	W	Px.2OH : Px.2 Output Data High Level Setting bit	-
1	W	Px.1OH : Px.1 Output Data High Level Setting bit	-
0	W	Px.0OH : Px.0 Output Data High Level Setting bit	-

*** Port Output Data High Level Setting bit

0 : No effect

1 : Set to high level output data the corresponding bit in the PxOLEV registers

Port Output Data Low Level Setting Registers (PxOLOW)

Address : 0x8002_340C / 0x8002_344C / 0x8002_348C /
 0x8002_350C / 0x8002_354C / 0x8002_358C /
 0x8002_360C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	Px.7OL : Px.7 Output Data Low Level Setting bit	-
6	W	Px.6OL : Px.6 Output Data Low Level Setting bit	-
5	W	Px.5OL : Px.5 Output Data Low Level Setting bit	-
4	W	Px.4OL : Px.4 Output Data Low Level Setting bit	-
3	W	Px.3OL : Px.3 Output Data Low Level Setting bit	-
2	W	Px.2OL : Px.2 Output Data Low Level Setting bit	-
1	W	Px.1OL : Px.1 Output Data Low Level Setting bit	-
0	W	Px.0OL : Px.0 Output Data Low Level Setting bit	-

*** Port Output Data Low Level Setting bit

0 : No effect

1 : Set to low level output data the corresponding bit in the PxOLEV registers

Port Input Data Level Registers (PxILEV)

Address : 0x8002_3410 / 0x8002_3450 / 0x8002_3490 /
 0x8002_3510 / 0x8002_3550 / 0x8002_3590 /
 0x8002_3610

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	Px.7ILEV : Px.7 Input Level bit 0 : Low Level 1 : High Level	Pull-up
6	R	Px.6ILEV : Px.6 Input Level bit 0 : Low Level 1 : High Level	Pull-up
5	R	Px.5ILEV : Px.5 Input Level bit 0 : Low Level 1 : High Level	Pull-up
4	R	Px.4ILEV : Px.4 Input Level bit 0 : Low Level 1 : High Level	Pull-up
3	R	Px.3ILEV : Px.3 Input Level bit 0 : Low Level 1 : High Level	Pull-up
2	R	Px.2ILEV : Px.2 Input Level bit 0 : Low Level 1 : High Level	Pull-up
1	R	Px.1ILEV : Px.1 Input Level bit 0 : Low Level 1 : High Level	Pull-up
0	R	Px.0ILEV : Px.0 Input Level bit 0 : Low Level 1 : High Level	Pull-up

Port Pull-up Status Registers (PxPUS)

Address : 0x8002_3418 / 0x8002_3458 / 0x8002_3498 /
 0x8002_3518 / 0x8002_3558 / 0x8002_3598 /
 0x8002_3618

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R	Px.yUP : Px.y Pull-up Status bit 0 : Pull-up Disable 1 : Pull-up Enable	0xFF

Port Pull-up Enable Registers (PxPUEN)

Address : 0x8002_3418 / 0x8002_3458 / 0x8002_3498 /
 0x8002_3518 / 0x8002_3558 / 0x8002_3598 /
 0x8002_3618

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	Px.7PUEN : Px.7 Pull-up enable bit	-
6	W	Px.6PUEN : Px.6 Pull-up enable bit	-
5	W	Px.5PUEN : Px.5 Pull-up enable bit	-
4	W	Px.4PUEN : Px.4 Pull-up enable bit	-
3	W	Px.3PUEN : Px.3 Pull-up enable bit	-
2	W	Px.2PUEN : Px.2 Pull-up enable bit	-
1	W	Px.1PUEN : Px.1 Pull-up enable bit	-
0	W	Px.0PUEN : Px.0 Pull-up enable bit	-

*** Port Pull-up enable bit

0 : No effect

1 : Set to pull-up the corresponding bit in the PxPUS registers

Port Pull-up Disable Registers (PxPUDIS)

Address : 0x8002_341C / 0x8002_345C / 0x8002_349C /
 0x8002_351C / 0x8002_355C / 0x8002_359C /
 0x8002_361C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	W	Px.7PUDIS : Px.7 Pull-up disable bit	-
6	W	Px.6PUDIS : Px.6 Pull-up disable bit	-
5	W	Px.5PUDIS : Px.5 Pull-up disable bit	-
4	W	Px.4PUDIS : Px.4 Pull-up disable bit	-
3	W	Px.3PUDIS : Px.3 Pull-up disable bit	-
2	W	Px.2PUDIS : Px.2 Pull-up disable bit	-
1	W	Px.1PUDIS : Px.1 Pull-up disable bit	-
0	W	Px.0PUDIS : Px.0 Pull-up disable bit	-

*** Port Pull-up disable bit

0 : No effect

1 : Set to pull-up the corresponding bit in the PxPUS registers

Port Rising Edge Detect Registers (PxRED)

Address : 0x8002_3420 / 0x8002_3460 / 0x8002_34A0 /
 0x8002_3520 / 0x8002_3560 / 0x8002_35A0 /
 0x8002_3620

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	Px.7RED : Px.7 Rising Edge Detect bit 0 : Disable 1 : Enable	0
6	R/W	Px.6RED : Px.6 Rising Edge Detect bit 0 : Disable 1 : Enable	0
5	R/W	Px.5RED : Px.5 Rising Edge Detect bit 0 : Disable 1 : Enable	0
4	R/W	Px.4RED : Px.4 Rising Edge Detect bit 0 : Disable 1 : Enable	0
3	R/W	Px.3RED : Px.3 Rising Edge Detect bit 0 : Disable 1 : Enable	0
2	R/W	Px.2RED : Px.2 Rising Edge Detect bit 0 : Disable 1 : Enable	0
1	R/W	Px.1RED : Px.1 Rising Edge Detect bit 0 : Disable 1 : Enable	0
0	R/W	Px.0RED : Px.0 Rising Edge Detect bit 0 : Disable 1 : Enable	0

*** Rising Edge 와 Falling Edge가 동시에 설정되었을 때는 Any Edge mode 가 된다.

Port Falling Edge Detect Registers (PxFED)

Address : 0x8002_3424 / 0x8002_3464 / 0x8002_34A4 /
 0x8002_3524 / 0x8002_3564 / 0x8002_35A4 /
 0x8002_3624

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	Px.7FED : Px.7 Falling Edge Detect bit 0 : Disable 1 : Enable	0
6	R/W	Px.6FED : Px.6 Falling Edge Detect bit 0 : Disable 1 : Enable	0
5	R/W	Px.5FED : Px.5 Falling Edge Detect bit 0 : Disable 1 : Enable	0
4	R/W	Px.4FED : Px.4 Falling Edge Detect bit 0 : Disable 1 : Enable	0
3	R/W	Px.3FED : Px.3 Falling Edge Detect bit 0 : Disable 1 : Enable	0
2	R/W	Px.2FED : Px.2 Falling Edge Detect bit 0 : Disable 1 : Enable	0
1	R/W	Px.1FED : Px.1 Falling Edge Detect bit 0 : Disable 1 : Enable	0
0	R/W	Px.0FED : Px.0 Falling Edge Detect bit 0 : Disable 1 : Enable	0

*** Rising Edge 와 Falling Edge가 동시에 설정되었을 때는 Any Edge mode 가 된다.

Port Edge Detect Status Registers (PxEDS)

Address : 0x8002_3428 / 0x8002_3468 / 0x8002_34A8 /
 0x8002_3528 / 0x8002_3568 / 0x8002_35A8 /
 0x8002_3628

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	Px.7EDS : Px.7 Edge Detect Status bit	0
6	R/W	Px.6EDS : Px.6 Edge Detect Status bit	0
5	R/W	Px.5EDS : Px.5 Edge Detect Status bit	0
4	R/W	Px.4EDS : Px.4 Edge Detect Status bit	0
3	R/W	Px.3EDS : Px.3 Edge Detect Status bit	0
2	R/W	Px.2EDS : Px.2 Edge Detect Status bit	0
1	R/W	Px.1EDS : Px.1 Edge Detect Status bit	0
0	R/W	Px.0EDS : Px.0 Edge Detect Status bit	0

*** Port Edge Detect Status bit

0 : No edge detect has occurred on pin

1 : Edge detect has occurred on pin

*** Status bits are cleared by writing a one to them.

*** Writing a zero to a status bit are no effect.

9 INTERRUPTS

CANTUS는 32개 채널의 인터럽트 입력을 가지며, 이 입력들은 Timer, SPI, TWI, UART 등과 같은 내부 장치에서 발생하는 30개의 인터럽트와 외부 2개의 인터럽트로 구성된다.

Key Features

- 32 채널의 인터럽트 (2 채널의 외부 인터럽트와 30채널의 내부 인터럽트)
- 외부 인터럽트에 대한 동작 조건 설정 (5가지)
- 내부 인터럽트에 대한 동작 조건 설정 (2가지)
- 채널 별 인터럽트 Enable 기능
- 채널 별 인터럽트 Mask 기능
- 개별적으로 프로그램 가능한 인터럽트 우선순위

인터럽트의 순차 처리는 다음과 같은 과정을 통하여 이루어진다.

1. 각 인터럽트 소스들은 인터럽트 제어기에 인터럽트를 요청한다.
2. Interrupt Enable Register에 의해 선별된 후, Interrupt Pending Register에 저장한다.
3. 인터럽트 우선순위를 판단한 후, CPU에 인터럽트를 요청한다.
4. 인터럽트를 요청 받으면 CPU의 인터럽트가 비활성화되며 인터럽트 벡터 주소를 읽어서 해당 Interrupt Service Routine(ISR)으로 진입한다.
5. ISR 을 수행한다.
6. ISR 수행이 끝나면 Interrupt Pending Clear Register에 해당 Vector값을 씌으로써 Interrupt Pending Register에 저장된 인터럽트 값을 지운다.
7. ISR을 빠져나오면서 CPU의 인터럽트가 활성화된다.

인터럽트의 중첩 처리는 다음과 같은 과정을 통하여 이루어진다.

1. 각 인터럽트 소스들은 인터럽트 제어기에 인터럽트를 요청한다.
2. Interrupt Enable Register에 의해 선별된 후, Interrupt Pending Register에 저장한다.
3. 인터럽트 우선순위를 판단한 후, CPU에 인터럽트를 요청한다.
4. 인터럽트를 요청 받으면 CPU의 인터럽트가 비활성화되며 인터럽트 벡터 주소를 읽어서 해당 Interrupt Service Routine(ISR)으로 진입한다.
5. 인터럽트의 중첩을 허용하기 위해 Interrupt Pending Clear Register에 해당 Vector값을 씌으로써 Interrupt Pending Register에 저장된 인터럽트 값을 지우고 asm("set 13")을 통해 CPU의 인터럽트를 활성화 시킨다.
6. ISR을 수행한다.
7. 만약, 현재 ISR의 수행 도중 다시 인터럽트가 발생하면 중첩 처리가 허용되어 해당 ISR로 진입한다.
8. 새롭게 진입한 ISR의 수행이 끝나면 이전 ISR로 복귀하여 나머지 수행을 진행한다.
9. ISR 수행이 끝나면 완전히 빠져 나온다.

9.1 Interrupt Vector and Priority

인터럽트 우선순위는 EIRQ0가 가장 높다. 인터럽트 벡터 주소는 CPU가 32bit Addressing을 하기 때문에 각각 4bytes의 크기를 가진다.

Table 9-1 Interrupt Vector & Priority

Vector No.	Description	Vector Address
0x3F	UART Ch7 OCR 3B Interrupt	0x000000FC
0x3E	DMA Ch1 Interrupt	0x000000F8
0x3D	TIMER Ch7 KEYSKAN Interrupt	0x000000F4
0x3C	GPIO5 Interrupt	0x000000F0
0x3B	UART Ch6 OCR 3A Interrupt	0x000000EC
0x3A	NFCTRL SDHC Interrupt	0x000000E8
0x39	TIMER Ch6 Interrupt	0x000000E4
0x38	GPIO4 Interrupt	0x000000E0
0x37	UART Ch5 / OCR 2B Interrupt	0x000000DC
0x36	VOICE Interrupt	0x000000D8
0x35	TIMER Ch5 Interrupt	0x000000D4
0x34	GPIO3 Interrupt	0x000000D0
0x33	UART Ch4 OCR 2A Interrupt	0x000000CC
0x32	TWI / PWK and RTC Interrupt	0x000000C8
0x31	TIMER Ch4 Interrupt	0x000000C4
0x30	GPIO2 Interrupt	0x000000C0
0x2F	UART Ch3 Interrupt	0x000000BC
0x2E	SPI Interrupt	0x000000B8
0x2D	TIMER Ch3 Interrupt	0x000000B4
0x2C	GPIO1 Interrupt	0x000000B0
0x2B	UART Ch2 Interrupt	0x000000AC
0x2A	USB Device Interrupt	0x000000A8
0x29	TIMER Ch2 Interrupt	0x000000A4
0x28	GPIO0 Interrupt	0x000000A0
0x27	UART Ch1 Interrupt	0x0000009C
0x26	DMA Ch0 Interrupt	0x00000098
0x25	TIMER Ch1 Interrupt	0x00000094
0x24	EIRQ1 Interrupt	0x00000090
0x23	UART Ch0 Interrupt	0x0000008C
0x22	I2S Interrupt	0x00000088
0x21	TIMER Ch0 Interrupt	0x00000084
0x20	EIRQ0 Interrupt (Highest Priority)	0x00000080

9.2 External Interrupt (EIRQ0/EIRQ1)

External Interrupt는 EINTMOD 레지스터의 설정에 의해 5가지 형태의 외부 인터럽트를 받아들인다.

- Low Level Mode에서는 External Interrupt 신호가 “Low”를 유지하는 동안에 매 System Cycle 마다 인터럽트 발생시킨다.
- High Level Mode에서는 External Interrupt 신호가 “High”를 유지하는 동안에 매 System Cycle 마다 인터럽트를 발생시킨다.
- Falling Edge Mode에서는 External Interrupt 신호가 “High->Low”로 바뀔 때 인터럽트를 발생시킨다.
- Rising Edge Mode에서는 External Interrupt 신호가 “Low->High”로 바뀔 때 인터럽트를 발생시킨다.
- Any Edge Mode에서는 External Interrupt 신호가 “High->Low” 또는 “Low-> High”로 바뀔 때 인터럽트를 발생시킨다.

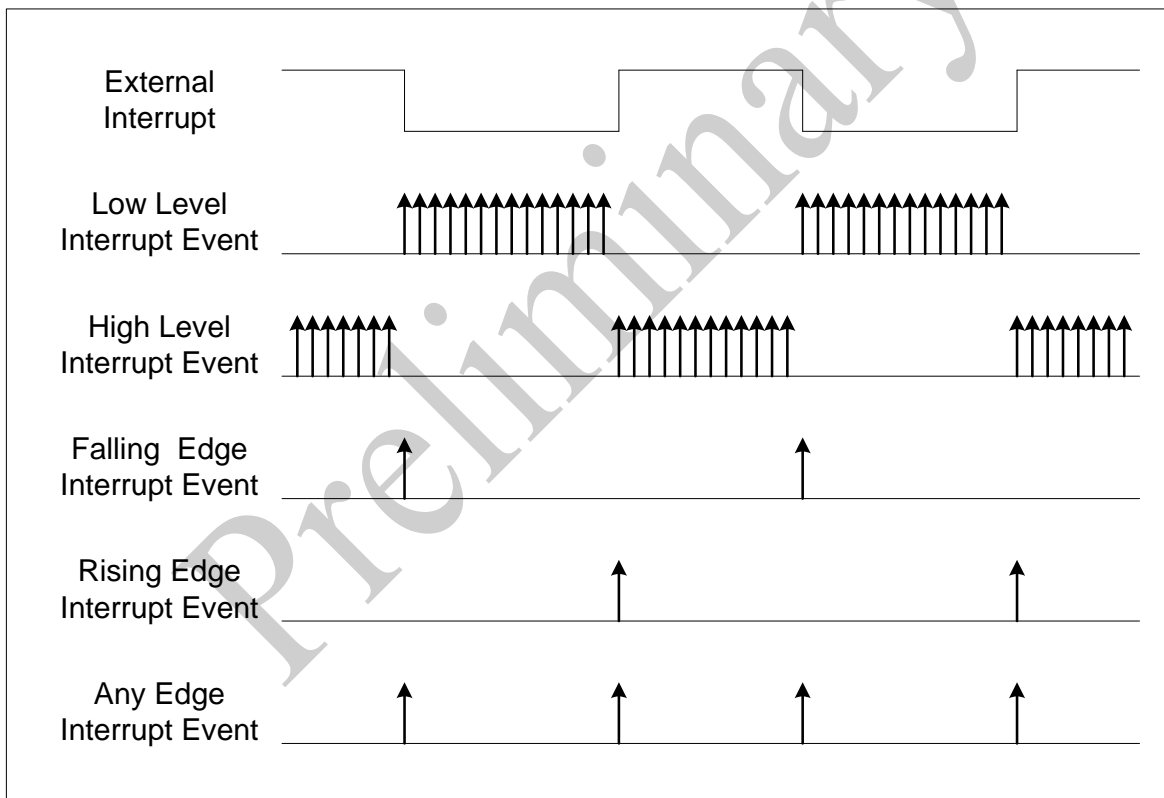


Figure 9-1 External Interrupt Mode

9.3 Internal Interrupt Mode

내부 인터럽트는 모두 “Rising Edge”로 동작한다. 그러나 사용자가 “High Level”로 인터럽트를 처리를 원할 경우에 Internal Interrupt Mode Registers를 통해 설정할 수 있다.

9.4 Interrupt Pending and Interrupt Pending Clear

각 인터럽트의 발생상태는 Interrupt Pending Registers를 통해 확인할 수 있다. 일단 한번 발생한 인터럽트는 Interrupt Pending Clear Register에 의해 Clear 되기 전까지는 계속 Interrupt Pending Register에 저장된다. 또한 현재 발생한 인터럽트보다 높은 우선순위의 인터럽트가 Masking되지 않은 상태로 Interrupt Pending Registers에 저장되어 있을 경우에는 높은 우선순위의 인터럽트가 모두 Clear될 때까지 Interrupt Pending Registers에 저장되어 자신의 우선순위가 되기를 기다린다.

Interrupt Pending Registers에 저장된 인터럽트들을 Clear하기 위해서는 Interrupt Pending Clear Register를 통해 해당 인터럽트 벡터 번호 값을 Write하면 된다.

9.5 Interrupt Enable

Interrupt Mask Registers에 의해 Mask되어 있는 인터럽트는 Interrupt Pending Registers에 계속 저장되는데 비해, Interrupt Enable Registers(IENR)에 의해 Disable된 인터럽트는 Interrupt Pending Registers에 저장되지 않는다. 따라서 이 레지스터는 전혀 받아들이고 싶지 않은 인터럽트에 대해 Disable 하는데 사용한다.

9.6 Interrupt Mask Set/Clear Register

Set 이면 Request 가 Enable 되고, Clear 이면 Request 가 Disable 된다.

각 인터럽트는 Interrupt Mask Registers에 의해 해당 인터럽트에 대한 Request를 수행할 수 있다. Interrupt Mask Set bit 가 “1”일 경우에는 Interrupt Pending Register에 저장된 Interrupt를 CPU로 요청하고, Interrupt Mask Clear bit가 “1” 일 경우에는 Interrupt Pending Register에 저장되어 있는 Interrupt를 CPU로 요청하지 못한다.

Mask bit가 “0”으로 설정된 인터럽트라도 Interrupt Pending Registers(IPR)에는 저장되기 때문에 Mask bit을 “1”로 재설정하면 Interrupt Pending Registers에 저장되어 있는 인터럽트가 우선순위에 의해 인터럽트를 다시 요청한다.

9.7 Interrupt Control Registers

Interrupt Pending Clear Register (PENDCLR)

Offset Address : 0x8002_0800

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	W	Interrupt Pending Register Clear Value (0x20 ~ 0x3F)	0xFF

*** Interrupt Pending Register를 Clear 하기 위해서는 Interrupt Vector No. 값으로 clear 해야 한다. (Interrupt Vector No. 참고)

External Interrupt Mode and External PIN Level Register (EINTMOD)

Offset Address : 0x8002_0804

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	EIRQ1ST : EIRQ1 PIN Level	-
6 : 4	R/W	EIRQ1MOD : EIRQ1 Active State 000 : Low Level 001 : High Level 010 : Falling Edge 011 : Rising Edge 1xx : Any Edge	010
3	R	EIRQ0ST : EIRQ0 PIN Level	-
2 : 0	R/W	EIRQ0MOD : EIRQ0 Active State 000 : Low Level 001 : High Level 010 : Falling Edge 011 : Rising Edge 1xx : Any Edge	010

Internal Interrupt Mode Register (IINTMOD)

Offset Address : 0x8002_0808

Bit	R/W	Description	Default Value
31	R/W	Vector No. 0x3F Interrupt Mode bit	1
30	R/W	Vector No. 0x3E Interrupt Mode bit	1
29	R/W	Vector No. 0x3D Interrupt Mode bit	1
28	R/W	Vector No. 0x3C Interrupt Mode bit	1
27	R/W	Vector No. 0x3B Interrupt Mode bit	1
26	R/W	Vector No. 0x3A Interrupt Mode bit	1
25	R/W	Vector No. 0x39 Interrupt Mode bit	1
24	R/W	Vector No. 0x38 Interrupt Mode bit	1
23	R/W	Vector No. 0x37 Interrupt Mode bit	1
22	R/W	Vector No. 0x36 Interrupt Mode bit	1
21	R/W	Vector No. 0x35 Interrupt Mode bit	1
20	R/W	Vector No. 0x34 Interrupt Mode bit	1
19	R/W	Vector No. 0x33 Interrupt Mode bit	1
18	R/W	Vector No. 0x32 Interrupt Mode bit	1
17	R/W	Vector No. 0x31 Interrupt Mode bit	1
16	R/W	Vector No. 0x30 Interrupt Mode bit	1
15	R/W	Vector No. 0x2F Interrupt Mode bit	1
14	R/W	Vector No. 0x2E Interrupt Mode bit	1
13	R/W	Vector No. 0x2D Interrupt Mode bit	1
12	R/W	Vector No. 0x2C Interrupt Mode bit	1
11	R/W	Vector No. 0x2B Interrupt Mode bit	1
10	R/W	Vector No. 0x2A Interrupt Mode bit	1
9	R/W	Vector No. 0x29 Interrupt Mode bit	1
8	R/W	Vector No. 0x28 Interrupt Mode bit	1
7	R/W	Vector No. 0x27 Interrupt Mode bit	1
6	R/W	Vector No. 0x26 Interrupt Mode bit	1
5	R/W	Vector No. 0x25 Interrupt Mode bit	1
4	-	Reserved	-
3	R/W	Vector No. 0x23 Interrupt Mode bit	1
2	R/W	Vector No. 0x22 Interrupt Mode bit	1
1	R/W	Vector No. 0x21 Interrupt Mode bit	1
0	-	Reserved	-

*** Internal Interrupt Mode bit

0 : High Level Mode

1 : Rising Edge Mode

Interrupt Pending Register (INTPEND)

Offset Address : 0x8002_080C

Bit	R/W	Description	Default Value
31	R	Vector No. 0x3F Interrupt Pending bit	-
30	R	Vector No. 0x3E Interrupt Pending bit	-
29	R	Vector No. 0x3D Interrupt Pending bit	-
28	R	Vector No. 0x3C Interrupt Pending bit	-
27	R	Vector No. 0x3B Interrupt Pending bit	-
26	R	Vector No. 0x3A Interrupt Pending bit	-
25	R	Vector No. 0x39 Interrupt Pending bit	-
24	R	Vector No. 0x38 Interrupt Pending bit	-
23	R	Vector No. 0x37 Interrupt Pending bit	-
22	R	Vector No. 0x36 Interrupt Pending bit	-
21	R	Vector No. 0x35 Interrupt Pending bit	-
20	R	Vector No. 0x34 Interrupt Pending bit	-
19	R	Vector No. 0x33 Interrupt Pending bit	-
18	R	Vector No. 0x32 Interrupt Pending bit	-
17	R	Vector No. 0x31 Interrupt Pending bit	-
16	R	Vector No. 0x30 Interrupt Pending bit	-
15	R	Vector No. 0x2F Interrupt Pending bit	-
14	R	Vector No. 0x2E Interrupt Pending bit	-
13	R	Vector No. 0x2D Interrupt Pending bit	-
12	R	Vector No. 0x2C Interrupt Pending bit	-
11	R	Vector No. 0x2B Interrupt Pending bit	-
10	R	Vector No. 0x2A Interrupt Pending bit	-
9	R	Vector No. 0x29 Interrupt Pending bit	-
8	R	Vector No. 0x28 Interrupt Pending bit	-
7	R	Vector No. 0x27 Interrupt Pending bit	-
6	R	Vector No. 0x26 Interrupt Pending bit	-
5	R	Vector No. 0x25 Interrupt Pending bit	-
4	R	Vector No. 0x24 Interrupt Pending bit	-
3	R	Vector No. 0x23 Interrupt Pending bit	-
2	R	Vector No. 0x22 Interrupt Pending bit	-
1	R	Vector No. 0x21 Interrupt Pending bit	-
0	R	Vector No. 0x20 Interrupt Pending bit	-

*** Interrupt Pending Register의 각 비트의 값은 해당 인터럽트가 발생하였음을 나타낸다. Interrupt Pending Register의 값은 Interrupt Pending Clear 레지스터에 의해 Clear된다. 일반적으로 해당 Interrupt 가 끝날 때 Clear한다.

Interrupt Enable Register (INTEN)

Offset Address : 0x8002_0810

Bit	R/W	Description	Default Value
31	R/W	Vector No. 0x3F Interrupt Enable bit	0
30	R/W	Vector No. 0x3E Interrupt Enable bit	0
29	R/W	Vector No. 0x3D Interrupt Enable bit	0
28	R/W	Vector No. 0x3C Interrupt Enable bit	0
27	R/W	Vector No. 0x3B Interrupt Enable bit	0
26	R/W	Vector No. 0x3A Interrupt Enable bit	0
25	R/W	Vector No. 0x39 Interrupt Enable bit	0
24	R/W	Vector No. 0x38 Interrupt Enable bit	0
23	R/W	Vector No. 0x37 Interrupt Enable bit	0
22	R/W	Vector No. 0x36 Interrupt Enable bit	0
21	R/W	Vector No. 0x35 Interrupt Enable bit	0
20	R/W	Vector No. 0x34 Interrupt Enable bit	0
19	R/W	Vector No. 0x33 Interrupt Enable bit	0
18	R/W	Vector No. 0x32 Interrupt Enable bit	0
17	R/W	Vector No. 0x31 Interrupt Enable bit	0
16	R/W	Vector No. 0x30 Interrupt Enable bit	0
15	R/W	Vector No. 0x2F Interrupt Enable bit	0
14	R/W	Vector No. 0x2E Interrupt Enable bit	0
13	R/W	Vector No. 0x2D Interrupt Enable bit	0
12	R/W	Vector No. 0x2C Interrupt Enable bit	0
11	R/W	Vector No. 0x2B Interrupt Enable bit	0
10	R/W	Vector No. 0x2A Interrupt Enable bit	0
9	R/W	Vector No. 0x29 Interrupt Enable bit	0
8	R/W	Vector No. 0x28 Interrupt Enable bit	0
7	R/W	Vector No. 0x27 Interrupt Enable bit	0
6	R/W	Vector No. 0x26 Interrupt Enable bit	0
5	R/W	Vector No. 0x25 Interrupt Enable bit	0
4	R/W	Vector No. 0x24 Interrupt Enable bit	0
3	R/W	Vector No. 0x23 Interrupt Enable bit	0
2	R/W	Vector No. 0x22 Interrupt Enable bit	0
1	R/W	Vector No. 0x21 Interrupt Enable bit	0
0	R/W	Vector No. 0x20 Interrupt Enable bit	0

*** Interrupt Enable bit

0 : Interrupt Disable

1 : Interrupt Enable

Interrupt Mask Status Register (INTMASK)

Offset Address : 0x8002_0814

Bit	R/W	Description	Default Value
31 : 0	R	Interrupt Mask Status Register	0x0000_0000

*** 모든 Mask bit의 상태를 확인할 수 있다.

Interrupt Mask Set Register (MASKSET)

Offset Address : 0x8002_0814h

Bit	R/W	Description	Default Value
31	W	Vector No. 0x3F Interrupt Request Set bit	0
30	W	Vector No. 0x3E Interrupt Request Set bit	0
29	W	Vector No. 0x3D Interrupt Request Set bit	0
28	W	Vector No. 0x3C Interrupt Request Set bit	0
27	W	Vector No. 0x3B Interrupt Request Set bit	0
26	W	Vector No. 0x3A Interrupt Request Set bit	0
25	W	Vector No. 0x39 Interrupt Request Set bit	0
24	W	Vector No. 0x38 Interrupt Request Set bit	0
23	W	Vector No. 0x37 Interrupt Request Set bit	0
22	W	Vector No. 0x36 Interrupt Request Set bit	0
21	W	Vector No. 0x35 Interrupt Request Set bit	0
20	W	Vector No. 0x34 Interrupt Request Set bit	0
19	W	Vector No. 0x33 Interrupt Request Set bit	0
18	W	Vector No. 0x32 Interrupt Request Set bit	0
17	W	Vector No. 0x31 Interrupt Request Set bit	0
16	W	Vector No. 0x30 Interrupt Request Set bit	0
15	W	Vector No. 0x2F Interrupt Request Set bit	0
14	W	Vector No. 0x2E Interrupt Request Set bit	0
13	W	Vector No. 0x2D Interrupt Request Set bit	0
12	W	Vector No. 0x2C Interrupt Request Set bit	0
11	W	Vector No. 0x2B Interrupt Request Set bit	0
10	W	Vector No. 0x2A Interrupt Request Set bit	0
9	W	Vector No. 0x29 Interrupt Request Set bit	0
8	W	Vector No. 0x28 Interrupt Request Set bit	0
7	W	Vector No. 0x27 Interrupt Request Set bit	0
6	W	Vector No. 0x26 Interrupt Request Set bit	0
5	W	Vector No. 0x25 Interrupt Request Set bit	0
4	W	Vector No. 0x24 Interrupt Request Set bit	0
3	W	Vector No. 0x23 Interrupt Request Set bit	0
2	W	Vector No. 0x22 Interrupt Request Set bit	0
1	W	Vector No. 0x21 Interrupt Request Set bit	0
0	W	Vector No. 0x20 Interrupt Request Set bit	0

*** Interrupt Request Set bit

0 : No Effect interrupt Mask.

1 : Pending interrupt is allowed to become active (interrupts sent to CPU).

Interrupt Mask Clear Register (MASKCLR)

Offset Address : 0x8002_0818

Bit	R/W	Description	Default Value
31	W	Vector No. 0x3F Interrupt Request Clear bit	0
30	W	Vector No. 0x3E Interrupt Request Clear bit	0
29	W	Vector No. 0x3D Interrupt Request Clear bit	0
28	W	Vector No. 0x3C Interrupt Request Clear bit	0
27	W	Vector No. 0x3B Interrupt Request Clear bit	0
26	W	Vector No. 0x3A Interrupt Request Clear bit	0
25	W	Vector No. 0x39 Interrupt Request Clear bit	0
24	W	Vector No. 0x38 Interrupt Request Clear bit	0
23	W	Vector No. 0x37 Interrupt Request Clear bit	0
22	W	Vector No. 0x36 Interrupt Request Clear bit	0
21	W	Vector No. 0x35 Interrupt Request Clear bit	0
20	W	Vector No. 0x34 Interrupt Request Clear bit	0
19	W	Vector No. 0x33 Interrupt Request Clear bit	0
18	W	Vector No. 0x32 Interrupt Request Clear bit	0
17	W	Vector No. 0x31 Interrupt Request Clear bit	0
16	W	Vector No. 0x30 Interrupt Request Clear bit	0
15	W	Vector No. 0x2f Interrupt Request Clear bit	0
14	W	Vector No. 0x2E Interrupt Request Clear bit	0
13	W	Vector No. 0x2D Interrupt Request Clear bit	0
12	W	Vector No. 0x2C Interrupt Request Clear bit	0
11	W	Vector No. 0x2B Interrupt Request Clear bit	0
10	W	Vector No. 0x2A Interrupt Request Clear bit	0
9	W	Vector No. 0x29 Interrupt Request Clear bit	0
8	W	Vector No. 0x28 Interrupt Request Clear bit	0
7	W	Vector No. 0x27 Interrupt Request Clear bit	0
6	W	Vector No. 0x26 Interrupt Request Clear bit	0
5	W	Vector No. 0x25 Interrupt Request Clear bit	0
4	W	Vector No. 0x24 Interrupt Request Clear bit	0
3	W	Vector No. 0x23 Interrupt Request Clear bit	0
2	W	Vector No. 0x22 Interrupt Request Clear bit	0
1	W	Vector No. 0x21 Interrupt Request Clear bit	0
0	W	Vector No. 0x20 Interrupt Request Clear bit	0

*** Interrupt Request Clear bit

0 : No Effect Interrupt Mask.

1 : Pending interrupt is masked from becoming active (interrupts not sent to CPU).

Programmable Interrupt Priority Enable Register (PPENR)

Offset Address : 0x8002_081C

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	R/W	Programmable Priority Enable bit 0 : Programmable Priority Disable 1 : Programmable Priority Enable	0

Interrupt Priority Vector 0 Register (IPVR0)

Offset Address : 0x8002_0820

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Vector No. 0x23 Interrupt Priority	0x03
23 : 21	R	Reserved	-
20 : 16	R/W	Vector No. 0x22 Interrupt Priority	0x02
15 : 13	R	Reserved	-
12 : 8	R/W	Vector No. 0x21 Interrupt Priority	0x01
7 : 5	R	Reserved	-
4 : 0	RW	Vector No. 0x20 Interrupt Priority	0x00

Interrupt Priority Vector 1 Register (IPVR1)

Offset Address : 0x8002_0824

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Vector No. 0x27 Interrupt Priority	0x07
23 : 21	R	Reserved	-
20 : 16	R/W	Vector No. 0x26 Interrupt Priority	0x06
15 : 13	R	Reserved	-
12 : 8	R/W	Vector No. 0x25 Interrupt Priority	0x05
7 : 5	R	Reserved	-
4 : 0	R/W	Vector No. 0x24 Interrupt Priority	0x04

Interrupt Priority Vector 2 Register (IPVR2)

Offset Address : 0x8002_0828

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Vector No. 0x2B Interrupt Priority	0x0B
23 : 21	R	Reserved	-
20 : 16	R/W	Vector No. 0x2A Interrupt Priority	0x0A
15 : 13	R	Reserved	-
12 : 8	R/W	Vector No. 0x29 Interrupt Priority	0x09
7 : 5	R	Reserved	-
4 : 0	R/W	Vector No. 0x28 Interrupt Priority	0x08

Interrupt Priority Vector 3 Register (IPVR3)

Offset Address : 0x8002_082C

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Vector No. 0x2F Interrupt Priority	0x0F
23 : 21	R	Reserved	-
20 : 16	R/W	Vector No. 0x2E Interrupt Priority	0x0E
15 : 13	R	Reserved	-
12 : 8	R/W	Vector No. 0x2D Interrupt Priority	0x0D
7 : 5	R	Reserved	-
4 : 0	R/W	Vector No. 0x2C Interrupt Priority	0x0C

Interrupt Priority Vector 4 Register (IPVR4)

Offset Address : 0x8002_0830

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Vector No. 0x33 Interrupt Priority	0x13
23 : 21	R	Reserved	-
20 : 16	R/W	Vector No. 0x32 Interrupt Priority	0x12
15 : 13	R	Reserved	-
12 : 8	R/W	Vector No. 0x31 Interrupt Priority	0x11
7 : 5	R	Reserved	-
4 : 0	R/W	Vector No. 0x30 Interrupt Priority	0x10

Interrupt Priority Vector 5 Register (IPVR5)

Offset Address : 0x8002_0834

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Vector No. 0x37 Interrupt Priority	0x17
23 : 21	R	Reserved	-
20 : 16	R/W	Vector No. 0x36 Interrupt Priority	0x16
15 : 13	R	Reserved	-
12 : 8	R/W	Vector No. 0x35 Interrupt Priority	0x15
7 : 5	R	Reserved	-
4 : 0	R/W	Vector No. 0x34 Interrupt Priority	0x14

Interrupt Priority Vector 6 Register (IPVR6)

Offset Address : 0x8002_0838

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Vector No. 0x3B Interrupt Priority	0x1B
23 : 21	R	Reserved	-
20 : 16	R/W	Vector No. 0x3A Interrupt Priority	0x1A
15 : 13	R	Reserved	-
12 : 8	R/W	Vector No. 0x39 Interrupt Priority	0x19
7 : 5	R	Reserved	-
4 : 0	R/W	Vector No. 0x38 Interrupt Priority	0x18

Interrupt Priority Vector 7 Register (IPVR7)

Offset Address : 0x8002_083C

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Vector No. 0x3F Interrupt Priority	0x1F
23 : 21	R	Reserved	-
20 : 16	R/W	Vector No. 0x3E Interrupt Priority	0x1E
15 : 13	R	Reserved	-
12 : 8	R/W	Vector No. 0x3D Interrupt Priority	0x1D
7 : 5	R	Reserved	-
4 : 0	R/W	Vector No. 0x3C Interrupt Priority	0x1C

10 TIMERS

CANTUS은 Timer/Counter, Capture, PWM, 그리고 Output Compare 기능을 가진 32-bit Timer/Counter를 8채널 내장하였다.

Key Features

- 15-bit Pre-scale
- 32-bit Timer/Counter
- 32-bit Capture
- 32-bit PWM
- 32-bit Output Compare

Preliminary

10.1 15-bit Pre-scaler with clock source selection

Pre-scaler는 System Clock(PCLK)과 Capture Clock 핀을 통해 외부로부터 받아들인 입력을 CLKSEL 비트를 통해 선택한 후, 15-bit Pre-scaler를 통해 1/2 ~ 1/32768배 분주된 클럭을 생성하여 Timer/Counter 로 전달한다. Timer/Counter는 Pre-scaler를 통해 분주된 클럭을 선택하여 32-bit Counter 를 구동한다.

Pre-scaler에서 분주되는 클럭의 정확한 위상이 필요할 경우에는 TPxCON레지스터의 CNTCLR 비트를 통하여 Pre-scaler counter를 초기화한 후 사용한다.

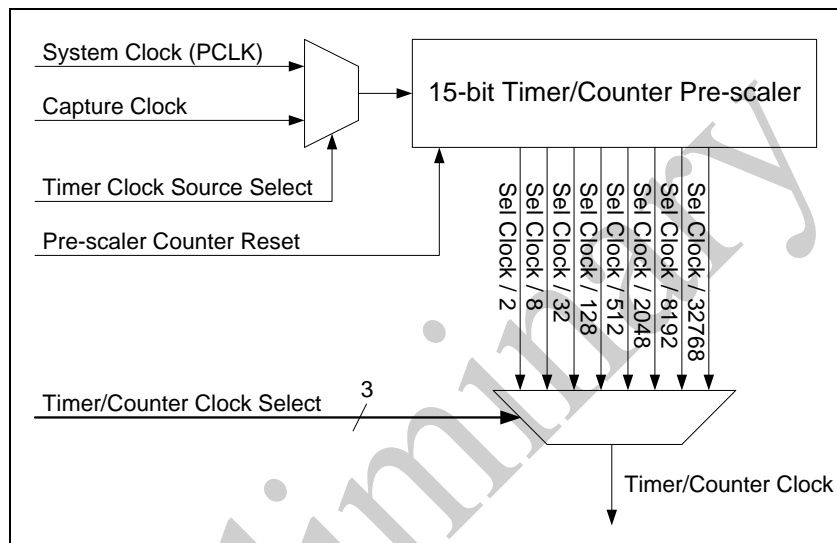


Figure 10-1 Pre-scaler Block Diagram

10.2 Timer/Counter

Pre-scaler에 의해 분주된 Clock을 사용하여 0x0 의 초기값에서 매 클럭마다 카운터 값을 “1” 씩 증가하여 사용자가 설정한 Timer Counter 레지스터 값에 도달하면 다시 0x0 이 되면서 인터럽트를 발생한다.

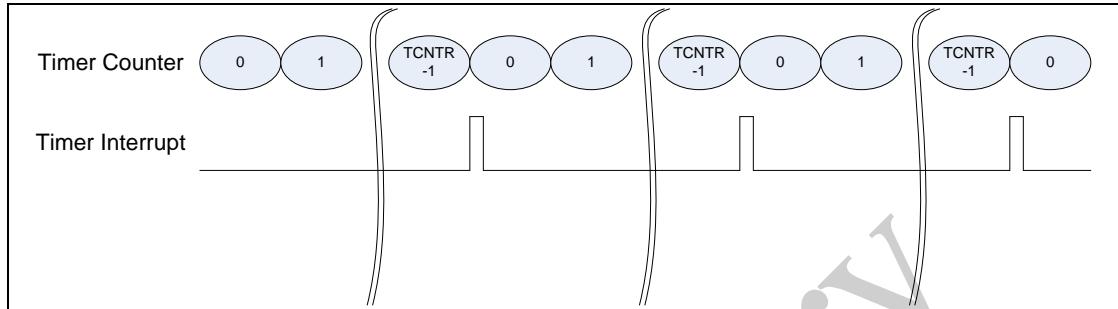


Figure 10-2 Timer Operation

Timer 주기는 선택된 클럭, Pre-scaler 그리고 Timer Counter 에 의해 결정된다.

* Clock Source Frequency : Timer Clock Source Select에 의해 선택되어 15-bit Pre-scaler에 전달되는 Clock의 Frequency.

$$\begin{aligned}
 \text{Timer Period} &= \frac{1}{\text{Clock Source Freq.}} \times \frac{1}{\text{Pre-scaler Factor}} \times (\text{TMCNT}) \text{ [sec]} & \left\{ \frac{1}{\text{Pre-scaler Factor}} \geq 3 \right\} \\
 \text{Timer Period} &= \frac{1}{\text{Clock Source Freq.}} \times \frac{1}{\text{Pre-scaler Factor}} \times (\text{TMCNT} + 1) \text{ [sec]} & \left\{ \frac{1}{\text{Pre-scaler Factor}} < 3 \right\}
 \end{aligned}$$

Timer Period Example :

- Clock Source Frequency : 12MHz System Clock
 - Pre-scaler Factor : 1 / 1024
 - Timer Counter Value (TMCNT) : 1000
- => 1/12MHz X 1024 X 1000 = 85.333msec = 11.718Hz

Timer Counter로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL: Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCTRL's TMOD: Timer Counter 모드를 설정한다.
- TMxCTRL's WAVE: Timer Counter의 주기로 생성된 클럭을 출력유무를 결정한다.
- TMxCTRL's PFSEL: Timer Counter에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN: Timer Counter를 Enable 한다.
- TMxCNT: Timer Counter의 최대 Counter 값을 결정한다.

Timer Counter는 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCNT 설정
- TMxCTRL 설정
- 필요에 따라 TPxCTRL's CNTCLR 비트 설정

10.3 Pulse Width Modulation (PWM)

PWM은 programmable한 duty와 주기의 펄스 신호를 출력하기 위한 제어기 이다.

Pre-scaler에서 설정한 Clock을 통해 동작하며 PWM Period 레지스터 값의 주기로 카운트를 반복하면서 사용자가 설정한 형태의 파형을 출력한다.

PWM의 출력 펄스는 32비트 카운터의 값이 PWM Duty, PWM Period 레지스터 값에 이를 때마다 레벨이 반전되어 출력 파형이 만들어진다. PWM의 출력횟수는 PWM Pulse Number 레지스터에 의해 결정되며 펄스의 출력횟수에 다르면 PWM Interrupt를 발생한다. 그러나 PWM Interrupt가 발생하더라도 별도의 설정이 없을 경우에는 PWM 출력이 계속 생성된다. 따라서 PWM Pulse를 멈추기 위해서는 Timer Interrupt 에서 PWM을 Disable 해야 한다.

$$\begin{aligned}
 \text{Timer Period} &= \frac{1}{\text{Clock Source Freq.}} \times \frac{1}{\text{Pre-scaler Factor}} \times (\text{TMCNT}) \text{ [sec]} && \left\{ \frac{1}{\text{Pre-scaler Factor}} \geq 3 \right\} \\
 \text{Timer Period} &= \frac{1}{\text{Clock Source Freq.}} \times \frac{1}{\text{Pre-scaler Factor}} \times (\text{TMCNT} + 1) \text{ [sec]} && \left\{ \frac{1}{\text{Pre-scaler Factor}} < 3 \right\}
 \end{aligned}$$

PWM Period Example :

- Clock Source Frequency : 12MHz System Clock
 - Pre-scaler Factor : 1 / 1024
 - PWM Period Value(TMxCNT) : 10
 - PWM Duty Value : 6
- => 1/12MHz X 1024 X 10 = 0.853msec = 1.171KHz

PWM으로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL: Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.
- TMxCTRL's TMOD: PWM 모드로 설정한다.
- TMxCTRL's PWML: PWM 출력의 시작 레벨을 결정한다.
- TMxCTRL's PFSEL: PWM에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN: PWM을 Enable 한다.
- TMxCNT: PWM의 주기를 결정한다.
- TMxDUT: PWM의 Duty를 결정한다.
- TMxPUL: PWM의 Pulse 횟수를 결정한다. PWM Pulse의 횟수가 이 레지스터 값에 도달하면 Timer Interrupt가 발생시킨다. 그러나 PWM Pulse는 중지되지 않고 계속 생성된다.

PWM은 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCNT 설정
- TMxDUT 설정
- TMxPUL 설정
- TMxCTRL 설정
- 필요에 따라 TPxCTRL's CNTCLR 설정

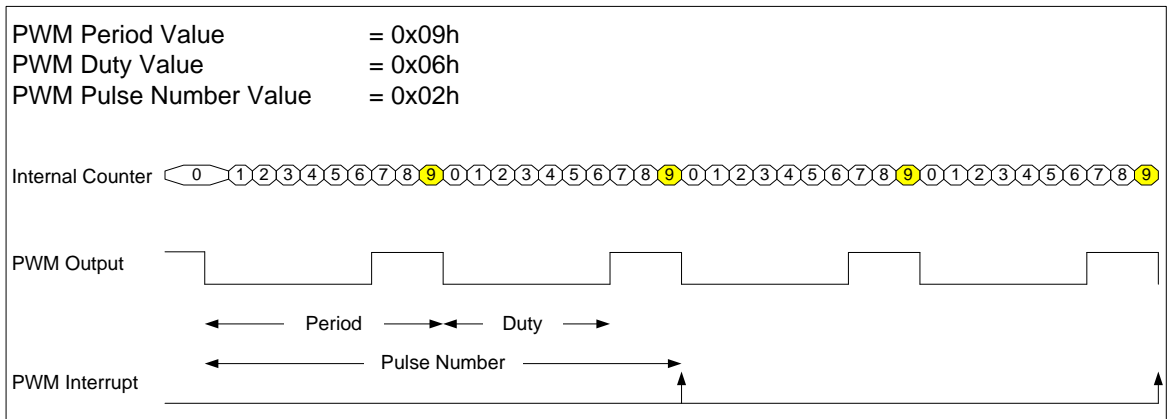


Figure 10-3 PWM Operation

Preliminary

10.4 Capture

Capture 기능은 Pre-scale에서 설정한 Clock을 기준으로 하여 외부 입력을 측정한다.

외부입력은 Low/High Pulse, Only Low Pulse, Only High Pulse, Falling to Falling Period, Rising to Rising Period 의 5가지 형태의 펄스 주기를 측정할 수 있다.

Capture mode로 Timer를 Enable할 때는 첫 번째로 Capture하는 값은 신호가 변하는 중간 의 값이기 때문에 무시하여야 한다.

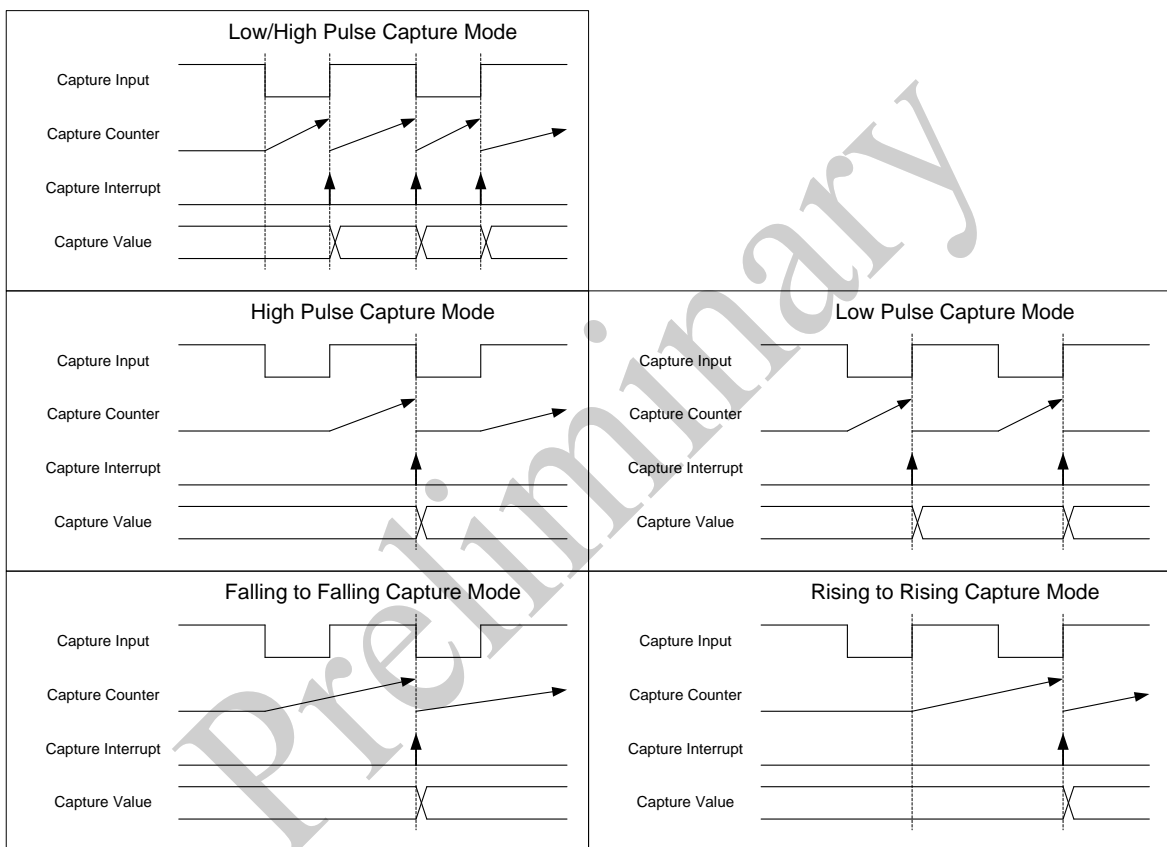


Figure 10-4 Capture Mode Operation

Capture 주기는 다음과 같이 측정된다.

$$Capture\ Signal\ Width\ Time = \frac{1}{Clock\ Source\ Frequency} \times \frac{1}{Pre - scaler\ Factor} \times (OCA + 1) [sec]$$

Capture Time Example :

- Clock Source Frequency : 12MHz System Clock
- Pre-scaler Factor : 1 / 1024
- Capture Value : 9

$$\Rightarrow 1/12MHz \times 1024 \times 10 = 0.853msec$$

Capture 모드로 동작시키기 위하여 설정되어야 하는 레지스터는 다음과 같다.

- TPxCTRL: Pre-scaler의 클럭 입력을 결정하고, 필요에 따라 Pre-scaler를 clear 한다.

- TMxCTRL's TMOD: Capture 모드로 설정한다.
- TMxCTRL's CAPMOD: Capture Pulse 형태를 결정한다.
- TMxCTRL's PFSEL: Capture에서 사용할 Clock을 결정한다.
- TMxCTRL's TMEN: Capture를 Enable 한다.

Capture는 다음 순서로 설정하여 동작시킨다.

- TPxCTRL 설정
- TMxCTRL 설정
- 필요에 따라 TPxCTRL's CNTCLR 설정
- TMxDUT를 읽어서 Capture 주기 확인
- TMxCTRL's OVST를 읽어서 Overflow 유무 확인

Preliminary

10.5 Output Compare Mode

Timer 채널2와 채널3에는 2개의 Output Compare 레지스터를 가지고 있기 때문에 Timer의 Counter 값이 Overflow 되기 전에 2번의 Output Compare를 수행할 수 있다.

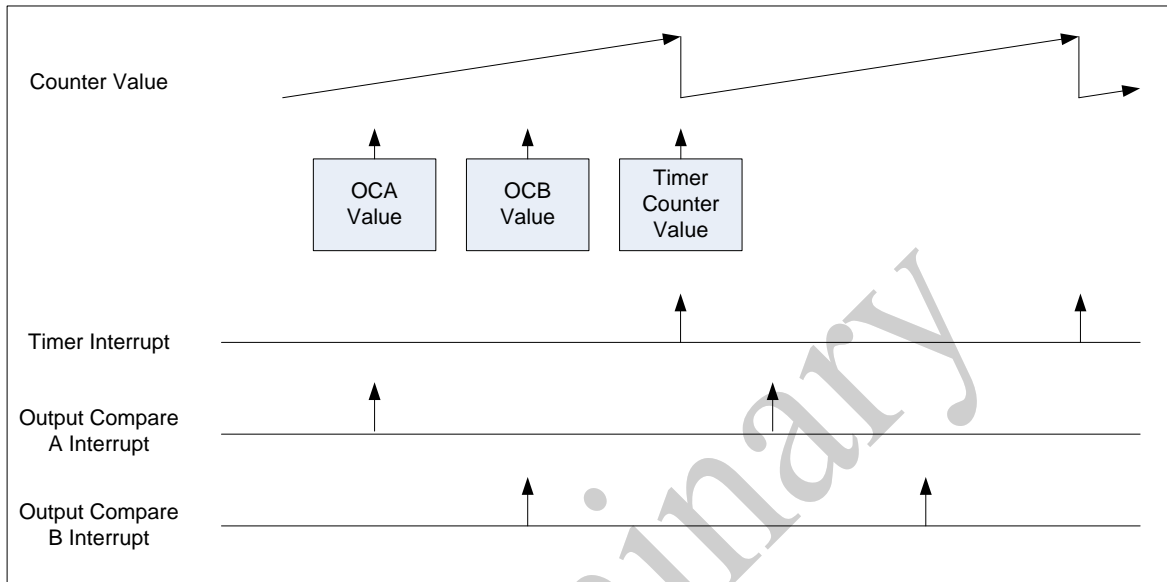


Figure 10-5 Timing Diagram of Output Compare Operation

10.6 Timer Control Registers

Timer Pre-scale Control Registers (TPxCTRL)

Address : 0x8002_1000 / 0x8002_1020 / 0x8002_1040 / 0x8002_1060 /
0x8002_1080 / 0x8002_10A0 / 0x8002_10C0 / 0x8002_10E0

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	CNTCLR : Pre-scale Counter and Timer Counter Reset When this bit is "1", the Timer Pre-scale and Counter will be reset.	0
0	R/W	CLKSEL : Pre-scale Clock Selection 0 : System clock 1 : CAPx	0

*** CAPx는 Timer 채널 별로 할당되어 있다.

Timer Control Registers (TMxCTRL)

Address : 0x8002_1004 / 0x8002_1024 / 0x8002_1044 / 0x8002_1064 /
0x8002_1084 / 0x8002_10A4 / 0x8002_10C4 / 0x8002_10E4

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 14	R/W	TMOD : Timer/Counter Mode 00 : Timer 01 : PWM 1x : Capture	00
13	R/W	OCEN : Output Compare Mode Enable bit for channel 2 and channel 3 0 : Disable 1 : Enable	0
12	R	Reserved	0
11	R/W	OVST : Capture Overflow Status bit Read시 Overflow status bit가 clear된다.	0
10 : 8	R/W	CAPMOD : Capture Mode Selection 00x : Low/High Pulse Capture mode 010 : Low Pulse Capture mode 011 : High Pulse Capture mode 10x : Failing to Failing Period Capture mode 11x : Rising to Rising Period Capture mode	000
7	R	Reserved	-
6	R/W	PWMO : PWM Output One Period Generation 0 : Disable 1 : Enable	0
5	R/W	PWML : PWM Output Start Level 0 : Start Level is Low 1 : Start Level is High	0
4	R	Reserved	-
3 : 1	R/W	PFSEL : Pre-scale Factor Selection 000 : 1/2 001 : 1/8 010 : 1/32 011 : 1/128 100 : 1/512 101 : 1/2048 110 : 1/8192 111 : 1/32768	111
0	R/W	TMEN : Timer/Counter or PWM Enable 0 : Disable 1 : Enable	0

*** PWM Output One Period Generation : PWM 모드로 동작할 때, 한 주기만 발생시키는 bit 이다. 한 주기가 발생한 이후에는 자동으로 PWM은 Disable된다.

*** PFSEL을 설정하여 사용할 Pre-scale Factor를 결정할 수 있다.

Timer Counter / PWM Period Registers (TMxCNT)

Address : 0x8002_1008 / 0x8002_1028 / 0x8002_1048 / 0x8002_1068 /
0x8002_1088 / 0x8002_10A8 / 0x8002_10C8 / 0x8002_10E8

Bit	R/W	Description	Default Value
31 : 0	R/W	(Timer mode) - Write : Timer Counter Value - Read : Current Up-counter Value (PWM mode) - Read/Write : PWM Period Value	0xFFFF_FFFF

Capture Counter Registers / PWM Duty Registers / Output Compare A Registers (TMxDUT)

Address : 0x8002_100C / 0x8002_102C / 0x8002_104C / 0x8002_106C /
0x8002_108C / 0x8002_10AC / 0x8002_10CC / 0x8002_10EC

Bit	R/W	Description	Default Value
31 : 0	R/W	(Capture mode) - Read : Result value of counting at the sampling period (PWM mode) - Read/Write : PWM Duty Value (Output Compare Mode) - Read/Write : Output Compare A Value - Supported in channel2 and channel3	0xFFFF_FFFF

*** PWM Duty : First Halt Duty of PWM Pulse

PWM Pulse Count Registers / Output Compare B Registers (TMxPUL)

Address : 0x8002_1010 / 0x8002_1030 / 0x8002_1050 / 0x8002_1070 /
0x8002_1090 / 0x8002_10B0 / 0x8002_10D0 / 0x8002_10F0

Bit	R/W	Description	Default Value
31 : 0	R/W	(PWM mode) - Read/Write : PWM Pulse Number Value (Output Compare Mode) - Read/Write : Output Compare B Value - Supported in channel2 and channel3	0xFFFF_FFFF

11 SPI (SERIAL PERIPHERAL INTERFACE)

CANTUS에 내장된 SPI는 동기 직렬 버스를 통해 외부의 장치나 다른 CPU와 데이터 교환을 한다. 이 SPI는 모토로라 M68HC11, M68HC05와 MC68HC16 계열의 SPI와 호환을 이루어, Full duplex 3-wire 전송이나 Half duplex 2-wire를 수행할 수 있다.

고속 SPI 전송을 위해 8Bytes의 FIFO를 내장하여 Mbps 속도의 전송에서도 CPU에 부담을 주지 않고 수행할 수 있다.

CANTUS의 SPI는 Master Mode와 Slave Mode를 모두 지원한다.

Key Features

- Full duplex mode. Three-wired synchronous Transfer
- Master or Slave Operation
- Programmable clock polarity and phase
- End of transmission interrupt flag
- Write collision flag protection
- Master-master mode fault protection capability
- 8Bytes FIFO

클럭 제어 회로에서 클럭의 극성 선택과 두 개의 클럭 프로토콜의 선택을 통해서 대부분의 동기 직렬 주변장치와의 호환이 이루어진다. SPI가 Master로 설정되면 소프트웨어적으로 256개의 다양한 시리얼 클럭을 만들 수 있다.

SPI는 데이터 전송동작과 데이터 수신동작이 동시에 이루어진다. 두 시리얼 데이터 라인에서 정보의 샘플링(sampling)과 쉬프팅(shifting)은 시리얼 클럭 라인에 의해 동기된다. Slave SPI 디바이스의 개별적인 선택은 Slave 선택 라인을 통해 할 수 있다. 선택되지 않은 Slave 디바이스는 SPI 버스의 동작에 영향을 주지 않는다. Master SPI 디바이스에서는 Slave 선택 라인은 다중 Master 버스 충돌을 나타내는데 사용될 수 있다.

에러검출 회로는 프로세스끼리의 연결을 위해 사용된다. 전송 동작 중에 시리얼 쉬프터 레지스터에 데이터를 쓰게 되면 쓰기 충돌이 발생한다. 다중 Master 모드 실패 검출은 한 개 이상의 CPU가 동시에 버스 Master가 되려고 시도할 때 출력 드라이버를 disable 시킨다.

11.1 SPI Registers Summary

SPI Control Register(SPICTRL) : SPI 컨트롤 레지스터는 SPI 설정에 관계된 Parameter를 포함한다. 이 레지스터는 언제든지 읽기와 쓰기가 가능하다.

SPI Baud Register(SPIBR) : SPI baud register는 SCK를 만들기 위한 baud rate를 설정한다..

SPI Status Register(SPISTAT) : SPI 상태 레지스터는 SPI 상태 정보를 포함한다. SPI 는 이 레지스터 비트들의 값을 설정만 할 수 있다. CPU는 현재 SPI 상태를 확인하기 위해 상태 레지스터를 읽으면 된다.

SPI Data Register (SPIDATA) : SPI 데이터 레지스터는 시리얼 버스에 데이터 전송과 수신을 위해 사용된다. TX data 레지스터와 RX buffer 레지스터로 구성되어 있다. 쓰기는 바로 TX data 레지스터에 쓰여진다. 바이트 또는 워드 전송 후에 Master 디바이스와 Slave 디바이스의 SPIF 상태 비트가 설정된다.

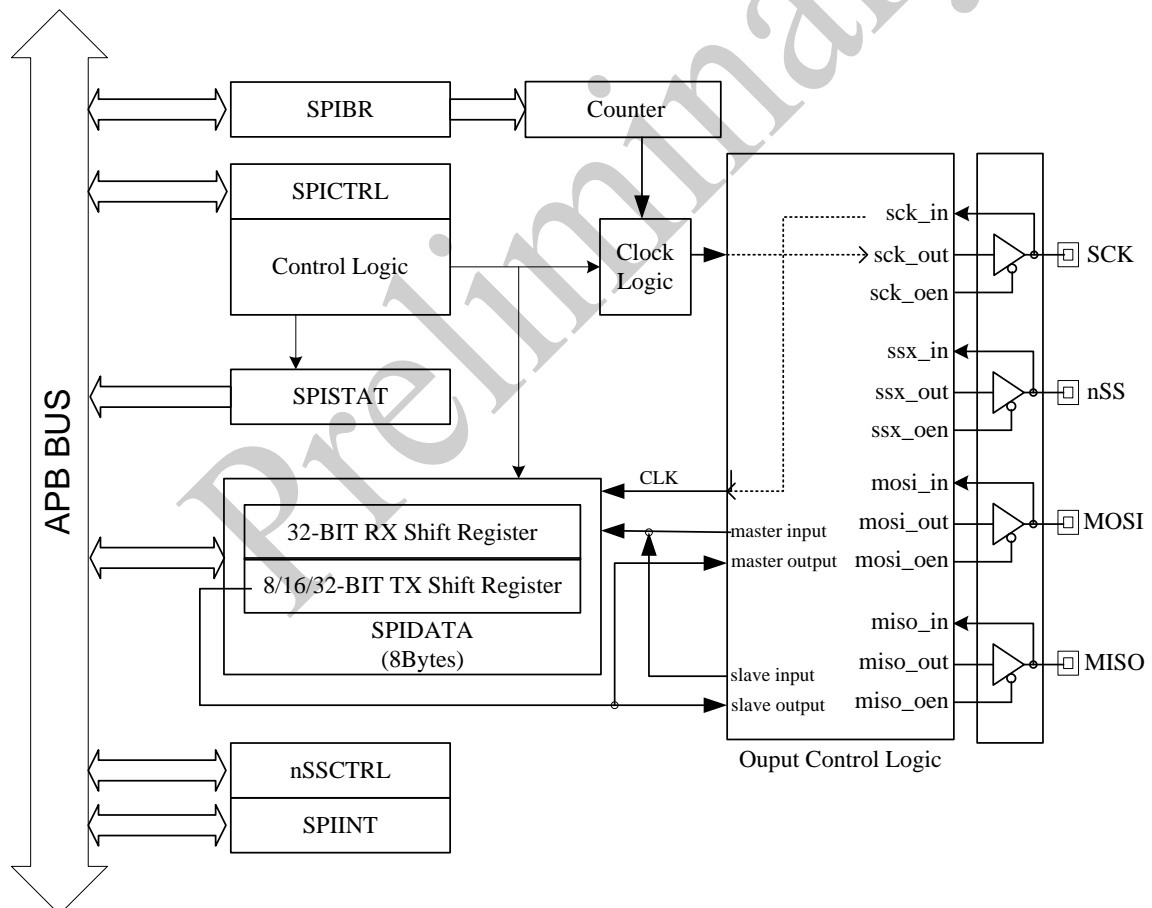


Figure 11-1 SPI Block Diagram

11.2 SPI Pins

SPI에는 MISO, MOSI, SCK, nSS, 네 개의 양방향 핀이 있다. SPI 컨트롤 레지스터의 WOMP 비트가 각각의 핀의 출력 동작에 대해 Open Drain 출력 이나 CMOS 출력을 결정하게 된다.

SPI 컨트롤 레지스터의 MSTR 비트에 의해 Master 또는 Slave 동작이 결정되고 이에 따라 핀의 동작이 결정된다.

Table 11-1 SPI Pin Functions

Pin Name	Mode	Function
Master in, slave out(MISO)	Master	Provides serial data input to the SPI
	Slave	Provides serial data output from the SPI
Master out, slave in (MOSI)	Master	Provides serial output from the SPI
	Slave	Provides serial input to the SPI
serial clock(SCK)	Master	Provides clock output from the SPI
	Slave	Provides clock input to the SPI
Slave select(nSS)	Master	Output : Selects slave devices
	Slave	Input : chip select for SPI

11.3 SPI Operating Modes

SPI는 Master나 Slave 모드에서 동작한다. Master 모드는 CPU가 데이터 전송을 주관할 경우에 사용된다. Slave 모드는 외부 디바이스에 의해 CPU에 시리얼 전송이 이루어지는 경우에 사용된다. 컨트롤 레지스터의 MSTR 비트에 의해 Master나 Slave 동작이 선택된다.

Master Mode

SPICTRL의 MSTR 비트를 설정하면 Master 모드 동작이 선택된다. Master 모드에서는 시리얼 전송을 초기화 할 수 있고 외부에서의 초기화된 전송에 응답하지 않는다.

SPI를 Master 모드에서 사용하려면 다음 과정을 거쳐야 한다.

Master 모드에서는 MISO 핀이 시리얼 데이터 입력으로 사용되고 MOSI 핀은 시리얼 데이터 출력으로 사용된다. 특정한 응용 분야에 따라 하나 또는 둘 다 필요할 수 있다.

SPICTRL 레지스터에 BAUD, CPHA, CPOL, SIZE, MSBF, WOMP의 값을 할당한다. Master 동작을 위해 MSTR 비트 설정한다. SPI를 enable하도록 SPIEN 비트를 설정한다.

Slave 디바이스를 enable 한다.

전송을 시작하기 위해 적당한 데이터를 SPIDATA 레지스터에 쓰기를 한다.

SPI는 전송이 끝나면 SPISTAT 레지스터의 SPIF 플래그를 H/W적으로 설정한다. SPIF가 인가 되면 인터럽트 요청이 발생된다. SPIF가 설정되어 있는 상태에서 SPISTAT 레지스터를 읽고 SPIDATA 레지스터에 쓰기 나 읽기 동작이 일어나면 SPIF 플래그는 자동적으로 클리어 된다.

데이터 전송은 내부에서 만든 시리얼 클럭(SCK)에 동기된다. SPICTRL 레지스터의 CPHA 와 CPOL 비트들은 클럭의 위상과 극성을 제어한다. CPU가 MOSI 핀에서 데이터를 보내는 SCK

edge와 MISO 핀을 통해 들어오는 데이터의 latch하는 SCK edge는 CPHA와 CPOL에 의해 결정된다.

Slave Mode

SPICTRL 레지스터의 MSTR 비트을 “0”으로 설정하면 Slave 모드로 동작한다. Slave 모드에서는, SPI는 시리얼 전송을 초기화 할 수 없다. 전송은 외부 버스 Master에 의해 초기화 된다. Slave 모드는 특히 다중Master SPI 버스에서 사용된다. 주어진 시간에 단 하나의 디바이스만이 버스Master가 될 수 있기 때문이다.

Slave 모드에서는 시리얼 데이터 출력을 위해 MISO 핀이 사용되고, 시리얼 데이터 입력을 위해 MOSI 핀이 사용된다. 특정한 응용분야에 따라서 둘 다 또는 하나의 핀만 필요하다. SCK는 입력 시리얼 클럭이다. nSS가 인가되면 Slave로 선택된다.

데이터 전송을 위해 데이터 레지스터에 쓰기를 한다. Slave 모드에서는 SCK, MOSI, and nSS는 입력이고 MISO는 출력이 된다.

CPHA, CPOL, SIZE, MSBF, WOMP의 설정을 위해 컨트롤 레지스터에 값을 쓴다. MSTR 비트 클리어 함으로써 Slave 동작을 선택한다. SPIEN를 설정하여 SPI를 enable시킨다. Slave 모드의 디바이스에서는 BAUD의 값은 SPI 동작에 영향을 미치지 않는다.

SPIEN가 설정되고 MSTR이 클리어 되면, nSS핀 입력의 “Low” 상태가 Slave 모드 동작을 초기화 한다. nSS 핀은 오로지 입력으로만 사용된다.

데이터의 바이트나 워드 전송 후에 SPI는 SPIF 플래그를 설정한다. 컨트롤 레지스터의 SPIE 비트가 설정되어 있으면, SPIF가 인가되면 인터럽트요청이 발생한다.

전송은 외부에서 발생된 SCK에 동기 된다. CPHA와 CPOL은 Slave CPU가 MOSI 핀을 통해 들어오는 데이터를 래치하거나 MISO 핀을 통해 나가는 데이터의 클럭의 Edge를 결정한다.

11.4 SCK Phase and Polarity Control

컨트롤 레지스터의 두 개의 비트가 SCK의 위상과 극성을 결정한다. 클럭 극성(CPOL) 비트는 클럭의 극성 (High or Low)을 선택한다. 클럭 위상 비트 CPHA는 전송 타이밍에 영향을 주는 두 가지 전송 형태 중 하나를 선택한다. 클럭의 위상과 극성은 Master와 Slave 모두 동일하여야 한다. 어떤 경우에는 전송 사이에 위상과 극성을 바꾸어 Master 디바이스가 Slave 디바이스와 다른 조건으로 데이터를 주고 받을 수도 있다. SPI의 이러한 유연성은 거의 모든 동기 시리얼 주변장치와의 직접적인 연결을 가능하게 한다.

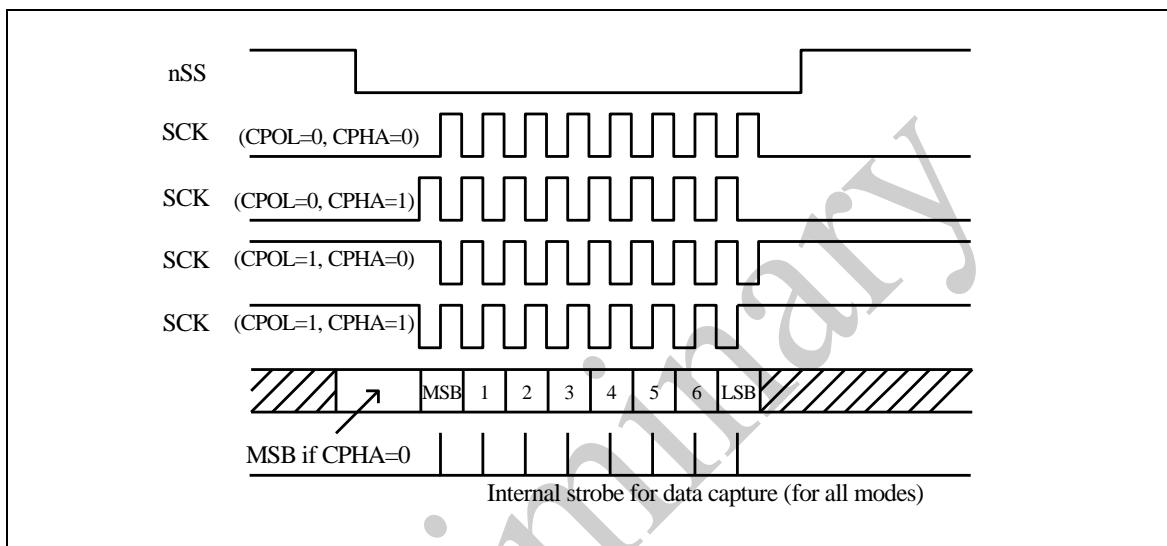


Figure 11-2 SCK Phase and Polarity

11.5 Data Transfer Timing

CPHA='0'이고 MSB 시작인 모드에서 1Byte 데이터 전송 타이밍도를 보여준다. SCK의 두 개의 형태의 파형을 나타나 있다. 하나는 CPOL인 '0'인 경우이고 다른 하나는 CPOL이 '1'인 경우이다. 이 타이밍도는 Master와 Slave가 SCK, MISO와 MOSI핀으로 직접 연결되어 있으므로 Master 타이밍도 또는 Slave 타이밍도로 볼 수 있다. MISO 신호는 Slave에서의 출력이고 MOSI 신호는 Master의 출력 신호이다. nSS신호는 Slave로의 칩 선택 신호이다.

Master일 때 SPDR에 데이터를 쓰면 전송이 초기화 된다. Slave는 nSS가 falling edge 일 때 전송을 초기화 한다. SCK 신호는 첫 번째 SCK cycle의 반주기까지 inactive 상태로 남아있다. 전송 완료를 나타내는 SPIF비트는 8번째 SCK cycle의 끝에서 set된다. CPHA='0'일 때는 nSS가 low였다가 1바이트 전송 후 짧은 시간 내에 Inactive (High)된다. Slave는 nSS가 low일 때 data register에 값을 write 하면 write collision error가 발생한다.

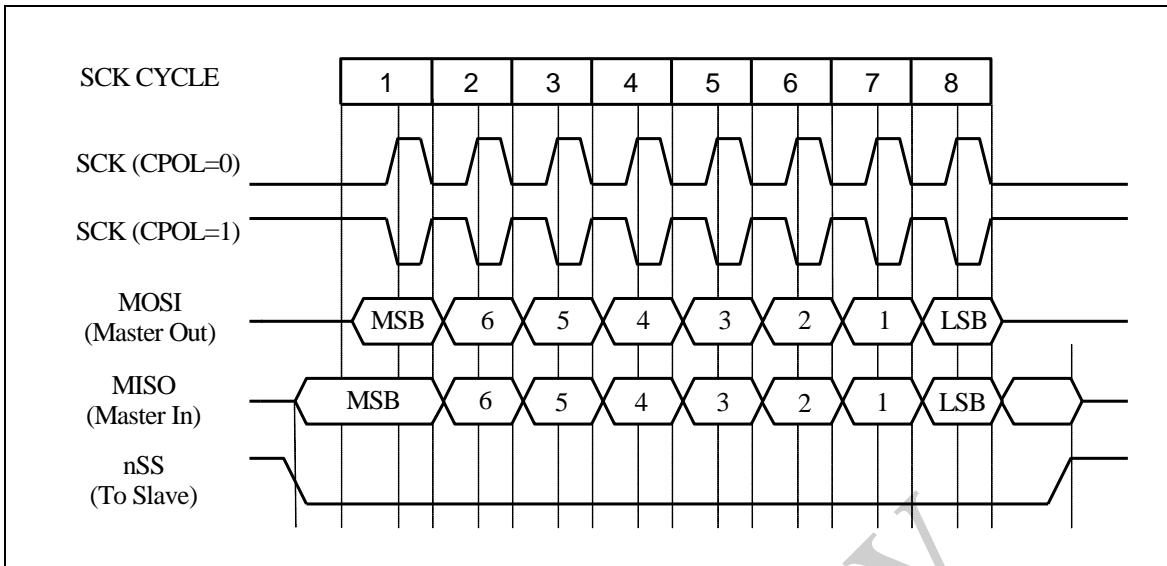


Figure 11-3 Transfer Timing when CPHA = '0'

CPHA='1'인 경우의 전송 타이밍도이다. SCK는 마지막 8번째 cycle의 반주기에서 inactive 된다. SPIF 비트는 8번째 SCK cycle의 중단에서 set된다. 8번째 SCK cycle의 중간주기에서 마지막 edge가 생기기 때문에 Slave는 8번째 SCK cycle의 중간에서 마지막 데이터를 sample 한 후에 수신 완료한다. nSS는 1Byte 전송 마치고 어느 정도 시간 동안 충분히 low를 유지한다. 따라서 CPU가 전송 상태를 Polling하여 연속으로 전송하는 경우에는 계속 low 상태를 유지하게 된다.

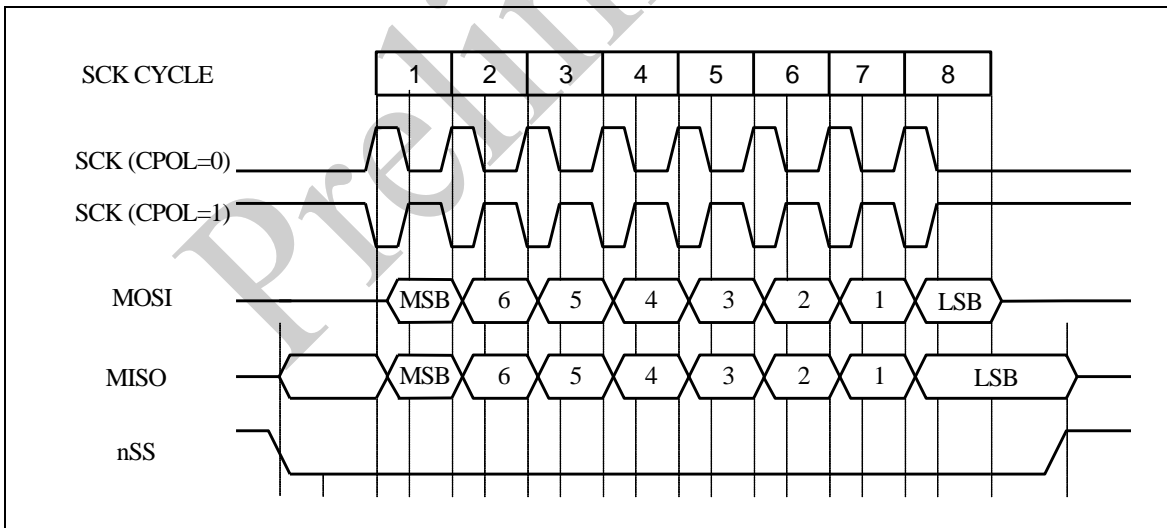


Figure 11-4 Transfer Timing when CPHA = '1'

11.6 SPI Serial Clock Baud Rate

SPI Baud rate는 SPBR 레지스터에 1에서 255까지의 값을 저장하여 설정할 수 있다.

Slave Mode에서의 외부 SPI Master가 제공하는 SCK를 받아들이기 때문에 SPIBR 레지스터의 값의 설정에 영향을 받지 않는다. 그러나 Slave Mode에서 동작할 수 있는 최대 속도는 System Clock 에 영향을 받는다.

$$SCK \text{ Baud Rate} = \frac{f_{PCLK}}{2 \times (SPIBR + 1)}$$

or

$$SPIBR = \frac{f_{PCLK}}{2 \times SCK \text{ Baud Rate}} - 1$$

11.7 Open-Drain Output for Wired-OR

Multiple SPI Master가 아니면 SPI 버스 출력이 Open-Drain을 지원할 필요는 없다. Open-Drain 출력이 필요할 경우 SPICTRL 레지스터의 WOMP 비트를 설정하여 Open-Drain 출력을 제공하도록 할 수 있다. Open-Drain으로 설정할 경우 각각의 출력 라인에 반드시 pull-up 저항을 달아야 한다.

11.8 Transfer Size and Direction

SPICTRL 레지스터의 SPISIZE 비트는 전송크기 8/16/32비트를 선택한다. SPICTRL 레지스터의 MSBF비트는 데이터 전송의 시작을 MSB(MSBF=1)나 LSB부터 하도록 한다.

11.9 Write Collision

전송 진행 중에 SPIDATA 레지스터에 쓰기를 시도하면 쓰기충돌이 발생한다.

11.10 MODE Fault

SPI system 이 Master로 설정되고, nSS signal input line이 assert 되었을 때, mode fault error 가 발생하면, SPICTRL 의 MODF bit이 set 된다. Master device 만 MODF를 발생시킬 수 있으며, 다른 SPI device가 master가 되려고 할 때 발생한다.

11.11 Interrupt

SPIF Interrupt

SPI 전송이 완료되었음을 확인할 수 있는 인터럽트이다. FIFO와 TX Shift 레지스터에 저장된 송신 데이터가 모두 전송되어 비워진 경우 인터럽트를 요청하고 SPI Status 레지스터를 읽거나 송신 데이터를 FIFO에 저장할 경우 인터럽트 요청을 중지한다.

MODF Interrupt

Mode fault란 여러 개의 Master가 존재하는 경우 둘 이상의 Master가 동시에 데이터를 전송하여 데이터 충돌이 발생한 경우이다. Mode fault가 발생하였을 때 인터럽트를 요청하며 SPI Status 레지스터를 읽게되면 인터럽트 요청을 중지한다

nSS Interrupt

nSS 입력 레벨의 변화를 감지할 수 있는 인터럽트이다. nSS 입력 레벨이 변화했을 때 인터럽트를 요청하며 SPI Status 레지스터를 읽게되면 인터럽트 요청을 중지한다.

TX_FIFO_FULL, TX_FIFO_EMPTY, RX_FIFO_FULL, RX_FIFO_EMPTY

- TX_FIFO_FULL: 내부 FIFO에 송신할 데이터가 모두 채워진 경우 인터럽트를 요청한다.
- TX_FIFO_EMPTY: 내부 FIFO에 송신할 데이터가 모두 비워진 경우 인터럽트를 요청한다.
- RX_FIFO_FULL: 내부 FIFO에 수신된 데이터가 모두 채워진 경우 인터럽트를 요청한다.
- RX_FIFO_EMPTY: 내부 FIFO에 수신된 데이터가 모두 비워진 경우 인터럽트를 요청한다.

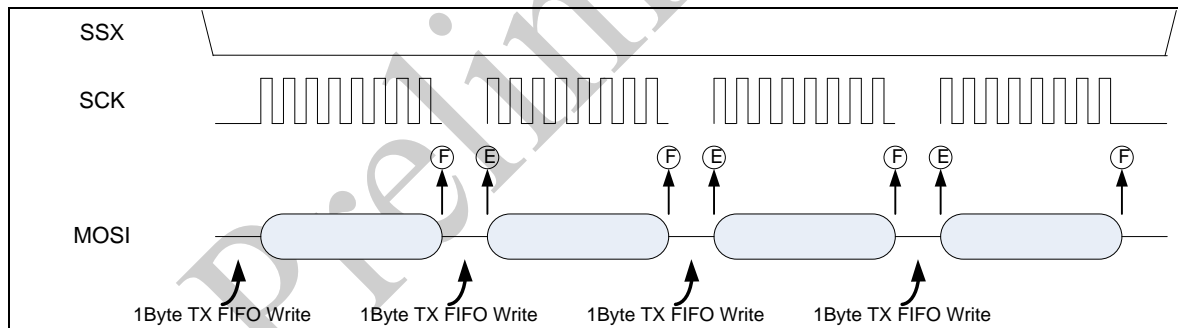


Figure 11-5 1-Byte Transfer vs. Status and Interrupt

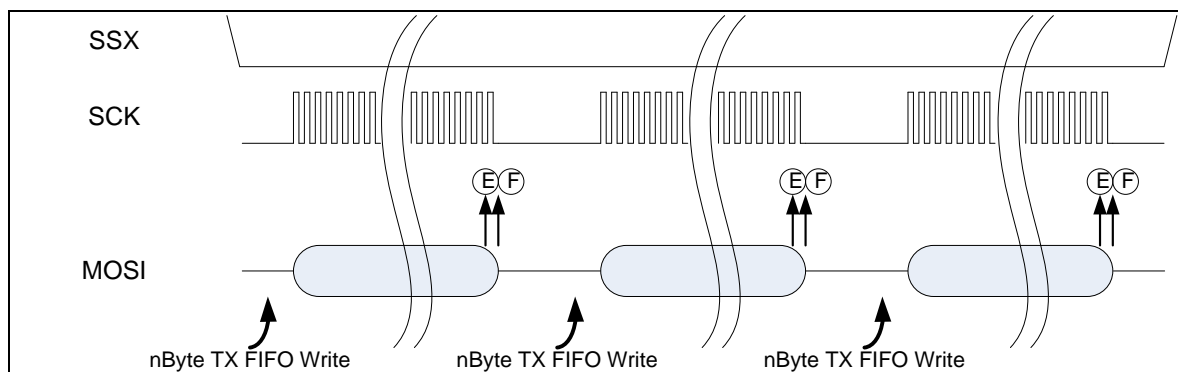


Figure 11-6 n-Bytes Transfer vs. Status and Interrupt

11.12 SPI Control Registers

SPI Control Register (SPICTRL)

Address : 0x8002_1C00

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R/W	SPIEN : SPI Enable 0 : SPI is disabled. 1 : SPI is enabled	0
6	R/W	WOMP : Wired-OR Mode for SPI Pins 0 : Outputs have normal CMOS drivers. 1 : Open-drain drivers	0
5	R/W	MSTR : Master/Slave Mode Select 0 : Slave operation 1 : Master operation	0
4	R/W	CPOL : Clock Polarity 0 : The inactive state value of SCK is logic level zero 1 : The inactive state value of SCK is logic level one.	0
3	R/W	CPHA : Clock Phase 0 : Data captured on the leading edge of SCK and changed on the trailing edge of SCK. 1 : Data is changed on the leading edge of SCK and captured on the trailing edge of SCK.	0
2	R/W	MSBF : Most Significant Bit First 0 : Serial data transfer starts with LSB. 1 : Serial data transfer starts with MSB.	0
1 : 0	R/W	SPISIZE : Transfer Data Size 00 : 8-bit data transfer. 01 : 16-bit data transfer. 10 : 32-bit data transfer.	0

SPI Baud Rate Register (SPIBR)

Address : 0x8002_1C04

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	R/W	Serial Clock Baud Rate $SCK = \frac{f_{PCLK}}{2 \times (SPIBR + 1)}$ Master Mode SCK ≤ System Clock / 2 Slave Mode SCK ≤ System Clock / 8	0xFF

SPI Status Register (SPISTAT)

Address : 0x8002_1C08

Bit	R/W	Description	Default Value
15 : 8	R	Reserved	-
7	R	SPIF : SPI Finished Flag 0 : SPI is not finished. 1 : SPI is finished.	0
6	R	WCOL : Write Collision 0 : No attempt to write to the SPDR happened during the serial transfer. 1 : Write collision occurred.	0
5	R	MODF : Mode Fault Flag 0 : Normal operation 1 : Another SPI node requested to become the network SPI master while the SPI was enabled in master mode	0
4	R	nSS : Slave Select Flag 0 : Current Value of nSS port is low 1 : Current Value of nSS port is high	0
3	R	STXF : TX FIFO Full Status bit 0 : FIFO_TX is not full 1 : FIFO_TX is full	0
2	R	STXE : TX FIFO Empty Status bit 0 : FIFO_TX is not empty 1 : FIFO_TX is empty	0
1	R	SRXF : RX FIFO Full Status bit 0 : FIFO_RX is not full 1 : FIFO_RX is full	0
0	R	SRXE : RX FIFO Empty Status bit 0 : FIFO_RX is not empty 1 : FIFO_RX is empty	0

SPI Data Register (SPIDATA)

Address : 0x8002_1C0C

Bit	R/W	Description	Default Value
31 : 0	R/W	SPI Data At 32-bit transfer mode - MSB of Data is SPDR[31] At 16-bit transfer mode - MSB of Data is SPDR[15] At 8-bit transfer mode - MSB of Data is SPDR[7] LSB of Data (received or transmit) is SPDR[0] in any transfer mode	0x0000_0000

SPI nSS Control Register (nSSCTRL)

Address : 0x8002_1C10

Bit	R/W	Description	Default Value
31 : 1	R	Reserved	-
0	RW	nSSCON : nSS Output Level	1

SPI Interrupt Mask Register (SPIINT)

Address : 0x8002_1C14

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	RW	SPIFE : SPIF Interrupt en/disable SPIF Interrupt occurs when transfer has completed. 0 : SPIF interrupt is disabled 1 : SPIF is enabled	0
6	RW	MODFE : MODFI Interrupt en/disable MODFI Interrupt occurs when two more master use data line. 0 : MODFI interrupt is disabled 1 : MODFI is enabled	0
5	R	Reserved	0
4	RW	nSSEN : nSS Interrupt en/disable nSS Interrupt occurs when nSS signal has changed. 0 : nSS Interrupt is disabled 1 : nSS Interrupt is enabled	0
3	RW	STXFE : FIFO_TX_FULL Interrupt en/disable FIFO_TX_FULL Interrupt occurs when FIFO_TX is full 0 : FIFO_TX_FULL Interrupt is disabled 1 : FIFO_TX_FULL Interrupt is enabled	0
2	RW	STXEE : FIFO_TX_EMPTY Interrupt en/disable FIFO_TX_EMPTY Interrupt occurs when FIFO_TX is empty 0 : FIFO_TX_EMPTY Interrupt is disabled 1 : FIFO_TX_EMPTY Interrupt is enabled	0
1	RW	SRXFE : FIFO_RX_FULL Interrupt en/disable FIFO_RX_FULL Interrupt occurs when FIFO_RX is full 0 : FIFO_RX_FULL Interrupt is disabled 1 : FIFO_RX_FULL Interrupt is enabled	0
0	RW	SRXEE : FIFO_RX_EMPTY Interrupt en/disable FIFO_RX_EMPTY Interrupt occurs when FIFO_RX is empty 0 : FIFO_RX_EMPTY Interrupt is disabled 1 : FIFO_RX_EMPTY Interrupt is enabled	0

12 TWI (Two WIRED INTERFACE)

범용 TWI 버스와 인터페이스를 위해 TWI 제어기를 내장한다. TWI는 SCL과 SDA 신호를 가진다.

Key Features

- Master transmitter mode
- Master receive mode
- Slave transmitter mode
- Slave receive mode
- Software programmable clock frequency
- Software programmable acknowledge bit
- Interrupt driven data-transfers
- Start/Stop/Repeated Start/Acknowledge generation
- Multi master operation

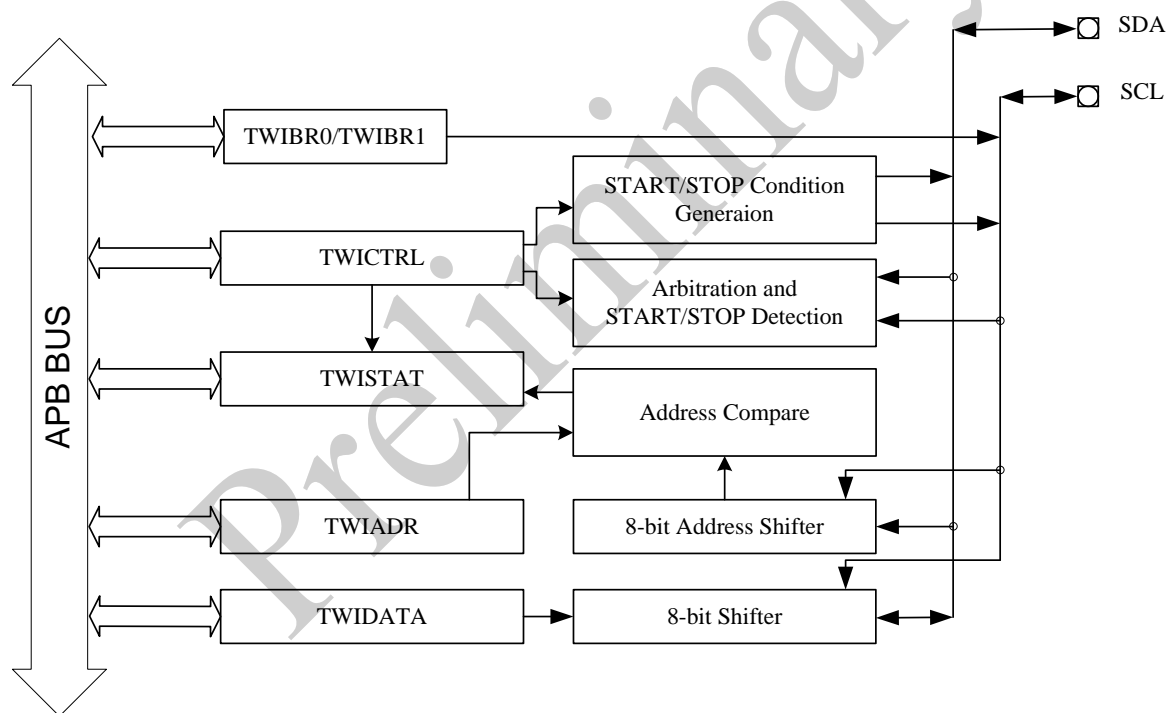


Figure 12-1 TWI Block Diagram

12.1 DATA TRANSFER FORMAT

SDA 라인에는 모든 데이터 길이는 8비트다. 매 전송마다 전송될 수 있는 바이트 수는 제한되어 있지 않다. Start condition 다음의 첫 바이트는 주소 필드이다. TWI-bus 가 Master로 모드로 동작 할 때 Master에 의해 주소 필드가 전송된다. 모든 바이트는 다음에는 ACK 비트가 따라온다. 항상 데이터와 주소의 MSB 비트부터 전송이 시작된다.

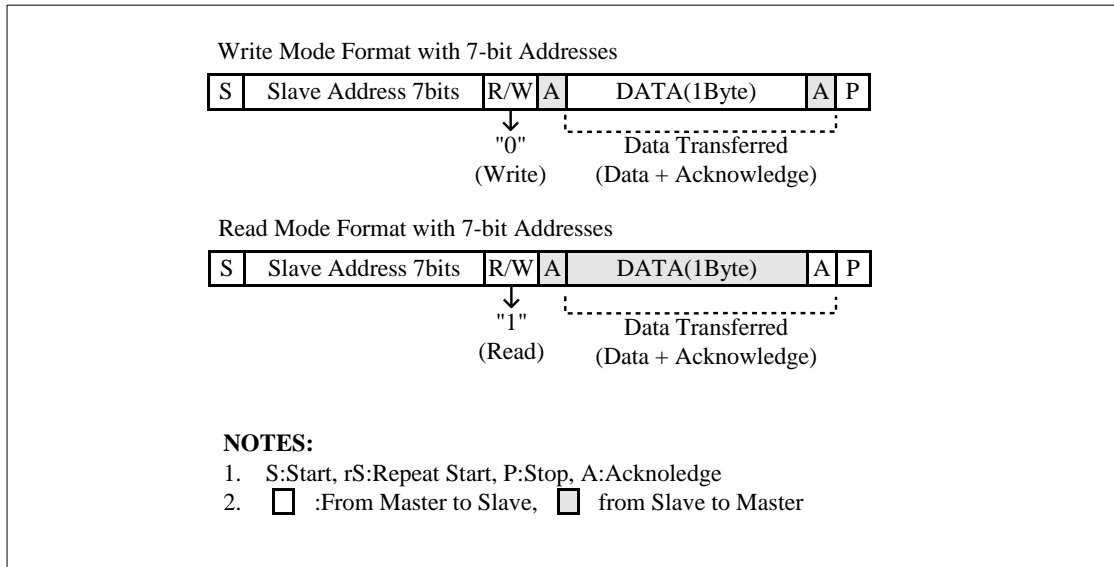


Figure 12-2 TWI-Bus Interface Data Format

12.2 START AND STOP CONDITION

Start condition은 1 Byte 의 data를 전송 할 수 있다. 그리고, Stop condition은 data 전송을 종료한다. Start condition은 SCL 이 high 일 때 SDA line이 high-to-low로 transition 한다. Stop condition은 SCL 이 high 일 때 SDA line 이 low-to-high로 transition 한다. Start condition 이 발생하면, TWI bus 는 busy가 된다. Stop condition이 발생한 후, TWI bus는 자유롭게 된다.

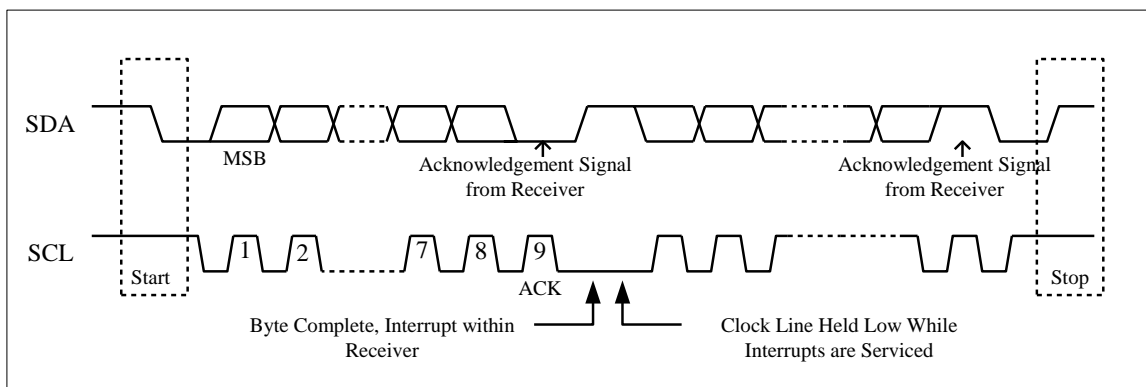


Figure 12-3 Data Transfer on the TWI-Bus

12.3 ACK SIGNAL TRANSMISSION

한 바이트 전송을 완전히 끝내기 위해서는 수신단은 송신단에 ACK 비트를 보내야 한다. ACK 펄스는 SCL 라인의 9 번째 클럭에서 발생해야 한다. 그래서 한 바이트 데이터를 전송을 위해 모두 9개의 클럭이 필요하다. Master는 ACK 비트 전송을 위한 클럭 펄스를 생성해야 한다.

송신단은 ACK 클럭 펄스를 입력 받을 때 SDA 라인을 “High”로 만들기 위해 SDA 라인을 놓아줘야 한다. 또한 수신기는 ACK 펄스 때 SDA 라인을 “Low”로 유지하여 SCL의 아홉 번째의 “High” 구간에서 SDA를 “Low”로 만든다.

ACK 비트는 소프트웨어적으로 Control register (TWICTRL)의 TXIAK 비트를 설정하여 ACK나 NOACK로 선택할 수 있다.

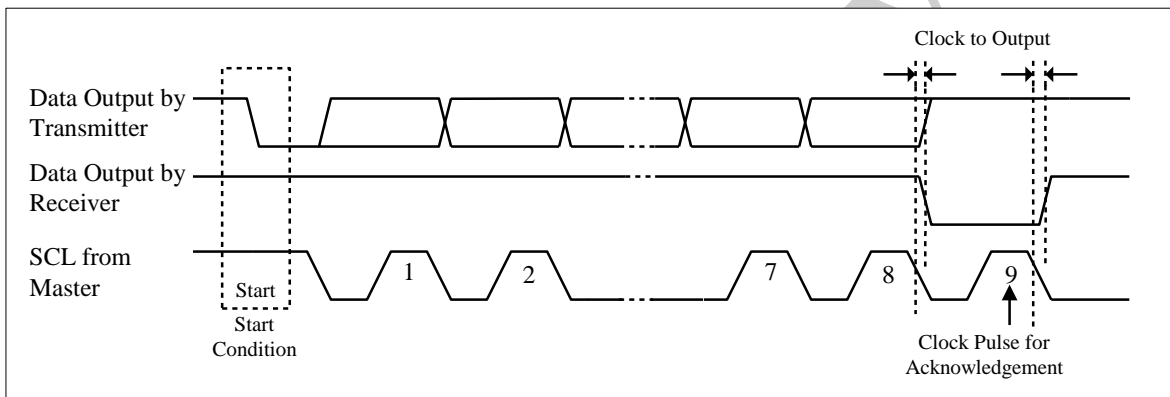


Figure 12-4 Acknowledgement of TWI

12.4 READ-WRITE OPERATION

송신 동작 모드에서 데이터 전송 후에 TWI-bus 인터페이스는 데이터 쉬프트 레지스터에 데이터가 준비될 때까지 기다려야 한다. 데이터 쓰여질 때까지 SCL 라인은 Low로 유지될 것이다. 새로운 데이터가 데이터 쉬프트 레지스터에 쓰여지고 나서 SCL은 release 된다.

Interrupt를 사용할 경우, TWI는 현재 데이터 전송 후 interrupt를 요청한다. CPU는 interrupt 요청을 받은 뒤에 새로운 데이터를 버퍼에 쓴다.

수신 동작 모드에서 데이터를 수신한 후에, TWI bus는 data를 읽어 갈 때까지 기다린다. 수신된 데이터가 읽어 갈 때까지 SCL을 LOW로 유지 된다. 새로운 data가 읽혀지고 난 다음에 SCL은 release 된다.

Interrupt를 사용할 경우, TWI는 데이터를 수신한 후 interrupt를 발생하고, interrupt request를 받은 CPU는 data를 읽는다.

12.5 BUS ARBITRATION PROCEDURES

여러 개의 master가 bus를 동시에 제어 하는 것을 방지한다. SDA line에 high level을 내보낸 master가 또 다른 master가 내보낸 low level의 SDA line을 인식하면, 현재 TWI bus를 자신이 아닌 다른 master가 제어한다고 인식하고, 데이터 전송을 더 이상 진행하지 않도록 한다.

Device1과 Device2과 동시에 Master mode로 동작하는 경우에 SCL 라인에서 발생하는 클럭의 모양을 보면 다음과 같이 동기화가 이루어진다.

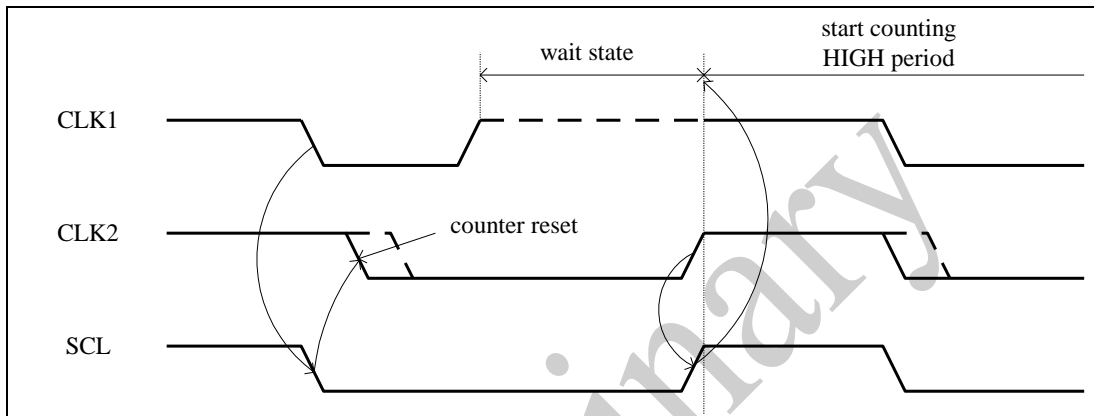


Figure 12-5 Bus arbitration 1 of TWI

위 상황에서 SDA 라인에 나타나는 data 값에 따라 Device1, Device2중 하나가 우선권을 갖는 과정은 다음과 같다.

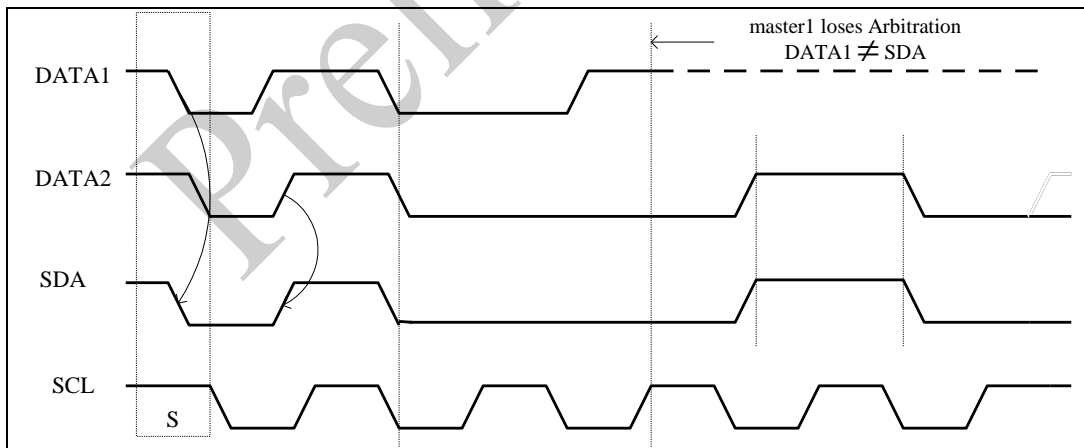


Figure 12-6 Bus arbitration 2

12.6 ABORT CONDITIONS

Arbitration이 발생하지 않은 경우

1. TWICTRL 레지스터의 TWIMOD 비트를 클리어시키면 Stop condition이 발생한다.
2. NO ACK 발생하여 Stop condition이 발생한다. 즉 ACK 구간에서 SDA 신호가 “Low”가 아니면 발생한다.

Arbitration이 발생한 경우

Arbitration 발생에 의해 제어권을 잃은 경우 TWIMOD 비트는 클리어되지만 이에 의한 Stop condition은 발생하지 않는다. 현재 진행 중인 SCL 클럭은 한 바이트 전송 끝까지 진행되고 데이터 출력인 SDA는 High 상태가 된다.

12.7 Operational Flow Diagrams

TWI initialization

TWI는 먼저 초기화가 이루어져야 한다.

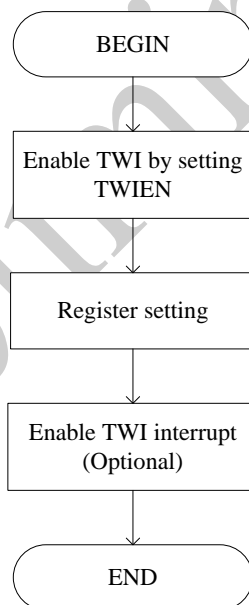


Figure 12-7 TWI Initialization Flow Char

Master Transmit /Receive

TWI의 데이터 송신과 데이터 수신에 대한 Flow chart이다. 송신 시와 수신 시에 있어서 가장 큰 차이점은 수신 시에는 마지막 데이터를 수신하기 전에 TWIAK 비트를 NOACK로 설정하는 단계가 더 있다는 점이다. 이 것은 Master가 Slave에게 마지막 수신 데이터임을 알리기 위한 것이다. 또한, 실제 데이터를 수신하기 위한 SCL 클럭을 생성하기 위해 TWIDATA 레지스터의 dummy read 단계가 필요하다

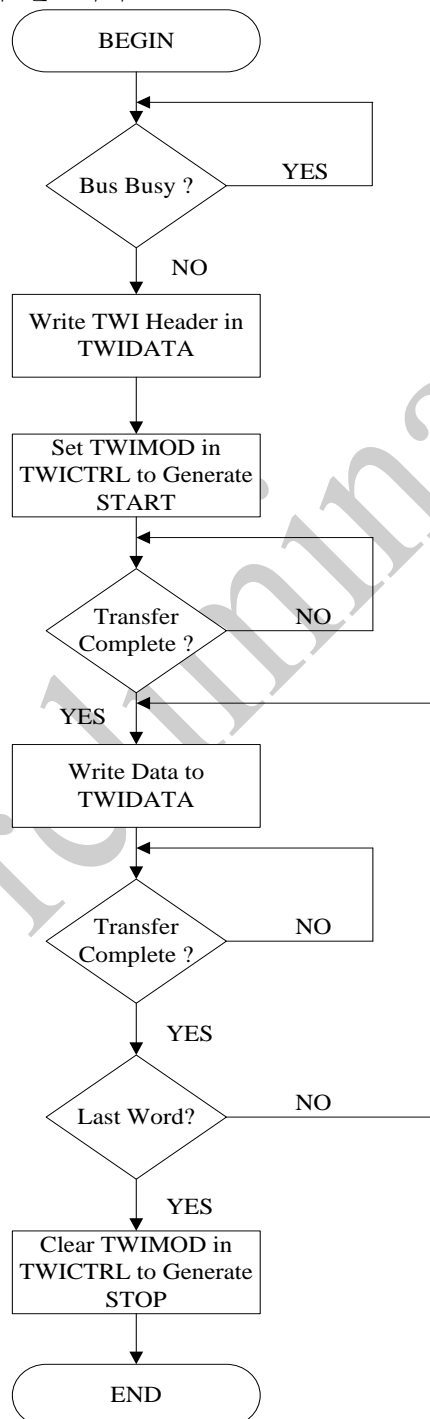


Figure 12-8 Master Transmit Flow Char

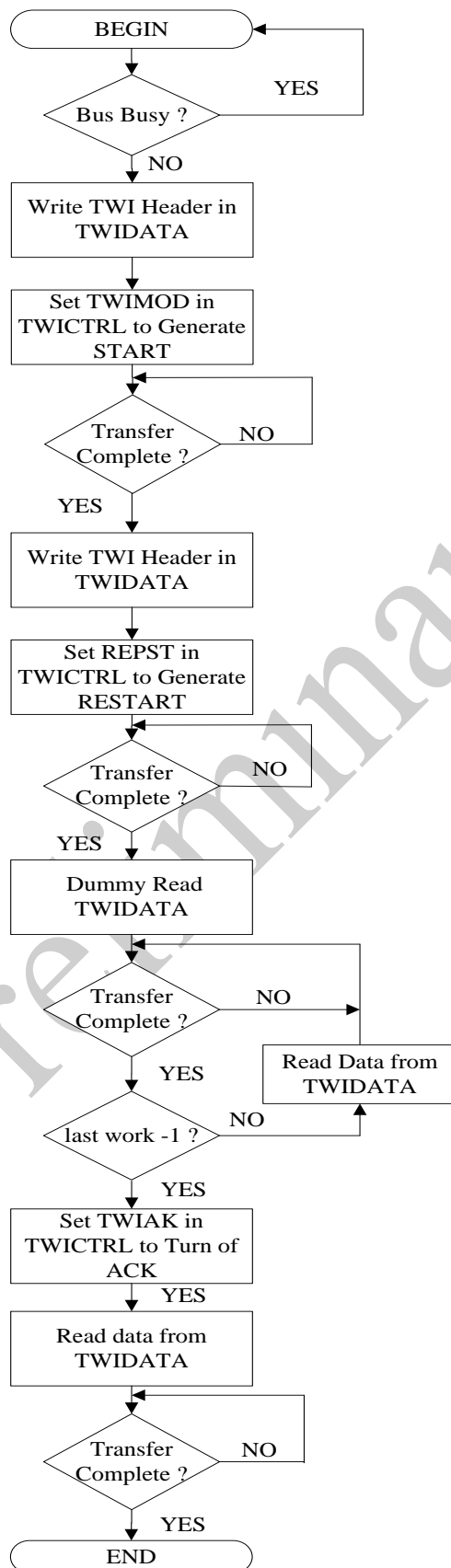


Figure 12-9 Master Receive Flow Char

Slave Mode (Polling mode)

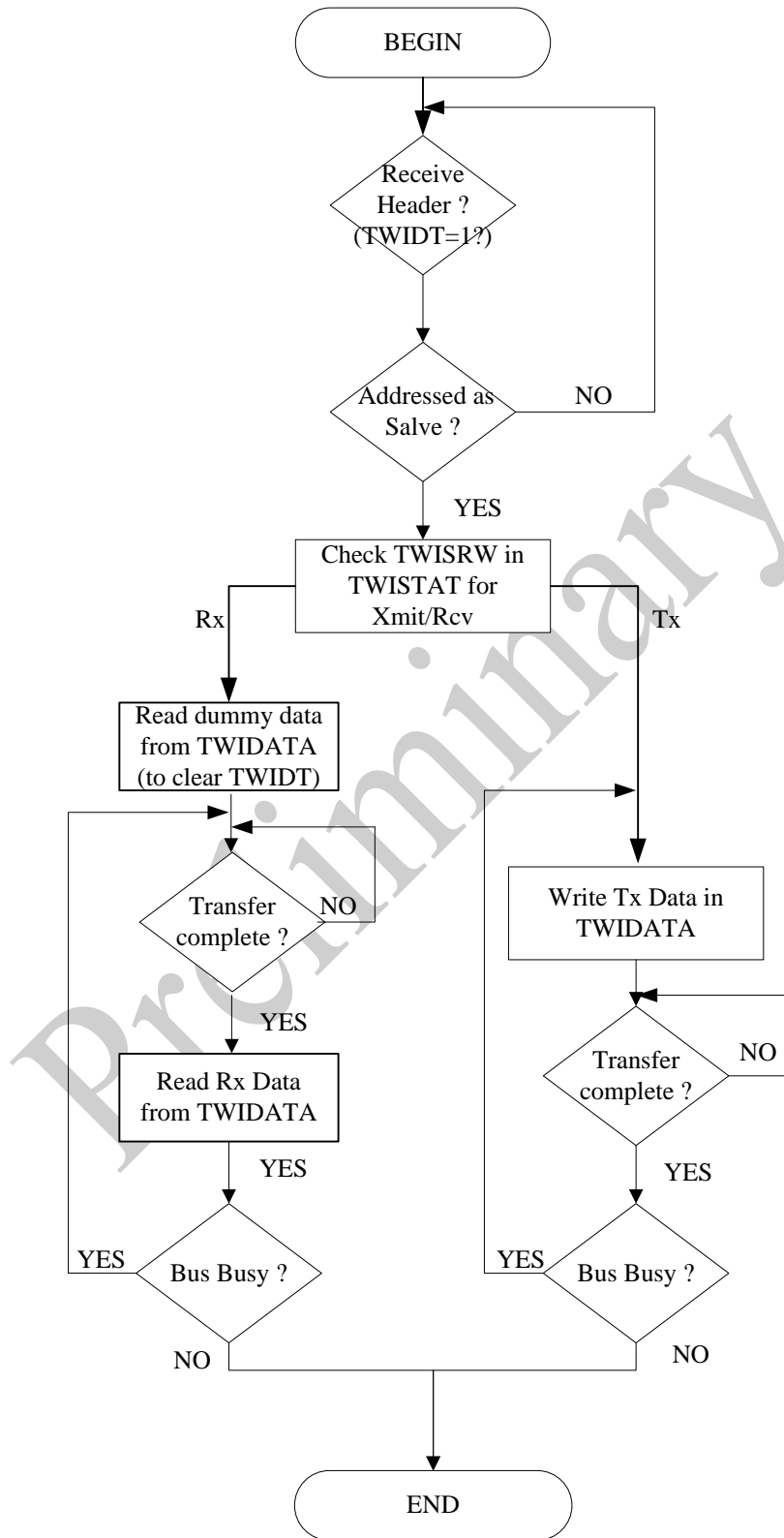


Figure 12-10 Slave Mode Flow Chart (Polling)

Slave Mode (Interrupt mode)

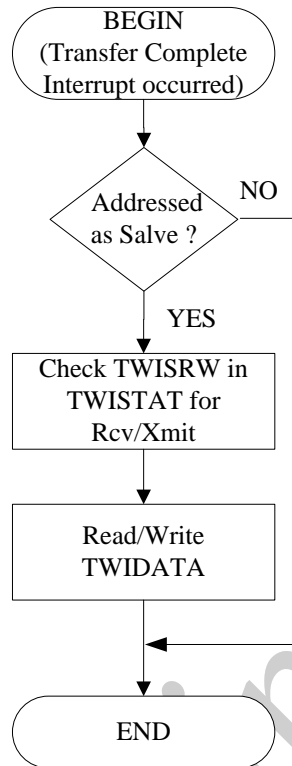


Figure 12-11 Slave Mode Flow Chart (Interrupt)

Preliminary

12.8 TWI Control Registers

TWI Control Register (TWICTRL)

Address : 0x8002_2000

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	RW	TWIEN : TWI Controller Enable. TWI 송수신을 위해서 다른 register의 setting에 앞서 먼저 이 bit를 set시킨다. 0: Disable 1: Enable	0
6	R	Reserved.	-
5	RW	TWIMOD : Master/Slave Mode Select. 0에서 1로 바뀌면 Master mode가 선택되면서 START condition이 발생한다. clear되면 STOP condition이 발생하고, Slave mode로 전환한다. clear되더라도 제어 권한을 잃은 상태라면, STOP condition은 발생하지 않는다. 0: STOP condition을 발생시킨다. 1: START condition을 발생시킨다.	0
4	RW	TWITR : Transmit/Receive Mode Select. Master Mode에서의 전송 동작을 결정한다. 0: TWI Master 수신 1: TWI Master 송신	0
3	RW	TWIAK : Transmit Acknowledge Enable. 이 비트는 ACK 구간 동안에 SDA line의 값을 결정한다. Master Receive Mode일 때 마지막 바이트 전송일 때 NO ACK는 데이터 전송이 마지막임을 나타낸다. 마지막 전송 후 NO ACK이면, STOP condition을 발생시킨다. 0: ACK bit = "0" - ACK (acknowledge) 1: ACK bit = "1" - NO ACK (no acknowledge)	0
2	RW	REPST : Repeated Start. 이 비트를 1로 write 하면, TWI controller 가 Master 일 때 Repeated START condition을 발생시킨다. Repeated START condition이 발생하면 clear된다. 0: N/A 1: Repeated START condition을 발생시킨다.	0
1	R/W	TCIE : Transfer complete Interrupt enable bit 1-byte단위의 데이터 전송이 완료되었을 때, 인터럽트 발생 여부를 결정한다. 0: Disable 1: Enable	0
0	R/W	LSTIE : Lost arbitration Interrupt enable bit Master로 동작 시, 전송 권한을 잃었을 경우, 인터럽트 발생 여부를 결정한다. 0: Disable 1: Enable	0

TWI Status Register (TWISTAT)

Address : 0x8002_2004

Bit	R/W	Description	Default Value
31 : 10	R	Reserved.	-
9	RW	TXEMPTY : TX Buffer Empty. 송신 버퍼의 상태를 나타낸다. 0일 때, 원하는 값으로 Write할 수 있다. 0: 송신 버퍼에 보낼 데이터가 있음 1: 송신 버퍼가 비었음	1
8	RW	RXFULL : RX Buffer Full. 수신 버퍼의 상태를 나타낸다. 1일 때, 원하는 값으로 Write할 수 있다. 0: 수신 버퍼가 비었음 1: 수신 버퍼에 읽어갈 데이터가 있음	0
7	R	TWIDT : Data Transferring Bit. 한 바이트 전송 될 때마다 set되고, TWIDATA 레지스터를 read나 write할 때 clear된다. 또한, 이 bit에 1을 write하면 clear된다. 0: 바이트 전송 중 1: 한 바이트 전송 완료	0
6	R	TWIAS : Addressed as Slave Bit. 자신의 address와 전송 받은 address가 일치할 때 TWI controller는 slave로서 동작하게 된다. TWICON 레지스터가 write되거나, STOP condition 발생 시 clear 된다. 0: Address가 일치하지 않음 1: Address가 일치함	0
5	R	TWIBUSY : Bus Busy Bit. TWI bus 상태를 의미한다. START condition에 의해 set 되고, STOP condition에 의해 clear된다. 이 비트에 0을 write하여도 clear된다. 0: Bus idle 상태 1: Bus busy 상태	0
4	RW	TWILOST : Lost Arbitration Bit. TWI controller가 master mode일 때, bus의 제어 권한을 잃었을 경우 set된다. 소프트웨어적으로 clear해주어야 한다. 1을 write하면 clear된다. 0: Lost arbitration이 발생하지 않았음. 1: Lost arbitration이 발생하였음.	0
3	R	TWISRW : Slave Read/Write Bit. TWI controller가 slave mode일 때 송수신 동작을 나타낸다. 0: Slave 수신 모드 1: Slave 송신 모드	0
2	R	Reserved.	-
1	RW	RSF : Repeated start flag Repeated START condition이 발생하였는지 확인하는 flag bit이다. Repeated START condition이 발생	0

		하면 set되며, STOP condition이 발생하거나, set된 상태에서 이 bit에 1을 write하면 clear된다. 0: Repeated START condition이 발생하지 않았거나 STOP condition이 발생하였음. 1: Repeated START condition이 발생하였음.	
0	R	TWIRXAK : Received Acknowledge Bit. ACK 구간에 들어온 SDA line의 값을 의미 한다. 0: Acknowledge 수신 1: No Acknowledge 수신	1

TWI Address Register(TWIADR)

Address : 0x8002_2008

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	(At only slave mode) 7-bit slave address. TWI controller의 device address를 나타낸다. [7:1] = Slave Address [0] = Not mapped	0x00

TWI Data Register (TWIDATA)

Address : 0x8002_200C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 0	RW	TWI data : TWI 데이터를 나타낸다. Write - 송신 데이터 혹은 접근할 device의 주소. Read - 수신 데이터	0x00

TWI Baud-Rate 0 Register (TWIBR0)

Address : 0x8002_2010

Bit	R/W	Description	Default Value
31 : 4	R	Reserved.	-
7 : 0	RW	Baud-rate 0 Value. $TWIBR0 \geq 3$	0x0F

TWI Baud-Rate 1 Register (TWIBR1)

Address : 0x8002_2014

Bit	R/W	Description	Default Value
31 : 9	R	Reserved.	-
8 : 0	RW	Baud-rate 1 Value.. TWIBR1 ≥ 0	0xFF

$$TWIBR0 = f_{PCLK} \times 700ns + 3$$

$$SCL = \frac{f_{PCLK}}{(2TWIBR1 + TWIBR0 + 7)}$$

$$TWIBR1 = \frac{f_{PCLK}}{2SCL} - \frac{TWIBR0 + 7}{2}$$

* f_{PCLK} = AMBA APB clock frequency

* SCL = TWI 전송 속도

ex) APB clock이 50MHz, TWI 전송속도가 400Kbps 인 경우, (f_{PCLK} = 50MHz, SCL = 400Kbps)

$$TWIBR0 = 50MHz \times 700ns + 3 = 50 \times 10^6 \times 700 \times 10^{-9} + 3 = 38$$

$$SCL = \frac{f_{PCLK}}{(2TWIBR1 + TWIBR0 + 7)} \Rightarrow 400Kbps = \frac{50MHz}{(2TWIBR1 + 38 + 7)} \Rightarrow 400 \times 10^3 = \frac{50 \times 10^6}{(2TWIBR1 + 45)}$$

<Baud-rate Register Setting Reference Table>

f_{PCLK}	TWIBR0	TWIBR1			
		400Kbps	300Kbps	200Kbps	100Kbps
48Mhz	37(0x25)	38(0x26)	58(0x3A)	98(0x62)	218(0xDA)
24Mhz	20(0x14)	17(0x11)	27(0x1B)	47(0x2F)	107(0x6B)
12Mhz	12(0xC)	6(0x6)	11(0xB)	21(0x15)	51(0x33)
6Mhz	7(0x7)	1(0x0)	3(0x3)	8(0x8)	23(0x17)
11.2896Mhz	11(0xB)	5(0x5)	10(0xA)	19(0x13)	48(0x30)
5.6448Mhz	7(0x7)	0(0x0)	3(0x3)	7(0x8)	21(0x16)

* 위 표의 값은 약간의 오차가 있을 수 있음.

13 UART

CANTUS의 UART는 RS-232C 인터페이스의 기능을 보유한 일반적인 PC 및 I/O device와 직렬 비동기 통신을 위한 다양한 제어기능을 가진 8 채널 UART(Universal Asynchronous Receiver/ Transmitter) Controller 가 내장되어 있다.

Key Features

- Compatible with standard 16450/16550 UARTs
- Fully programmable serial-interface protocols
 - 5,6,7,8-bit characters
 - Even, odd or no-parity, stick parity generation and detection
 - 1, 1.5, 2 stop bit generation
 - Baud rate generator
- Line break generation and detection
- False start bit detection
- Prioritized transmit, receive and line status control interrupts
- Independent 16 characters transmit and receive 16Bytes FIFOs
- 8 Ch. UARTs

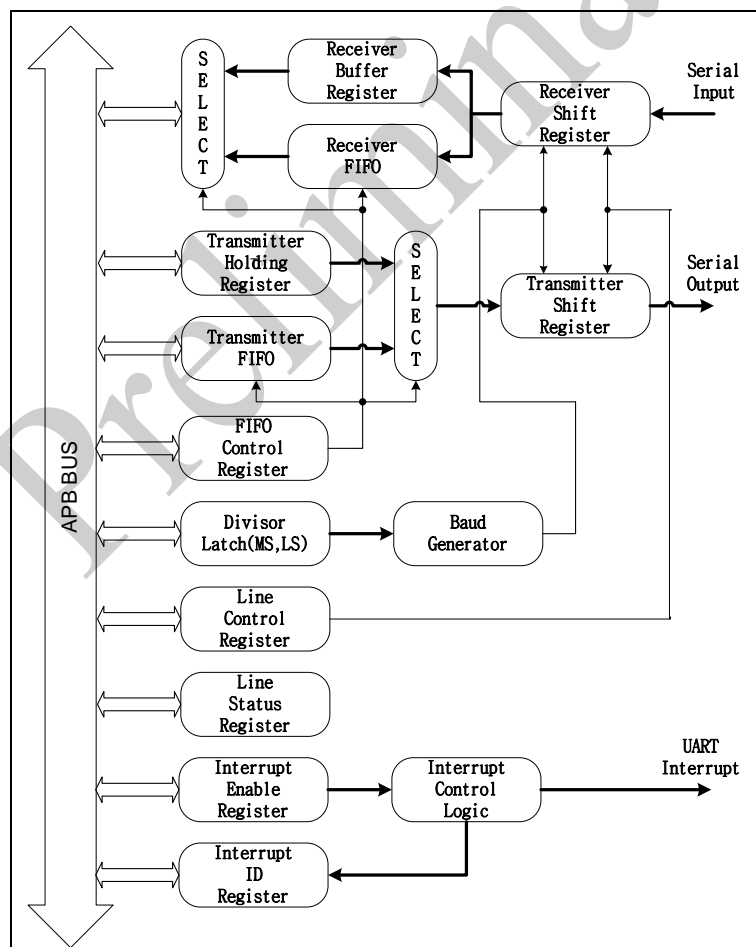


Figure 13-1 UART Block Diagram

13.1 UART Registers Summary

Table 13-1 UART Register Summary

Bit No.	DLAB = 0	DLAB = 0	DLAB = 0	DLAB = 0	DLAB = X	DLAB = X	DLAB = X	DLAB = 1	DLAB = 1
	0x00	0x00	0x04	0x08	0x08	0x0C	0x14	0x00	0x04
	Receiver Buffer Register	Transmitter Holding Register	Interrupt Enable Register	Interrupt Ident. Register	FIFO Control Register	Line Control Register	Line Status Register	Divisor Latch (LSB)	Divisor Latch (MSB)
	RBR	THR	IER	IIR	FCR	LCR	LSR	DLL	DLM
	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W
0	Data Bit 0	Data Bit 0	Enable Received Data Available Interrupt	“0” if Interrupt Pending	FIFO Enable	Word Length Select Bit 0	Data Ready	Bit 0	Bit 0
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt	Interrupt ID Bit 0	RCVR FIFO Reset	Word Length Select Bit 1	Overrun Error	Bit 1	Bit 1
2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt	Interrupt ID Bit 1	XMIT FIFO Reset	Number of Stop Bits	Parity Error	Bit 2	Bit 2
3	Data Bit 3	Data Bit 3	0	Interrupt ID Bit 2	0	Parity Enable	Framing Error	Bit 3	Bit 3
4	Data Bit 4	Data Bit 4	0	0	Reserved	Even Parity Select	Break Interrupt	Bit 4	Bit 4
5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity	Transmitter Holding Register	Bit 5	Bit 5
6	Data Bit 6	Data Bit 6	0	FIFOs Enabled	RCVR Trigger(LS B)	Set Break	Transmitter Empty	Bit 6	Bit 6
7	Data Bit 7	Data Bit 7	0	FIFOs Enabled	RCVR Trigger(MS B)	Divisor Latch Access Bit (DLAB)	Error in RCVR FIFO	Bit 7	Bit 7

* DLAB = LCR[7](Divisor Latch Access Bit)
 * FIFO Control Register :
 - DLAB = 0 : Register Write
 - DLAB = 1 : Register Read
 * Address 0x10(0x30), 0x18(0x38), 0x1C(0x3C)는 16550 UART 표준과의 호환성을 위해 Reserved 되었다.

13.2 Serial Data Format

CANTUS의 UART에서는 ULCRn[4:0] 비트의 레지스터 설정으로 UART 통신 Serial Data Format에 대한 변경이 가능하다. 다음 표는 ULCRn[4:0] bit의 Register 설정으로 변경 가능한 데이터 포맷에 대한 설명이다.

ULCRn[4:0]	Description
00010 No Parity / 1 Stop bit / 7 Data bit	
00011 No Parity / 1 Stop bit / 8 Data bit	
00110 No Parity / 2 Stop bit / 7 Data bit	
00111 No Parity / 2 Stop bit / 8 Data bit	
11010 Even Parity / 1 Stop bit / 7 Data bit	
11011 Even Parity / 1 Stop bit / 8 Data bit	

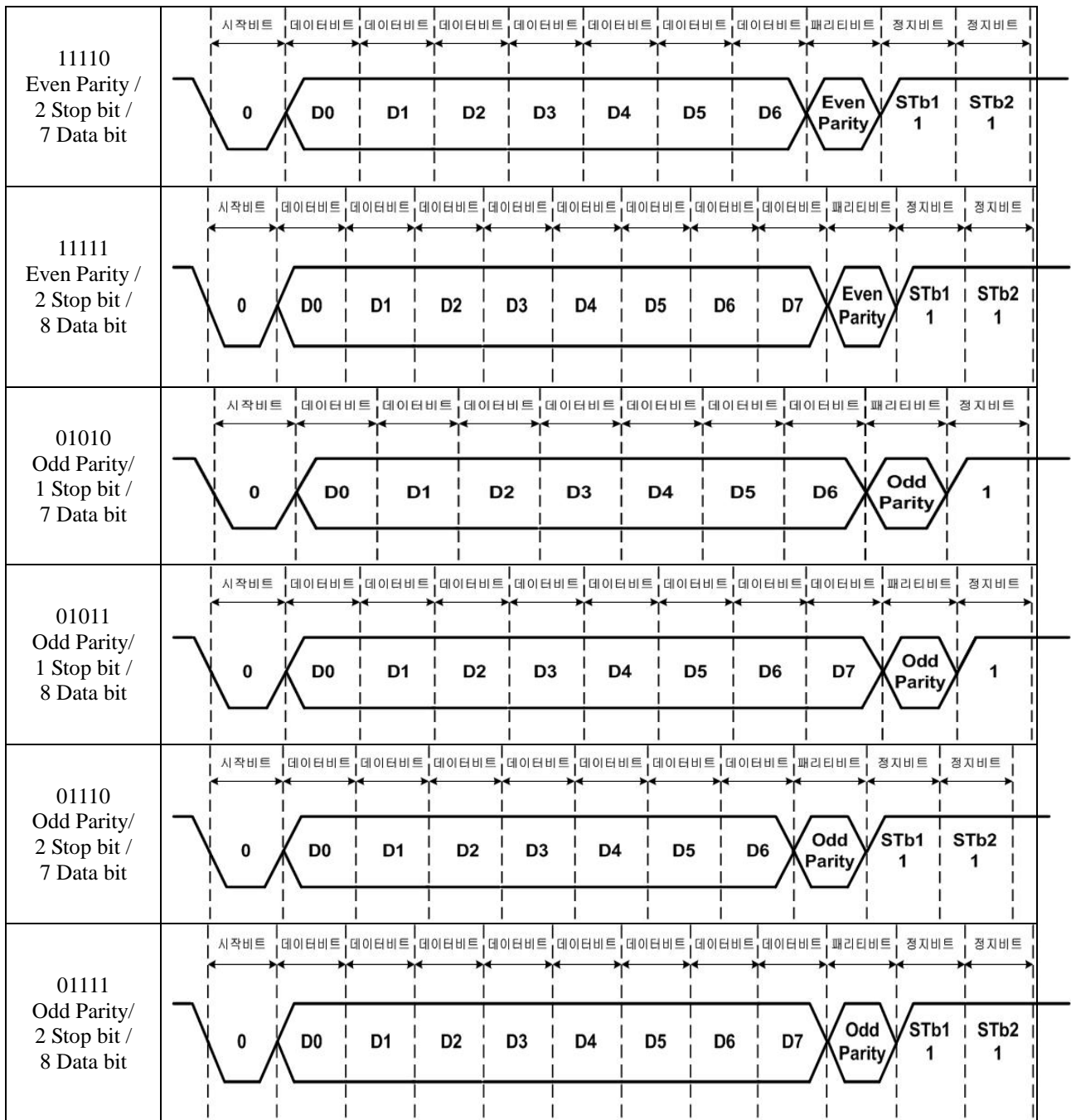


Figure 13-2 UART LCR Register Setting and Serial Data Format

13.3 UART Baud Rate

TX/RX Baud Rate은 아래 식으로 계산된다.

$$UART \text{ Baud Rate} = \frac{f_{PCLK}}{16 \times UDL}$$

UART Divisor Latch Value (UDL) = UDLM[7:0] << 8 + UDLL[7:0]

Table 13-2 UART Baud Rate

f_{PCLK} (MHz)		1.024	2.048	5.6448	11.2896	24.0	48.0
2400 bps	UDL	27	53	147	294	625	1250
	ERR(%)	1.23	0.63	0.00	0.00	0.00	0.00
4800 bps	UDL	-	27	74	147	313	625
	ERR(%)	-	1.23	0.68	0.00	0.16	0.00
9600 bps	UDL	-	-	37	74	156	313
	ERR(%)	-	-	0.68	0.68	0.16	0.16
14400 bps	UDL	-	9	25	49	104	208
	ERR(%)	-	1.23	2.00	0.00	0.16	0.16
19200 bps	UDL	-	-	18	37	78	156
	ERR(%)	-	-	2.08	0.68	0.16	0.16
38400 bps	UDL	-	-	9	18	39	78
	ERR(%)	-	-	2.08	2.08	0.16	0.16
57600 bps	UDL	-	-	6	12	26	52
	ERR(%)	-	-	2.08	2.08	0.16	0.16
115200bps	UDL	-	-	3	6	13	26
	ERR(%)	-	-	2.08	2.08	0.16	0.16

*** ERR 이 2.2% 이상에서는 UART 동작의 안정성을 보장 받을 수 없다.

13.4 UART Control Registers

UART Channel Receiver Buffer Registers (UxRB)

Address : 0x8002_1400 / 0x8002_1420 / 0x8002_1440 / 0x8002_1460
 0x8002_1800 / 0x8002_1820 / 0x8002_1840 / 0x8002_1860

Bit	R/W	Description	Default Value
31: 8	R	Reserved.	-
7 : 0	R	Receive Buffer Data	-

*** DLAB가 “0” 일 때 Access 가능하다.

UART Channel Transmitter Holding Registers (UxTH)

Address : 0x8002_1400 / 0x8002_1420 / 0x8002_1440 / 0x8002_1460
 0x8002_1800 / 0x8002_1820 / 0x8002_1840 / 0x8002_1860

Bit	R/W	Description	Default Value
31: 8	W	Reserved.	-
7 : 0	W	Transmit Holding Data	-

*** DLAB가 “0” 일 때 Access 가능하다.

UART Channel Interrupt Enable Registers (UxIE)

Address : 0x8002_1404 / 0x8002_1424 / 0x8002_1444 / 0x8002_1464
 0x8002_1804 / 0x8002_1824 / 0x8002_1844 / 0x8002_1864

Bit	R/W	Description	Default Value
31: 3	R	Reserved.	-
2	RW	RLSIEN : Receiver Line Status Interrupt Enable bit 0 : Disable 1 : Enable	0
1	RW	THEIEN : Transmitter Holding Empty Interrupt Enable bit 0 : Disable 1 : Enable	0
0	RW	RDAIEN : Received Data Available Interrupt Enable bit 0 : Disable 1 : Enable	0

*** DLAB가 “0” 일 때 Access 가능하다.

UART Channel Interrupt Identification Register (Uxll)

Address : 0x8002_1408 / 0x8002_1428 / 0x8002_1448 / 0x8002_1468

0x8002_1808 / 0x8002_1828 / 0x8002_1848 / 0x8002_1868

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	R	FIFOST : FIFOs Enabled Status bit. 00 : not in FIFO mode 11 : FIFO mode	00
5 : 4	R	Reserved	0
3 : 1	R	INTID : UART Interrupt ID (Note, UART Interrupt Control Function)	000
0	R	INTP : UART Interrupt Pending bit When this bit is a logic 1, no interrupt is pending	1

*** DLAB가 “0” 일 때만 Read Mode로 Access 가능하다.

Table 13-3 UART Interrupt Control Function

Interrupt Identification Register				Priority Level	Interrupt Type	Interrupt Source	Interrupt Reset Condition
Bit 3	Bit 2	Bit 1	Bit 0				
0	0	0	1	-	None	None	-
0	1	1	0	Highest	Receiver Line Status	Overrun Error or Parity Error Framing Error or Break Interrupt	Reading the Line Status Register
0	1	0	0	Second	Received Data Available	Receiver Data Available or Trigger Level Reached	Reading the Receiver Buffer Register or the FIFO Drops Below the Trigger Level
1	1	0	0	Second	Character Timeout Indication	No Characters have been removed from or input to the RCVR FIFO during the last 4 Char. times, and there is at least 1 Char. in it during this Time	Reading the Receiver Buffer Register
0	0	1	0	Third	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR Register (if source of interrupt) or Writing into the Transmitter Holding Register

UART Channel FIFO Control Register (UxFC)

Address : 0x8002_1408 / 0x8002_1428 / 0x8002_1448 / 0x8002_1468
 0x8002_1808 / 0x8002_1828 / 0x8002_1848 / 0x8002_1868

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7 : 6	RW	RFTL : Receiver FIFO Trigger Level 00 : 1 Byte 01 : 4 Byte 10 : 8 Byte 11 : 14 Byte	00
5 : 3	R	Reserved	-
2	RW	XFR : XMIT FIFO Reset XFR가 “1” 일 때, XMIT FIFO 내의 모든 데이터는 Reset 된다. 그러나 Shift Register 내의 데이터는 Reset 되지 않는다.	0
1	RW	RFR : RCVR FIFO Reset RFR가 “1” 일 때, RCVR FIFO 내의 모든 데이터는 Reset 된다. 그러나 Shift Register 내의 데이터는 Reset 되지 않는다.	0
0	RW	FIFOEN : FIFO Enable Bit 0 : 16450 UART Mode 1 : Enables FIFO	0

*** DLAB가 “0” 일 때는 Write Mode 이고, DLAB가 “1” 일 때는 Read Mode 이다.

UART Channel Line Control Register (UxLC)

Address : 0x8002_140C / 0x8002_142C / 0x8002_144C / 0x8002_146C
 0x8002_180C / 0x8002_182C / 0x8002_184C / 0x8002_186C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	RW	DLAB : Divisor Latch Access Bit DLAB이 “1” 일 때, Divisor Latch Registers의 Read/Write와 FIFO Control Register의 Read가 가능하다.	0
6	RW	SB : Set Break SB가 “1” 일 때, Serial Data Output에 Logic “0”이 출력된다. SB는 내부 Transmitter Logic에는 영향을 미치지 않으며, 단지 Serial Output에만 영향을 미친다.	0
5	RW	SP : Stick Parity 0 : Disables Stick Parity 1 : PEN, EPS, SP가 “1”일 때, Parity Bit “0” PEN, SP가 “1”이고, EPS가 “0” 일 때, Parity Bit “1”	0
4	RW	EPS : Even Parity Select 0 : Select Odd Parity 1 : Select Even Parity	0
3	RW	PEN : Parity Enable Bit 0 : Disables Parity 1 : Enables Parity	0
2	RW	STB : Number of Stop Bit 0 : 1 Stop bit 1 : 2 Stop bits(만약, WLS Bit에서 5 Bits/Character를 선택했다면, 1.5 Stop bits 을 갖는다.)	0
1 : 0	RW	WLS : Word Length Select 00 : 5 Bits/Character 01 : 6 Bits/Character 10 : 7 Bits/Character 11 : 8 Bits/Character	00

UART Channel Line Status Register (UxLS)

Address : 0x8002_1414 / 0x8002_1434 / 0x8002_1454 / 0x8002_1474
 0x8002_1814 / 0x8002_1834 / 0x8002_1854 / 0x8002_1874

Bit	R/W	Description	Default Value
31 : 8	R	Reserved.	-
7	R	EIRF : Error in RCVR FIFO FIFO 모드가 아닌 경우 EIRF는 항상 “0”이다. FIFO 모드에서 EIRF는 RCVR FIFO 내에서 OE, PE, FE, BI 중 어느 하나라도 “1”이 설정되면, “1”이 된다. EIRF는 만약 FIFO 내에 연속적인 에러가 없다면, LSR 레지스터를 읽었을 때 Clear(“0”)된다.	0
6	R	TEMP : Transmitter Empty FIFO 모드가 아닌 경우 TEMT는 Transmitter Holding Register (THR)와 Transmitter Shift Register(TSR)이 모두 Empty일 때 “1”이 된다. THR 또는 TSR에 데이터가 있으면 Clear된다. FIFO 모드에서는, TEMT는 Transmitter FIFO와 TSR이 모두 Empty일 때 “1”이 된다.	1
5	R	THRE : Transmitter Holding Register Empty FIFO 모드가 아닌 경우 THRE는 THR의 데이터가 TSR로 전송 되어 Empty가 되었을 때 “1”이 되며, THR에 전송을 위한 새로운 데이터를 쓸 수 있다. FIFO 모드에서는 Transmit FIFO가 Empty일 때 THRE가 “1”이 되며, 적어도 하나의 Byte라도 Transmit FIFO에 쓰이면 Clear된다. 만약 THRE interrupt(ETHREI) 가 “1”이고 THRE가 “1”이라면 Interrupt가 발생한다.	1
4	R	BINT : Break Interrupt : 수신되는 입력 데이터가 Full-word 전송 시간 동안 “0”일 때 BINT는 “1”이 된다. Full-word 전송 시간은 Start, Data, Parity 그리고 Stop 비트 전송을 위한 전체 시간을 의미한다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용되며, BINT가 발생했을 때 FIFO에는 “0”이 쓰인다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
3	R	FERR : Framing Error FERR는 수신되는 입력 데이터가 유효한 Stop 비트를 가지지 않았을 때 “1”이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
2	R	PERR : Parity Error PERR는 수신되는 입력 데이터가 LCR 레지스터에 의해 선택된 Parity 비트와 같지 않을 때 “1”이 된다. FIFO 모드에서 이 에러는 FIFO 내의 각각의 Byte에 적용된다. CPU가 LSR을 읽어 올 때 Clear 된다.	0
1	R	OERR : Overrun Error OERR는, FIFO 모드가 아닌 경우, RBR 내의 데이터를 읽어가기 전에 새로운 데이터가 쓰인 경우 “1”이 된다. FIFO	0

		모드에서는 FIFO가 Full 상태에서 Receiver Shift Register(RSR)에 새로운 Full-word가 들어왔을 때 “1”이 된다. 이 경우 RSR은 새로운 데이터로 계속 갱신이 되지만, FIFO로 전송은 되지 않는다. CPU가 LSR을 읽어 올 때 Clear 된다.	
0	R	DRDY : Data Ready DRDY은 수신된 데이터가 RBR 또는 FIFO에 써졌을 때 “1”이 된다. RBR 또는 FIFO 내의 모든 데이터가 CPU에 의해 읽혀졌을 때 Clear된다.	0

UART Channel Divisor Latch LSB Register (UxDLL)

Address : 0x8002_1400 / 0x8002_1420 / 0x8002_1440 / 0x8002_1460
0x8002_1800 / 0x8002_1820 / 0x8002_1840 / 0x8002_1860

Bit	R/W	Description	Default Value
31:8	R	Reserved.	-
7:0	RW	Divisor Latch Least Significant Byte	0x00

*** DLAB가 “1” 일 때 Access 가능하다.

UART Channel Divisor Latch MSB Register (UxDLM)

Address : 0x8002_1404 / 0x8002_1424 / 0x8002_1444 / 0x8002_1464
0x8002_1804 / 0x8002_1824 / 0x8002_1844 / 0x8002_1864

Bit	R/W	Description	Default Value
31:8	R	Reserved.	-
7:0	RW	Divisor Latch Most Significant Byte	0x00

*** DLAB가 “1” 일 때 Access 가능하다.

14 DMA (DIRECT MEMORY ACCESS)

DMA 제어기는 메모리와 IO에 대한 대규모 데이터 전송이 가능하다. 2개의 채널을 가지며 각 채널당 16x4 byte의 FIFO를 가진다. word 단위 전송 시 4/8/16 Burst 모드로 동작 할 수 있다. DMA 에러나 DMA 카운트 종료 시 인터럽트 신호가 발생된다.

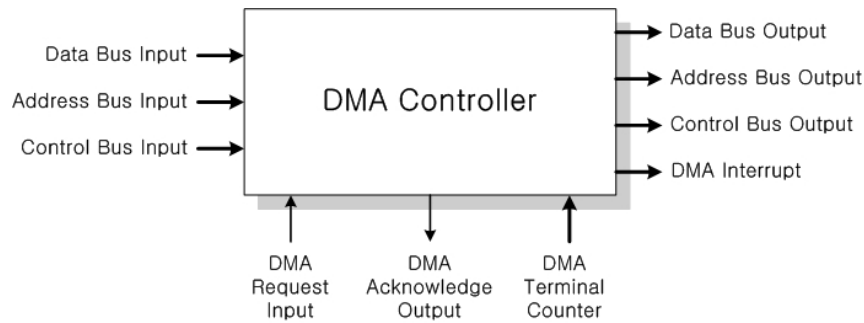


Figure 14-1 Structure of DMA Controller

Key Features

- 2채널 DMA
- 4-GByte 영역의 32-bit 주소 제어
- 최대 16MByte까지 한 번에 전송할 수 있는 24-bit 카운터
- 소프트웨어에 의한 DMA 요구 기능
- 무한개의 데이터 블록에 대한 scattering/gathering를 지원하는 chain mode
- 직접 설정 가능한 direct mode 지원
- No burst 와 16 x 4 byte의 FIFO를 이용한 4,8,16 burst
- 주소 고정, 증가, 감소 기능 지원
- 인터럽트 동작 시 DMA 상태 Flag bit를 지원
- Byte 단위까지 접근 가능하게 하는 data size 조정기능

14.1 DMA Operation

DMA 제어기는 각각의 Request source를 개별 DMA 요구로 처리할 수 있다. DMA 동작은 선택된 요구에 대해서만 반응한다. DMA 제어기가 설정된 DMA 동작을 수행하기 위해서는 DMACTRL의 DMAEN(DMA Operation Enable and Cancel)비트를 설정하여야 한다. DMA 동작이 완료되면 DMAEN 비트는 자동적으로 clear 된다.

DMA Request는 프로그램 또는 다른 주변장치에 의해 생성된다. DMACTRL의 DMA Request source selection bit의 설정을 통해서 Request source는 결정된다.

DMA 제어기는 Direct mode와 Chain mode 의 2가지로 동작한다. Direct mode에서는 사용자가 DMASA, DMADA, DMATCNT에 직접 제어하는 방법이다. Chain mode에서는 사용자가 구성된 Descriptor의 주소를 DMADT에 기록한 후, DMACTRL의 DMAEN비트와 DMAMODE비트를 설정하여 동작시킨다.

DMA 제어기는 Source, Destination address에 대하여 3가지 형태의 주소를 발생시킨다. Fixed address는 데이터 전송 시 마다 DMASA과 DMADA의 기록된 주소를 바로 출력한다. Increment address는 DMA 제어기가 데이터 전송 시 마다 DMASA 과 DMADA의 기록된 주소를 증가시킨다. Decrement address는 DMA 제어기가 데이터 전송 시 마다 DMASA과 DMADA의 기록된 주소를 감소시킨다.

14.2 DMA Descriptor Table

Descriptor는 DMA 제어기가 데이터 전송을 위해 필요한 정보로 구성된다. 사용자는 전송하고자 하는 블록에 해당하는 각각의 descriptor를 작성하여야 하며, descriptor의 field 중 next description address를 이용하여 각각의 descriptor를 연결해야 한다. 처음 시작하여야 할 descriptor의 위치를 DMADT에 저장한 후 DMA 제어기를 동작시키면 DMA 제어기는 descriptor를 읽기 시작한다. 하나의 descriptor를 읽은 DMA 제어기는 descriptor에 포함된 정보를 이용하여 데이터 전송을 처리하고 마지막 descriptor를 수행할 때까지 읽기와 실행을 반복한다. descriptor의 내용은 다음과 같다.

Table 14-1 DMA Descriptor summary

Descriptor field	Description
Source Address	DMA 제어기가 메모리로부터 descriptor를 읽은 후 이 필드의 내용을 DMASA에 저장한다.
Destination Address	DMA 제어기가 메모리로부터 descriptor를 읽은 후 이 필드의 내용을 DMADA에 저장한다.
Transfer Count	DMA 제어기가 메모리로부터 descriptor를 읽은 후 이 필드의 내용을 DMATCNT에 저장한다.
Next Description Address	DMA 제어기가 메모리로부터 descriptor를 읽은 후 이 필드의 내용을 DMA 제어기 내부에 존재하는 next description address buffer에 저장한다.
Control Flag	DMA 전송에 필요한 제어설정. DMA 제어기가 메모리로부터 descriptor를 읽은 후, 이 필드의 내용을 DMACTRL과 임시 flag buffer에 저장한다.

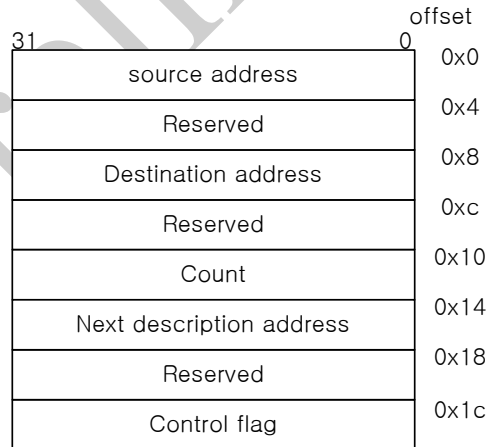
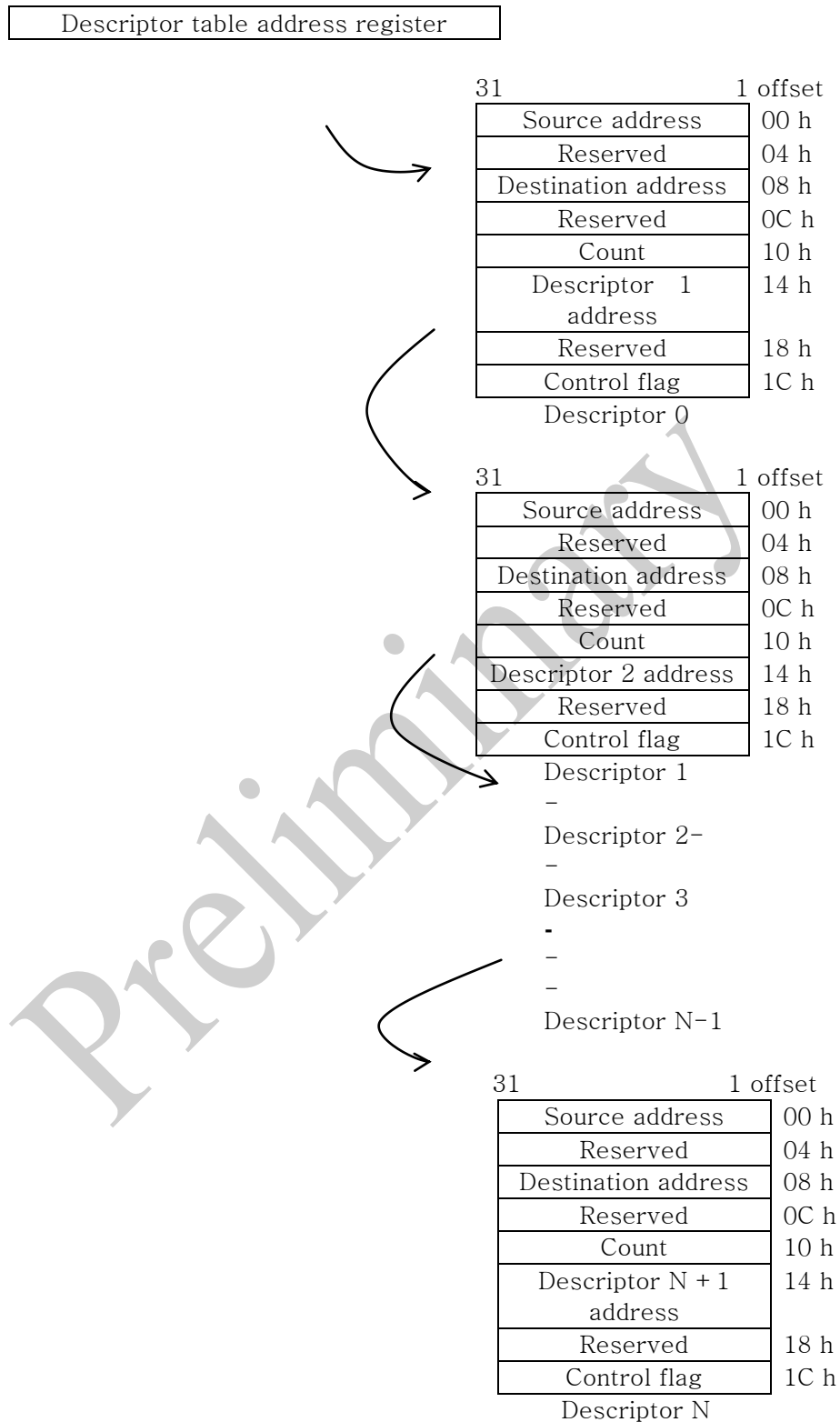


Figure 14-2 Structure of DMA Descriptor



31	1 offset
Source address	00 h
Reserved	04 h
Destination address	08 h
Reserved	0C h
Count	10 h
Descriptor 1 address	14 h
Reserved	18 h
Control flag	1C h

Descriptor 0

31	1 offset
Source address	00 h
Reserved	04 h
Destination address	08 h
Reserved	0C h
Count	10 h
Descriptor 2 address	14 h
Reserved	18 h
Control flag	1C h

Descriptor 1
-
Descriptor 2-
-
Descriptor 3
-
-
Descriptor N-1

31	1 offset
Source address	00 h
Reserved	04 h
Destination address	08 h
Reserved	0C h
Count	10 h
Descriptor N + 1 address	14 h
Reserved	18 h
Control flag	1C h

Descriptor N

Figure 14-3 Example of DMA Descriptor flow

Structure of Descriptor

```
struct {  
    long a;          /* 0x11223344 */  
    long Ra;        /* 0xxxxxxxxx */  
    long b;          /* 0x55667788 */  
    long Rb;        /* 0xxxxxxxxx */  
    long c;          /* 0x123456 */  
    long d;          /* 0abcdef01 */  
    long Rd;        /* 0xxxxxxxxx */  
    long e;          /* 0x00000000 */  
} descriptor;
```

결과 :

Source address	= 0x11223344
Destination address	= 0x55667788
Count	= 0x123456
Next descriptor address	= 0abcdef01
State flag	= 0x00000000

Preliminary

14.3 Control flag of Descriptor

Descriptor에 기록되는 control flag 는 DMA 제어기가 읽어 DMACTRL에 기록된다. flag의 역할은 DMACTRL의 각 flag 들과 역할이 동일하다. 다만 DMA 제어기 상태를 나타내는 상태 flag가 없는 대신 next descriptor의 유효성을 나타내는 비트 31, 30 번이 존재한다. DMA 제어기는 current descriptor에 해당하는 내용을 참조하여 데이터를 전송한다. Chain Mode인 경우에는 Next Descriptor Flag bit을 참조하여 이 비트가 “1”이면 다음 descriptor 읽기를 시도한다. 그러나 이 비트가 “0”이면 현재 descriptor가 마지막이라고 파악하여 인터럽트를 요청하고 동작을 종료한다. 비트 30번은 descriptor를 읽었을 때 인터럽트 발생을 허용하는 비트이다. (그 외 나머지는 DMACTRL과 같다.)

Preliminary

14.4 DMA Control Registers

DMA Interrupt Status Register (DMAINTSTAT)

Address : 0x8000_0800

Bit	R/W	Description	Default Value
31 : 18	R	Reserved	-
17	R	Ch1 Error Interrupt Status bit 0 : Okay 1 : Error	0
16	R	Ch0 Error Interrupt Status bit 0 : Okay 1 : Error	0
15 : 2	R	Reserved	-
1	R	Ch1 Terminal count Interrupt Status bit 0 : Idle 1 : Occurred Interrupt	0
0	R	Ch0 Terminal count Interrupt Status bit 0 : Idle 1 : Occurred Interrupt	0

DMA Interrupt Enable Register (DMAINTEN)

Address : 0x8000_0804

Bit	R/W	Description	Default Value
31 : 18	R	Reserved	-
17	R/W	Ch1 Error Interrupt Enable bit 0 : Enable 1 : Disable	0
16	R/W	Ch0 Error Interrupt Enable bit 0 : Enable 1 : Disable	0
15 : 2	R	Reserved	-
1	R/W	Ch1 Terminal Count Interrupt Enable bit 0 : Enable 1 : Disable	0
0	R/W	Ch0 Terminal Count Interrupt Enable bit 0 : Enable 1 : Disable	0

DMA Channel Enable Status Register (DMACHSTAT)

Address : 0x8000_0808

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R	Ch1 Enable Status 0 : Disable 1 : Enable	0
0	R	Ch0 Enable Status 0 : Disable 1 : Enable	0

DMA Request Status Register (DMAREQSTAT)

Address : 0x8000_080C

Bit	R/W	Description	Default Value
31 : 9	R	Reserved	-
8	R	Ch1 SDCD Request Status 0 : DMA Request 1 : Idle	1
7	R	Ch1 NAND Flash Read Request Status 0 : DMA Request 1 : Idle	1
6	R	Ch1 NAND Flash Write Request Status 0 : DMA Request 1 : Idle	1
5 : 1	R	Reserved	-
0	R	Ch0 I2S Request Status 0 : DMA Request 1 : Idle	1

DMA Configuration Register (DMACFG)

Address : 0x8000_0810

Bit	R/W	Description	Default Value
31 : 12	R	Reserved	-
11 : 10	R/W	Ch1 Data Swap mode 00 : Reserved 01 : Byte Swap in 16bit Transfer mode 10 : Half-Word Swap in 32bit Transfer mode 11 : Byte Swap in 32bit Transfer mode	00
9 : 8	R/W	Ch0 Data Swap mode 00 : Reserved 01 : Byte Swap in 16bit Transfer mode 10 : Half-Word Swap in 32bit Transfer mode 11 : Byte Swap in 32bit Transfer mode	00
7 : 1	R	Reserved	-
0	R/W	DMA Request Enable 0 : Enable 1 : Disable	0

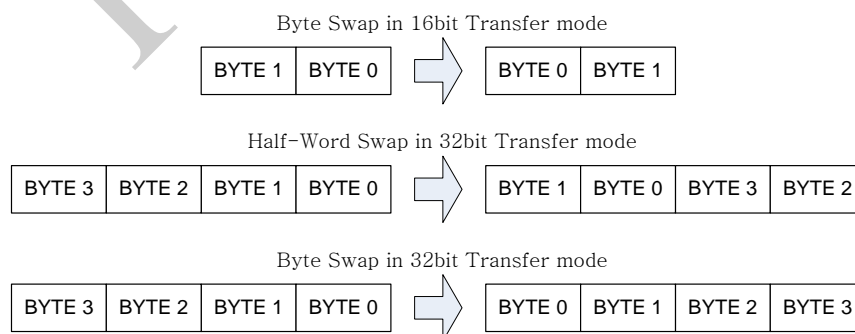


Figure 14-4 DMA Data Swap mode

DMA Last Request Register (DMALREQ)

Address : 0x8000_0818

Bit	R/W	Description	Default Value
31 : 2	R	Reserved	-
1	R/W	Ch1 Last Request 0 : Continue 1 : Last Transfer	0
0	R/W	Ch0 Last Request 0 : Continue 1 : Last Transfer	0

Preliminary

DMA Control Register (DMAnCTRL)

Address : 0x8000_0820 / 0x8000_0840

Bit	R/W	Description	Default Value
31	R/W	Next Descriptor Flag (Only Chain Mode) 0 : Next Descriptor Enable 1 : Next Descriptor Disable	0
30	R/W	Descriptor Read Interrupt Mask (Only Chain Mode) 0 : Disable Interrupt Mask 1 : Enable interrupt Mask	0
29 : 25	R	Reserved	-
24	R/W	DMAEN : DMA Operation Enable and Cancel bit 0 : Cancels DMA Operation 1 : DMA Operation Enable by Software	0
23	R/W	Memory initialize mode selection 0: Normal DMA operation 1: Copy DMAnMIV Register value to Memory for Initializing memory	0
22 : 19	R	Reserved	-
18 : 16	R/W	DMA Request Source Selection DMA Ch 0 DMA Ch 1 000 : I2S 000 : NAND Flash Write 11x : Software 001 : NAND Flash Read 010 : SDCD 1xx : Software	000
15	R	DMAMODE : DMA Chain Mode Enable bit 0 : Direct Mode 1 : Chain Mode	0
14 : 12	R/W	Protection and Access Information (System Bus Protection control) - bit 14 0 : Cacheable 1 : Not Cacheable - bit 13 0 : Bufferable 1 : Not Bufferable - bit 12 0 : Privileged 1 : User	000
11	R/W	Lock(System bus Lock) 0: Unlock 1 : Lock	0
10	R/W	DMA Transfer Count Mode 0 : Reference Count 1 : Not used (unlimited transfer)	0
9 : 8	R/W	DMA Burst Size 00 : No burst 01 : 4 beat incrementing burst 10 : 8 beat incrementing burst 11 : 16 beat incrementing burst	00
7 : 6	R/W	Direction of DMA Source Address 00 : Fixed Address 01 : Reserved 10 : Increment 11 : Decrement	00

5 : 4	R/W	Direction of DMA Destination Address 00 : Fixed Address 01 : Reserved 10 : Increment 11 : Decrement	00
3 : 2	R/W	Data Size for Transfer 00 : 8-bit(1byte) 01 : 16-bit(1half-word) 10 : 32-bit(1word) 11 : Reserved	00
1 : 0	R	Reserved	-

DMA Source Address Register (DMA_nSA)

Address : 0x8000_0824 / 0x8000_0844

Bit	R/W	Description	Default Value
31 : 0	R/W	DMA Source Address A[31:0]	0x0000_0000

DMA Destination Address Register (DMA_nDA)

Address : 0x8000_0828 / 0x8000_0848

Bit	R/W	Description	Default Value
31 : 0	R/W	DMA Destination Address A[31:0]	0x0000_0000

DMA Transfer Count Register (DMA_nTCNT)

Address : 0x8000_082C / 0x8000_084C

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 0	R/W	DMA Transfer Count Register. Data transfer 마다 1씩 감소한다. burst인 경우도 1씩 감소한다. ex) 16burst * 32bit * 1(Count) = 64byte	0x000000

DMA Descriptor Table Address Register (DMA_nDT)

Address : 0x8000_0830 / 0x8000_0850

Bit	R/W	Description	Default Value
31 : 0	R/W	DMA Descriptor Table Address A[31:0]	0x0000_0000

DMA Memory Initialize Value Register (DMA_nMIV)

Address : 0x8000_0834 / 0x8000_0854

Bit	R/W	Description	Default Value
31 : 0	R/W	Value for initialing memory	0x0000_0000

*** DMA 제어기가 Memory Initialize mode로 동작할 때 Destination 영역에 초기화할 값을 설정한다.

15 NAND FLASH CONTROLLER

NAND Flash 제어기는 8-bit I/O 타입의 NAND Flash memory와의 데이터 전송을 관리한다. 데이터 전송은 내부 데이터 레지스터를 이용하여 이루어 질 수도 있고 내부 2KBytes SRAM을 버퍼로 설정하여 빠른 전송을 수행할 수 있다.

Key Features

- 8bit I/O support
- 3-cycle/4-cycle/5-cycle Address support
- 2KBytes Buffer mode
- 1bit for SLC and 4bit ECC for MLC

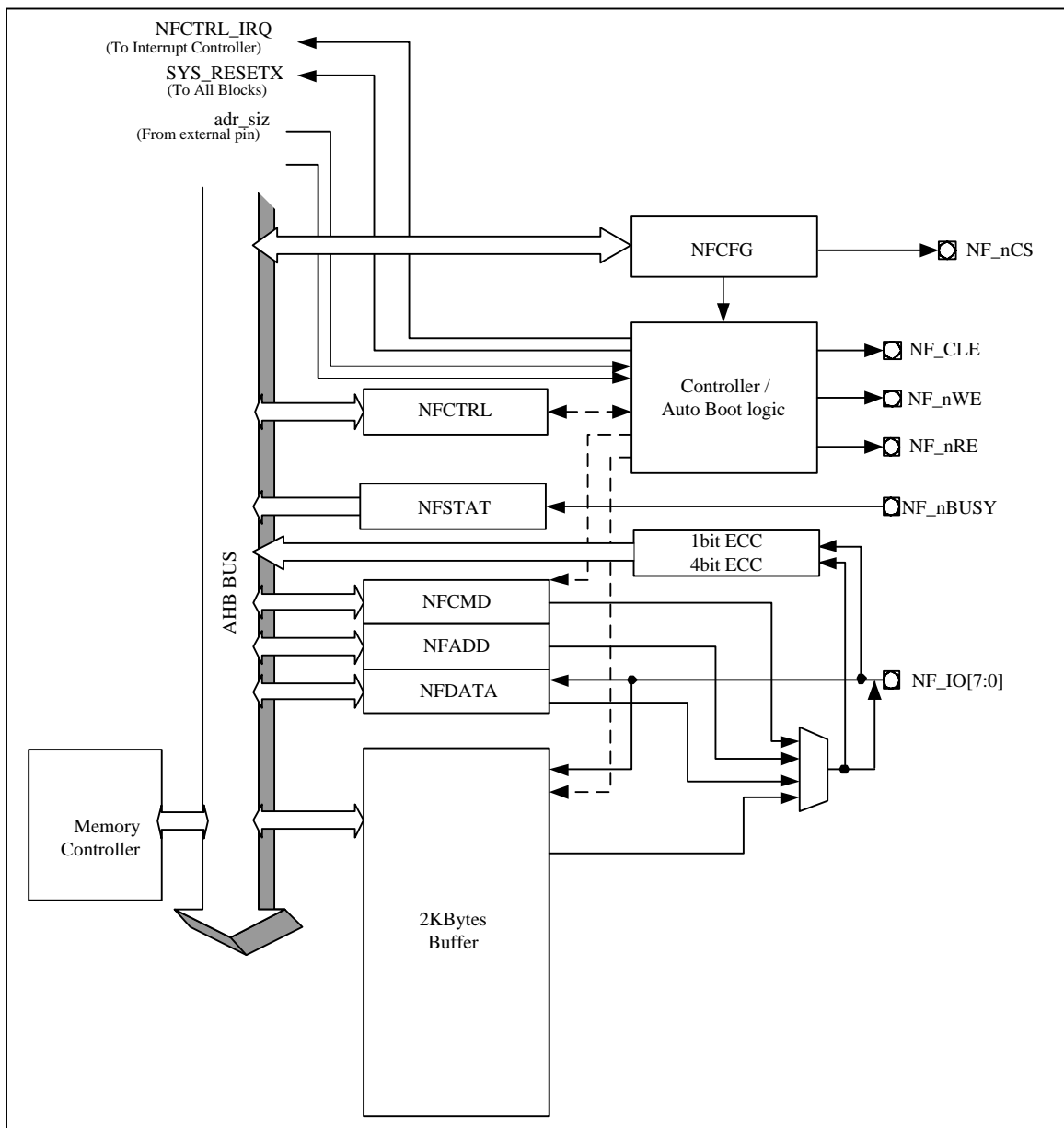


Figure 15-1 NAND Flash Controller Block Diagram

15.1 NAND Flash Operation

Data Read/Write

1. 데이터 전송을 위한 타이밍을 NFCFG 레지스터에 설정한다.
2. NAND Flash Memory Command를 NFCMD 레지스터에 설정한다.
3. 접근할 NAND Flash Memory의 주소를 NFADR 레지스터를 통해 설정한다. 이때 NAND Flash에 접근에 필요한 Address cycle 만큼 반복하여 설정하여야 한다.
4. NFCPUDATA 레지스터를 통해 Read/Write 동작을 수행한다. 데이터를 읽기 전 또는 데이터를 쓰고 난 뒤에는 반드시 NDFL_nBUSY핀을 확인하여야 한다.

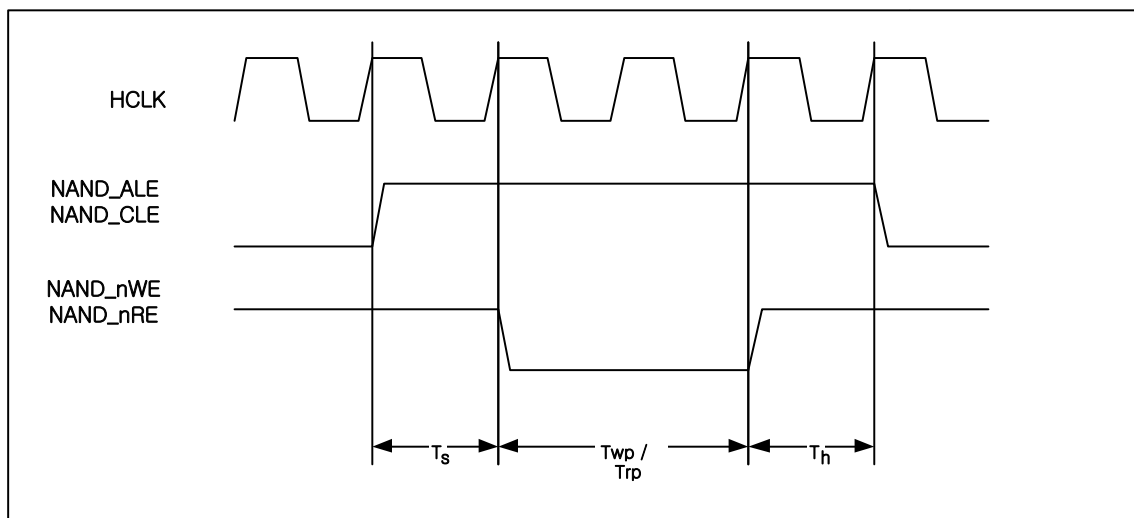


Figure 15-2 Read/Write Timing Diagram of NAND Flash Memory

Buffer Memory (2Kbytes)

NAND Flash 제어기는 내부 메모리를 버퍼 메모리로 설정하면 빠른 전송이 가능하다. NFCTRL 레지스터의 N2U, N2L, U2N, L2N 비트를 통해 접근한다.

NAND Flash Memory의 1-Page size가 512Bytes인 경우에는 512Bytes 전송만 가능하고, 1-Page size가 2KBytes인 경우에는 512Bytes와 1KBytes의 전송이 가능하다.

버퍼로 설정될 Internal Memory(SRAM)의 시작 주소는 NFLBADR과 NFUBADR 레지스터에 설정하게 한다.

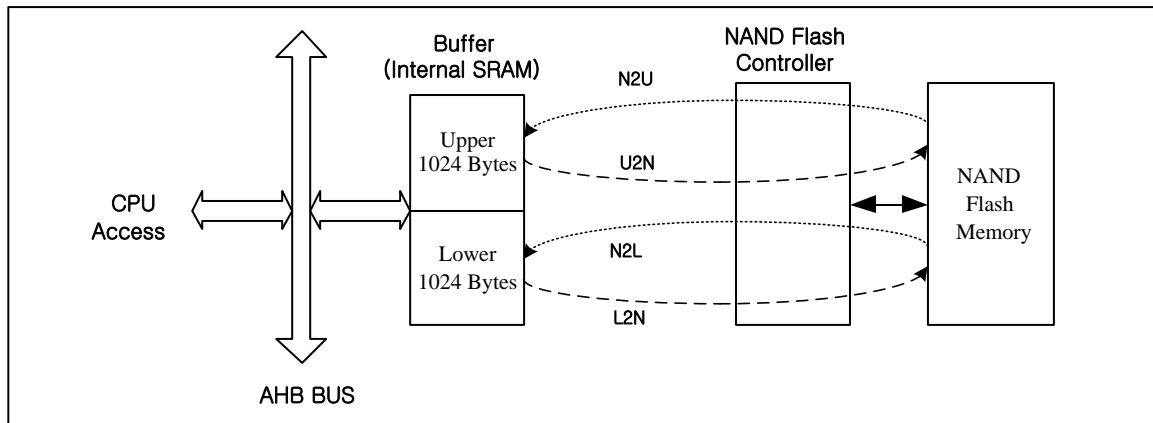


Figure 15-3 Transmission through Buffer of NAND Flash Controller

DMA Operation

NAND Flash 제어기는 DMA 전송을 지원한다. 먼저 DMA 제어기를 설정한 후, NAND Flash 제어기를 설정을 한다. NFCTRL 레지스터에서 DMA 동작을 설정 하게 되면 NAND Flash Memory 와 DMA 전송을 시작한다. NAND Flash Memory가 Large type(2세대)일 경우, 최대 2KBytes까지 전송단위의 설정이 가능하며, Small type(1세대)인 경우는 512Bytes 까지만 설정할 수 있다.

DMA에서의 설정은 Single 및 Burst 전송설정이 가능하며, 주의할 점은 32-bit data width 로만 burst access가 가능하다.

15.2 ECC

CANTUS는 SLC 타입의 NAND Flash 뿐만 아니라 MLC 타입의 NAND Flash도 지원한다. MLC 타입의 NAND Flash는 SLC에 비해 에러 발생률이 높기 때문에 이 에러를 보정해 주어야 사용할 수 있다.

CANTUS의 NAND Flash 제어기는 4-bit BCH 알고리즘을 이용하여 Parity bit를 생성하며, 이를 이용하여 데이터 에러를 복구할 수 있는 기능을 제공한다. 512Bytes의 데이터에 대하여 4bit 에러까지 검출 및 복원을 지원한다.

ECC Encoding

1. NAND Flash를 사용하기 위해 NFCFG 레지스터를 설정한 후, Command와 Address를 전송한다.
2. NFECC1 레지스터를 read하여 ECC상태와 ECC관련 레지스터를 clear한다.
3. NFCTRL 레지스터의 ECC GEN bit를 1로 설정한다. (ECC Generation enable)
4. 512Bytes의 데이터를 전송한다. 데이터를 전송할 때마다 52-bit 크기의 Parity bits가 생성되어 NFECC0/NFECC1에 저장된다.
5. 512Bytes의 전송이 완료되면, NFECC0, NFECC1 레지스터 순서로 read하여 메모리 상에 저장해 둔다.
6. 다시 512Bytes 단위로 전송하기 위하여 2-5 과정을 반복한다.
7. 2KBytes의 전송이 완료되면, NFCTRL 레지스터의 ECC GEN bit를 0으로 설정한다. (ECC Generation disable)
8. 메모리에 저장해 두었던 각 512Bytes에 대한 Parity bits를 NAND Flash의 spare 영역에 저장한다.

ECC Decoding

1. NAND Flash를 사용하기 위해 NFCFG 레지스터를 설정한 후, Command와 Address를 전송한다.
2. NFECC1 레지스터를 read하여 ECC상태와 ECC관련 레지스터를 clear한다.
3. NFCTRL 레지스터의 ECC GEN bit를 1로 설정한다. (ECC Decoding enable)
4. 512Bytes의 데이터를 read한다.
5. 512Bytes read가 완료되면, spare 영역에 접근하여 해당하는 Parity bits를 read한다.
6. Parity bits의 read가 완료되면, 자동적으로 decoding 작업을 시작하며, 사용자는 NFSTAT 레지스터에서 decoding 완료 여부와 성공 여부를 확인할 수 있다.
7. Decoding이 완료되면, NFERRLOC0~3 레지스터에 에러가 발생한 위치와 NFERRPTN0~3 레지스터에 8bit 에러 패턴이 저장된다.
8. NFERRLOC0~3 위치의 8bit 데이터와 NFERRPTN0~3 값을 Exclusive-OR하여 손상된 데이터를 복원한다.
9. 2KBytes를 read할 때까지 2-8 과정을 반복한다.

15.3 NAND Flash Control Registers

NAND Flash Memory Control Register (NFCTRL)

Address : 0x8000_0C00

Bit	R/W	Description	Default Value
31: 13	R	Reserved	-
12	R/W	4-bit ECC Generation Enable bit 0 : Disable 1 : Enable	0
11	R/W	Endian Select bit 0 : Little Endian 1 : Big Endian	0
10	R/W	Data Swap Size 0 : 8bit 1 : 16bit	0
9	R/W	DMA Write Request bit 0 : DMA Write Request Clear 1 : DMA Write Request	0
8	R/W	DMA Read Request bit 0 : DMA Read Request Clear 1 : DMA Write Request	0
7	R/W	Interrupt Enable at Busyx End 0 : Interrupt Disable 1 : Interrupt Enable	0
6	R/W	Interrupt Enable at Internal Buffer Transfer End 0 : Interrupt Disable 1 : Interrupt Enable	0
5	R/W	BCH ECC Decoding Done Interrupt Enable 0 : Interrupt Disable 1 : Interrupt Enable	0
4	R/W	Transfer Data Size in Internal Buffer mode 0 : 512Bytes 1 : 1KBytes (at 2Kbytes Page type)	0
3	R/W	N2U : NAND Flash to Upper Buffer 0 : Read Complete 1 : Enable NAND Flash to Upper Buffer Transfer	0
2	R/W	N2L : NAND Flash to Lower Buffer 0 : Read Complete 1 : Enable NAND Flash to Lower Buffer Transfer	0
1	R/W	U2N : Upper Buffer to NAND Flash 0 : Write Complete 1 : Enable Upper Buffer to NAND Flash Transfer	0
0	R/W	L2N : Lower Buffer to NAND Flash 0 : Write Complete 1 : Enable Lower Buffer to NAND Flash Transfer	0

NAND Flash Memory Command Set Register (NFCMD)

Address : 0x8000_0C04

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	NAND Flash Memory Command Ex) Read, Programming, Erasing	0x00

NAND Flash Memory Address Register (NFADR)

Address : 0x8000_0C08

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	NAND Flash Memory Address Ex) 3Bytes/4Bytes/5Bytes Address	0x00

NAND Flash Memory Data Register (NFCPUDATA)

Address : 0x8000_0C0C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	NAND Flash Memory Read/Program Data At CPU Write : Programming data At CPU Read : Read data	0x00

NAND Flash Memory DMA Data Register (NFDMA DATA)

Address : 0x8000_0C10

Bit	R/W	Description	Default Value
31 : 0	R/W	NAND Flash Memory Read/Program Data At DMA Write : Programming data At DMA Read : Read data	0x0000_0000

NAND Flash Memory Operation Status Register (NFSTAT)

Address : 0x8000_0C14

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	BCH Decoding Done Status 4-bit ECC의 Decoding이 완료되면 set된다. 이 비트를 읽으면 clear된다	
6 : 4	R	Error bits Count 에러가 발생한 bit의 수를 나타낸다. 이 레지스터를 읽으면 clear된다.	000
3	R	BCH Decoding Result 0 : Decoding Failed 1 : Decoding Success	0
2	R	NAND Write/Read Operation Complete Status 내부 2KB SRAM을 이용한 전송 상태를 확인하는 Bit이다. 전송이 완료되면 1이 된다. 이 레지스터를 읽으면 clear된다. 1 : Completion 상태 0 : 전송 중인 상태	1
1	R	NAND Flash Memory nBusy Level 0 : Busy 1 : Ready	nBUSY Level
0	R	NAND Flash Memory Busyx Rising Edge Status Ready/Busyx 신호가 low에서 high로 변하면 1로 설정된다. 이 비트를 읽으면 clear 가 된다.	0

NAND Flash Memory ECC(Error Correction Code) Register (NFEC)

Address : 0x8000_0C18

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 16	R/Clear	ECC2 (~P4, ~P4', ~P2, ~P2', ~P1, ~P1', ~P2048, ~P2048')	0xFF
15 : 8	R/Clear	ECC1 (~P1024, ~P1024', ~P512, ~P512', ~P256, ~P256', ~P128, ~P128')	0xFF
7 : 0	R/Clear	ECC0 (~P64, ~P64', ~P32, ~P32', ~P16, ~P16', ~P8, ~P8')	0xFF

*** P1~P4 : Column Parity , P8~P2048 : Row Parity

*** ~ : Logically inverse operation

NAND Flash Memory Configuration Register (NFCFG)

Address : 0x8000_0C1C

Bit	R/W	Description	Default Value
31 : 21	R	Reserved	-
20	R/w	Read data Latch timing Adjust bit. Configure as system clock. 0 : Minimum ~ 60Mhz 1 : 40Mhz ~ Maximum	1
19 : 17	R	Reserved	-
16	R/W	NDFL_nCS Control 0 : Chip Enable 1 : Chip Disable	1
15	R	Reserved	-
14 : 12	R/W	Ts : NDFL_ALE/NDFL_CLE Set-up Time 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
11	R	Reserved	-
10 : 8	R/W	Twp : NDFL_nWE Pulse Width 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
7	R	Reserved	-
6 : 4	R/W	Trp : NDFL_nRE Pulse Width 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111
3	R	Reserved	-
2 : 0	R/W	Th : NDFL_ALE/ NDFL_CLE/ NDFL_nCS Hold Time 000 : 1 Clock 001 : 2 Clocks 010 : 3 Clocks 011 : 4 Clocks 100 : 5 Clocks 101 : 6 Clocks 110 : 7 Clocks 111 : 8 Clocks	111

NAND Flash Memory ECC Code for LSN data (NFECCL)

Address : 0x8000_0C20

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 8	R	S_ECC1 (1, 1, 1, 1, 1, 1, ~P4_s, ~P4'_s)	0xFF
7 : 0	R	S_ECC0 (~P2_s, ~P2'_s, ~P1_s, ~P1'_s, ~P16_s, ~P16'_s, ~P8_s, ~P8'_s)	0xFF

*** P1_s~P4_s : Column Parity, P8_s~P16_s : Row Parity

*** ~ : Logically inverse operation

NAND Flash Memory Lower Buffer Start Address Register (NFLBADR)

Address : 0x8000_0C24

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Lower Buffer Start Address	0x000

NAND Flash Memory Upper Buffer Start Address Register (NFUBADR)

Address : 0x8000_0C2C

Bit	R/W	Description	Default Value
31 : 11	R	Reserved	-
10 : 0	R/W	Upper Buffer Start Address	0x000

NAND Flash Memory MLC ECC0 Register (NFEC0)

Address : 0x8000_0C34

Bit	R/W	Description	Default Value
31 : 0	R	4-bit ECC Parity Value Low 32bits value of 52-bit parity	0x0000_0000

NAND Flash Memory MLC ECC1 Register (NFEC1)

Address : 0x8000_0C38

Bit	R/W	Description	Default Value
31 : 20	R	Reserved	
19 : 0	R	4-bit ECC Parity Value High 20bits value of 52-bit parity	0x0000_0000

NAND Flash Memory Error Location 0 Register (NFERRLOC0)

Address : 0x8000_0C40

Bit	R/W	Description	Default Value
31 : 13	R	Reserved	
12 : 0	R	1 st Error byte location	0x0000

NAND Flash Memory Error Location 1 Register (NFERRLOC1)

Address : 0x8000_0C44

Bit	R/W	Description	Default Value
31 : 13	R	Reserved	
12 : 0	R	2 nd Error byte location	0x0000

NAND Flash Memory Error Location 2 Register (NFERRLOC2)

Address : 0x8000_0C48

Bit	R/W	Description	Default Value
31 : 13	R	Reserved	
12 : 0	R	3 rd Error byte location	0x0000

NAND Flash Memory Error Location 3 Register (NFERRLOC3)

Address : 0x8000_0C4C

Bit	R/W	Description	Default Value
31 : 13	R	Reserved	
12 : 0	R	4 th Error byte location	0x0000

NAND Flash Memory Error Pattern 0 Register (NFERRPTN0)

Address : 0x8000_0C50

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	1 st Error byte pattern	0x00

NAND Flash Memory Error Pattern 1 Register (NFERRPTN1)

Address : 0x8000_0C54

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	2 nd Error byte pattern	0x00

NAND Flash Memory Error Pattern 2 Register (NFERRPTN2)

Address : 0x8000_0C58

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	3 rd Error byte pattern	0x00

NAND Flash Memory Error Pattern 3 Register (NFERRPTN3)

Address : 0x8000_0C5C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R	4 th Error byte pattern	0x00

16 I2S

CANTUS에 내장된 I2S 제어기는 I2S Interface를 통하여 외부 Audio Codec을 연결할 수 있다. 또한 내장된 Voice Codec을 통하여 저렴한 시스템을 구성할 수 있다. 또한 IMA-ADPCM Codec Engine을 내장하여 음성을 4:1의 압축률로 처리할 수 있다.

Key Features

- I2S-bus, MSB-justified 2's complement format.
- Embedded Voice Codec interface.
- IMA-ADPCM Codec compatible
- 8/16-bit PCM data support.
- 16, 32, 48, 64 fs serial bit clock per channel. (fs : sampling frequency)
- 256, 384, 512 fs master clock.
- 128Bytes FIFOs for transmits and receives.

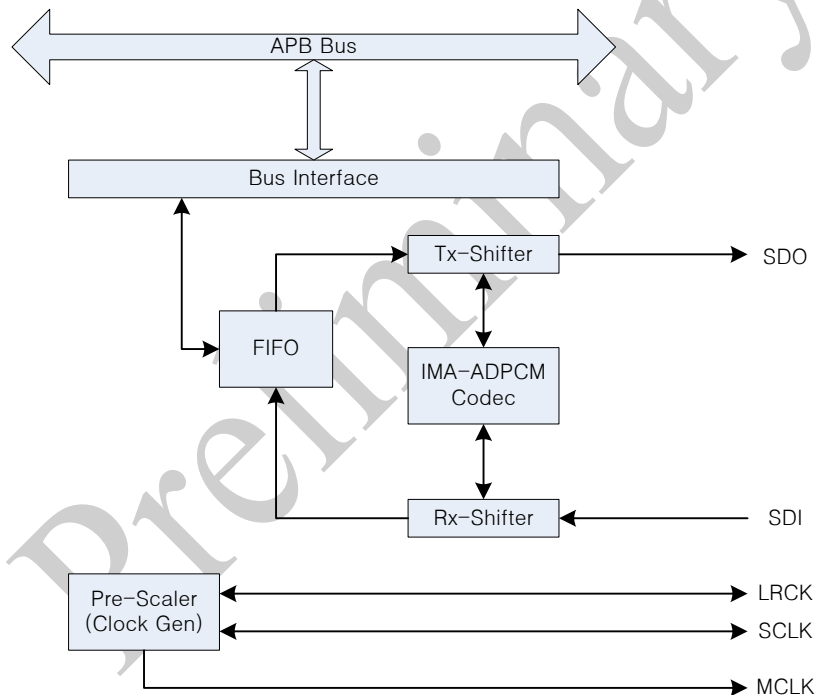


Figure 16-1 I2S Block Diagram

16.1 Frequency Control

I2S 제어를 동작하기 위해서는 SCLK, LRCK, MCLK 주파수를 설정하여야 한다. 아래 표는 MCLK과 LRCK의 관계를 나타낸다. 예를 들어 44.1kHz를 위해 Master frequency를 256fs를 설정하면 11.2896MHz의 MCLK을 필요하게 된다. 이에 해당하는 MCLK는 Pre-Scaler을 통해 설정한다.

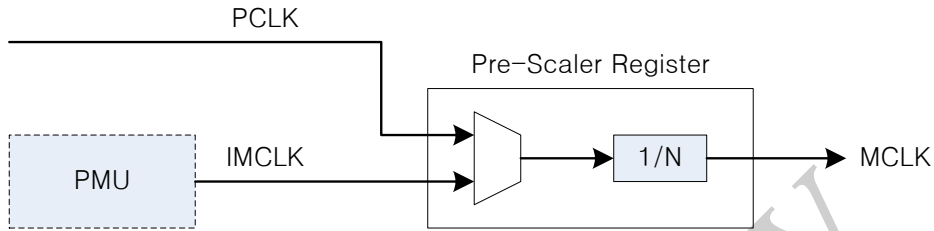


Figure 16-2 I2S Pre-Scaler

Table 16-1 I2S Sampling Frequency(LRCK) and MCLK Clock

LRCK (fs)	8.000 KHz	11.025 KHz	16.000 KHz	32.000 KHz	44.100 KHz	48.000 KHz	96.000 KHz
MCLK (MHz)	256fs						
	2.048	2.8224	4.096	8.1920	11.2896	12.2880	24.5760
	384fs						
	3.072	4.2336	6.144	12.2880	16.9344	18.4320	36.8640
	512fs						
	4.096	5.6448	8.192	16.3840	22.5792	24.5760	49.1520

또한, SCLK 설정은 다음과 같다.

Table 16-2 I2S sampling frequency and serial bit clock

Serial bit per channel	8bit	16bit
CODEC Clock(MCLK)	Serial clock frequency(SCLK)	
256fs	16fs, 32fs, 64fs	32fs, 64fs
384fs	16fs, 32fs, 48fs, 64fs	32fs, 48fs, 64fs
512fs	16fs, 32fs, 64fs	32fs, 64fs

16.2 Interface Format

I2S 제어기는 I2S-bus format, MSB-justified 2's complement format을 지원한다.

I2S-bus Format은 LEFT LRCK 후 SCLK의 두 번째 사이클이 MSB bit이다. 그리고 LSB 이 후에 아직 SCLK의 사이클이 남아 있으면 '0'으로 Padding된다.

MSB-justified Format은 SCLK의 첫 번째 Cycle부터 MSB bit인 것을 제외하고는 I2S-bus Format과 동일하다.

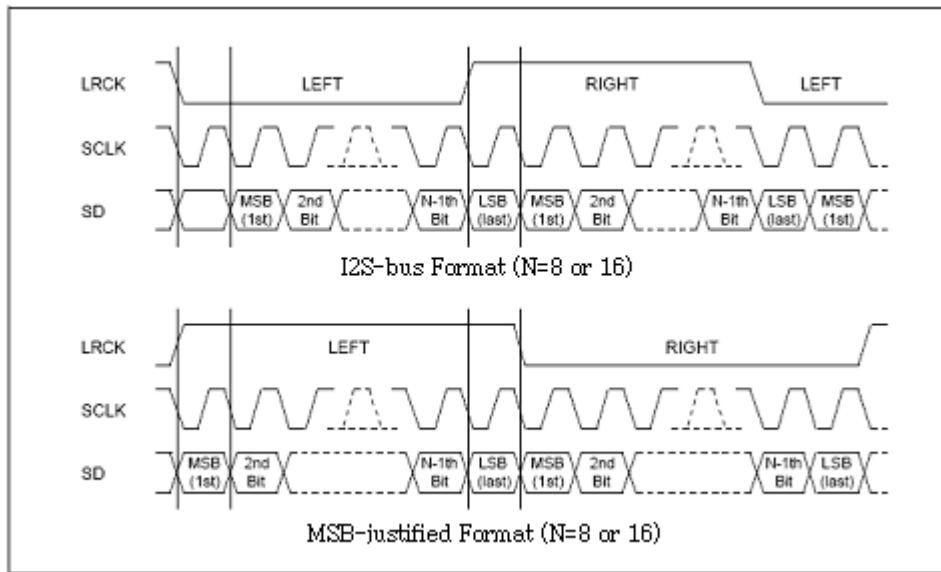


Figure 16-3 I2S Interface format

16.3 Data Format

I2S 제어기의 I2SMODE 레지스터의 Data swap mode는 32-bit data로 swap 가능한 모든 형태의 데이터를 입력 받을 수 있다.

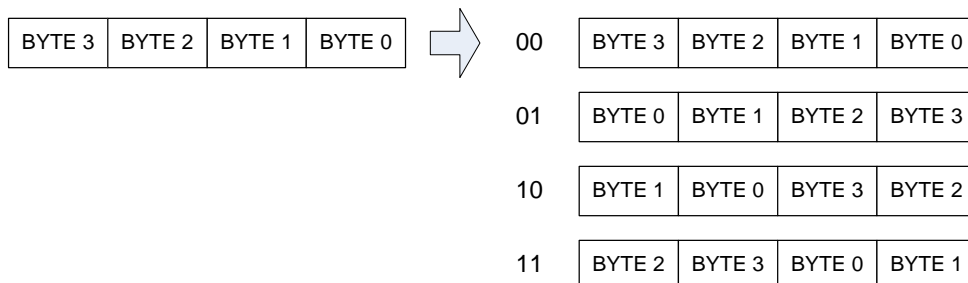


Figure 16-4 I2S Data Swap mode

16.4 Transmit and Receive FIFO

I2S 제어기의 Transmit FIFO와 Receive FIFO는 각각 64Bytes로 구성되었다. 그러나 Transmit 와 Receive가 동시에 일어나지 않는 경우나 한가지 기능만 사용하는 경우에는 FIFO를 공유하여 128Bytes로 사용할 수 있다.

Preliminary

16.5 Wave File Format

Wave file format은 RIFF header로 시작한다. “WAVE” format은 “fmt” Sub-Chunk와 “data” Sub-Chunk로 구성된다. “fmt” Sub-Chunk는 Sound data의 format을 정의하고 “data” Sub-Chunk는 Sound data의 크기 정보를 포함한다.

Table 16-3 Wave file format header

Field	Offset (Byte)	Size (Byte)	Endian	Description
Chunk ID	0	4	Big	Contain the letters “RIFF” in ASCII form. (0x52494646 big-endian form)
Chunk size	4	4	Little	36 + Subchunk2 size, or more precisely: This is the size of the rest of the chunk following this number. This is the size of the entire file in bytes minus 8 bytes for the two fields not included in this count: Chunk ID and Chunk size.
Format	8	4	Big	Contains the letters “WAVE”. (0x57415645 big-endian form)
Subchunk1 ID	12	4	Big	Contain the letters “fmt”. (0x666d7420 big-endian form)
Subchunk1 size	16	4	Little	16 for PCM, or 20 for IMA-ADPCM This is the size of the rest of the Subchunk1 which follows this number.
Audio format	18	2	Little	PCM = 1 (i.e. Linear quantization) Values other than 1 indicate some form of compression: IMA-ADPCM = 17
Num channels	20	2	Little	Mono = 1, Stereo =2, etc.
Sample rate	24	4	Little	8000, 44100, etc.
Byte rate	28	4	Little	Sample rate * Num channels * Bits per sample / 8
Block align	30	2	Little	Num channels * Bits per sample / 8: The number of bytes for one sample including all channels.
Bits per sample	32	2	Little	8-bit = 8, 16-bit = 16, etc.
Extra size		2	Little	If PCM, then doesn't exist.
Extra parameter		X	Little	Space for extra parameters.
Subchunk2 ID	36	4	Big	Contain the letters “data”. (0x64617461 big-endian form)
Subchunk2 size	40	4	Little	This is the number of bytes in the data.
Data	44	*	Little	The actual sound data.

*** Block align은 WAVE file format의 header내에 포함되어 있으며, 이 값을 I2SMODE 레지스터에 설정하여야 한다.

16.6 I2S Control Registers

I2S Control Register (I2SCTRL)

Address : 0x8002_2800

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
8	R/W	ADC input selection bit for recording 0 : I2S Interface (External Audio Codec) 1 : Embedded Voice Codec	0
7	R/W	Transmit access mode 0 : Normal / Interrupt 1 : DMA	0
6	R/W	Receive access mode 0 : Normal / Interrupt 1 : DMA	0
5	R/W	Transmit data request enable bit 0 : Disable 1 : Enable	0
4	R/W	Receive data request enable bit 0 : Disable 1 : Enable	0
3	R/W	Transmit pause enable bit 0 : Disable 1 : Enable	0
2	R/W	Receive pause enable bit 0 : Disable 1 : Enable	0
1	R/W	MCLK enable bit 0 : Disable 1 : Enable	0
0	R/W	I2S interface enable bit 0 : Disable 1 : Enable	0

I2S Mode Register (I2SMODE)

Address : 0x8002_2804

Bit	R/W	Description	Default Value
31 : 30	R/W	Data swap mode	00
29	R	Reserved	-
28 : 16	R/W	Block align of WAVE file format header	0
15	R/W	Active level of LRCK 0 : High for left channel (Low for right channel) 1 : Low for left channel (High for right channel)	0
14	R/W	FIFO shared mode 0 : Separated mode 1 : Shared mode	0
13	R/W	Transmit volume control enable bit 0 : Disable 1 : Enable	0
12	R/W	Receive volume control enable bit 0 : Disable 1 : Enable	0
11 : 8	R/W	Quantization mode 0000 : PCM 8-bit unsigned stereo 0001 : PCM 8-bit unsigned mono 0010 : PCM 8-bit signed stereo 0011 : PCM 8-bit signed mono 0100 : PCM 16-bit unsigned stereo 0101 : PCM 16-bit unsigned mono 0110 : PCM 16-bit signed stereo 0111 : PCM 16-bit signed mono 1000 : IMA-ADPCM 4-bit stereo 1001 : IMA-ADPCM 4-bit mono 101x : Reserved 11xx : Reserved	0000
7 : 6	R/W	Transfer mode 00 : No Transfer 01 : Receive 10 : Transmit 11 : Receive & Transmit	0
5	R/W	Device mode 0 : Master mode 1 : Slave mode	0
4	R/W	Serial interface format 0 : I2S-bus format 1 : MSB(Left)-justified format	0
3 : 2	R/W	MCLK frequency 00 : 256fs 01 : 384fs 10 : 512fs 11 : Revered	00
1 : 0	R/W	SCLK frequency 00 : 16fs 01 : 32fs 10 : 48fs 11 : 64fs	00

I2S Pre-scaler Register (I2SPRE)

Address : 0x8002_2808

Bit	R/W	Description	Default Value
31 : 14	R	Reserved	-
4	R/W	MCLK selection bit 0 : PCLK 1 : IMCLK	0
3 : 0	R/W	Pre-scaler Data value : 0 ~ 15 (Division factor is N+ 1)	0

I2S Status Register (I2SSTAT)

Address : 0x8002_280C

Bit	R/W	Description	Default Value
31 : 21	R	Reserved	-
20	R	LRCK channel index When Active level of LRCK bit is '0', 0 : Right 1 : Left	0
19	R	Transmit FIFO half level status When Tx FIFO is enable, 0 : More than half 1 : Less than half	0
18	R	Receive FIFO half level status When Rx FIFO is enable, 0 : Less than half 1 : More than half	0
17	R	Transmit FIFO ready flag When Transmit FIFO is enable, 0 : Not ready (empty) 1 : Ready (not empty)	0
16	R	Receive FIFO ready flag When receive FIFO is enable, 0 : Not ready (full) 1 : Ready (not full)	0
15 : 8	R	Transmit FIFO data count When FIFO is shared : 0 ~ 32 (Words) When FIFO is not shared : 0 ~ 16 (Words)	0x00
7 : 0	R	Receive FIFO data count When FIFO is shared : 0 ~ 32 (Words) When FIFO is not shared : 0 ~ 16 (Words)	0x00

*** Half level at separated mode : 8 Words (32Bytes)

*** Half level at shared mode : 16 Words (64Bytes)

*** FIFO data count : 1 Word (4Bytes)

I2S Data Register (I2SDATA)

Address : 0x8002_2810

Bit	R/W	Description	Default Value
31 : 0	R/W	I2S data	0x00000000

I2S Volume Register (I2SVOL)

Address : 0x8002_2814

Bit	R/W	Description	Default Value
31 : 29	R	Reserved	-
28 : 24	R/W	Transmit right volume control bit Decrement -6dB per step 0(Max.) ~ 16(Min.)	0x00
23 : 21	R	Reserved	-
20 : 16	R/W	Transmit left volume control bit Decrement -6dB per step 0(Max.) ~ 16(Min.)	0x00
15 : 13	R	Reserved	-
12 : 8	R/W	Receive right volume control bit Decrement -6dB per step 0(Max.) ~ 16(Min.)	0x00
7 : 5	R	Reserved	-
4 : 0	R/W	Receive left volume control bit Decrement -6dB per step 0(Max.) ~ 16(Min.)	0x00

*** I2SMODE 레지스터에서 Transmit/Receive volume control enable bit 가 설정되어 있어야 반영된다.

17 USB DEVICE

CANTUS 에 내장된 USB Device는 1.1 Full-speed(12Mbps)를 지원하며, 5개의 endpoint 으로 구성되어 있다.

하드웨어적으로 USB 프로토콜을 지원하며, 자동적인 data retry, data toggle 그리고 power management 기능(suspend와 resume)을 지원한다.

Key Features

- USB 1.1 Full Speed (12Mbps)
- 5 개의 Endpoint 지원
- 하드웨어적으로 USB 프로토콜 지원
- Suspend와 Resume signaling 지원

Table 17-1. Endpoint List

Endpoint	Max Size (bytes)	Direction	Transaction Type
0	16	IN/OUT	Control
1	64	OUT	Bulk
2	64	IN	Bulk
3	16	OUT	Interrupt
4	16	IN	Interrupt

17.1 USB Registers Summary

Table 17-2. USB Core Register List

Register	Address	R/W	Description	Default Value
USBFA	0x80022C00	R/W	Function address register	0x00
USBPM	0x80022C04	R/W	Power management register	0x00
USBEP1	0x80022C08	R/W	Endpoint interrupt register	0x00
USBINT	0x80022C10	R/W	USB interrupt register	0x00
USBEP1EN	0x80022C14	R/W	Endpoint interrupt enable register	0x1F
USBINTEN	0x80022C18	R/W	USB interrupt enable register	0x04
USBLBFN	0x80022C1C	R	Frame number1 register	0x00
USBHBFN	0x80022C20	R	Frame number2 register	0x00
USBIND	0x80022C24	R/W	Index register	0x00
USBMP	0x80022C28	R/W	MAXP register	0x00
USBEP0C	0x80022C2C	R/W	EP0 control register	0x00
USBIC1	0x80022C2C	R/W	EP2, 4 IN Control register1	0x00
USBIC2	0x80022C30	R/W	EP2, 4 IN Control register2	0x00
USBOC1	0x80022C38	R/W	EP1, 3 OUT Control register 1	0x00
USBOC2	0x80022C3C	R/W	EP1, 3 OUT Control register 2	0x00
USBLBOWC	0x80022C40	R	Low Byte OEP Write count register	0x00
USBHBOWC	0x80022C44	R	High Byte OEP write count register	0x00
USBEP0	0x80022C48	R/W	EP0 FIFO data register	0x00
USBEP1	0x80022C4C	R/W	EP1 FIFO data register	0x00
USBEP2	0x80022C50	R/W	EP2 FIFO data register	0x00
USBEP3	0x80022C54	R/W	EP3 FIFO data register	0x00
USBEP4	0x80022C58	R/W	EP4 FIFO data register	0x00

USB Function Address Register

호스트에 의해 할당된 USB 디바이스 주소가 저장된다. CPU는 SET_ADDRESS Descript 수행을 통해 받은 값을 이 레지스터에 저장한다. 이 값은 다음 토큰에서 사용된다.

USB Power Management Register

Suspend, Resume 그리고 reset 신호에 의해 사용된다.
Suspend와 Reset 상태는 USB_INTERRUPT Register에 저장된다.

USB Interrupt Registers

USB Host의 요청상태와 각 Endpoint의 상태를 알려준다.

USB Interrupt Enable Registers

각 Endpoint의 인터럽트를 Enable 한다. 대부분의 인터럽트는 초기값이 Enable상태이나, Suspend 인터럽트는 Disable 이다.

Frame Number Registers

Frame Packet의 끝에서 frame 번호를 저장한다.

Index Register

인덱스 레지스터는 각각의 endpoint에 해당하는 컨트롤 레지스터를 선택할 때 사용한다.

MAXP Register

8Bytes 배수 단위로 사용할 FIFO 크기를 조절할 수 있다. 그러나 각 Endpoint 에서 지원하는 최대 FIFO 사이즈보다 크게는 설정 할 수 없다.

EP0 Control Register

Endpoint 0의 제어와 상태를 나타낸다.

IN Control Registers

IN Endpoint의 제어와 상태를 나타낸다.

Out Control Registers

Out Endpoint의 제어와 상태를 나타낸다.

Out Write Count Registers

두 개의 레지스터로 이루어져 write count 값을 가지다. OUT endpoint에서 OPOPR 비트가 set 되면, 이 레지스터에는 CPU에 의해 가져간 packet의 수를 가지고 있다.

Endpoint FIFO Access Registers

EP0 FIFO Data Register, EP1 FIFO Data Register, EP2 FIFO Data Register, EP3 FIFO Data Register, 그리고 EP4 FIFO Data Register 이다.

17.2 USB Control Registers

USB Function Address Register (USBFA)

Address : 0x8002_2C00

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 8			Reserved	
7	R/W	R/ Clear	ADDUP : ADDR_UPDATE bit. Function 주소가 업데이트 되면 CPU 가 이 비트를 1로 설정한다. Endpoint 0 CSR의 DATA_END 비트를 clear에 의해 알 수 있는 제어 전송의 status 단계 이후에 FUNCTION_ADDR 부분은 사용된다.	0
6 : 0	R/W	R	FUNADD : FUNCTION_ADDR bit. CPU가 주소를 여기에 write 한다.	0

USB Power Management Register (USBPM)

Address : 0x8002_2C04

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 4			Reserved	
3	R	Set	UBRST : USB_RESET bit. 호스트로부터 Reset 신호를 받으면 USB가 이 비트를 설정한다. Reset 신호가 버스상에서 유지되는 한 ,이 비트는 set 상태를 유지한다.	0
2	R/W	R	UBRSUM : USB_RESUME bit. Resume 신호를 초기화 하기 위해 CPU가 10ms (최대 15ms)동안 이 비트를 설정한다. Suspend 모드에서 이 비트가 설정되어 있는 동안 USB 가 Resume 신호를 발생한다.	0
1	R	R/W	UBSPDMOD : SUSPEND_MODE bit. Suspend모드로 들어가게 되면 USB 가 이 비트를 설정한다. 다음 조건에 의해 clear 가 된다. -Resume 신호를 끝내기 위해서 CPU가 MUC_RESUME 를 clear 하는 경우 -USB_RESUME 인터럽트 발생 때 CPU가 인터럽트 레지스터 3 을 읽게 되는 경우.	0
0	R/W	R	UBENSPD : ENABLE_SUSPEND bit 0: Disable Suspend mode (Default) 1: Enable Suspend mode 이 비트가 zero 이면, 디바이스는 suspend 모드 상태로 들어 가지 않는다.	0

*** USB PHY를 Suspend 모드 상태로 들어가기 위해서는 USBPM레지스터의 UBENSPD bit를 반드시 Enable해야 한다. (USB PHY가 Suspend 모드 상태이면 Power 소모를 줄인다.)

USB Endpoint Interrupt Register (USBEP1)

Address : 0x8002_2C08

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 5			Reserved	
4	R/ Clear	Set	EP4INT : EP4 Interrupt bit. (Interrupt in mode) 이 비트는 endpoint4 인터럽트에 해당된다. (USBIC1R, USBIC2R 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 - ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0
3	R/ Clear	Set	EP3INT : EP3 Interrupt bit. (Interrupt out mode) 이 비트는 endpoint3 인터럽트에 해당된다. (USBOC1R, USBOC2R 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 - OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0
2	R/ Clear	Set	EP2INT : EP2 Interrupt bit. (Bulk in mode) 이 비트는 endpoint2 인터럽트에 해당된다. (USBIC1R, USBIC2R 의 bit 참고) - ICIPR(In Control 1 In Packet Ready bit) 비트가 clear 될 때 - FIFO가 flush 되었을 때 - ICSTSTAL(In Control 1 Sent Stall bit) 비트가 set 되었을 경우에	0
1	R/ Clear	Set	EP1INT : EP1 Interrupt bit. (Bulk out mode) 이 비트는 endpoint1 인터럽트에 해당된다. (USBOC1R, USBOC2R 의 bit 참고) - OCOPR(Out Control 1 Out Packet Ready bit) 비트를 set 할 때 - OCSTSTAL(Out Control 1 Sent Stall bit) 비트를 set 할 때	0
0	R/ Clear	Set	EPOINT : EP0 Interrupt bit. (Control mode) 이 비트는 endpoint0 인터럽트에 해당된다. (USBEP0CR 의 bit 참고) - EPOOPR bit is set. - EPOIPR bit is cleared - EPOSTSTAL bit is set - EPOSTED bit is set - EPODED bit is cleared(Indicates End of control transfer)	0

USB Interrupt Register (USBINT)

Address : 0x8002_2C10

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 3			Reserved	
2	R/ Clear	Set	RSTINT : USB Reset Interrupt bit. Reset신호가 입력되면 USB가 이 비트를 set 한다.	0
1	R/ Clear	Set	RSUMINT : Resume Interrupt bit. Suspend 모드 상태에서 Resume신호를 받으면 USB가 이 비트를 set한다. USB Reset에 의한 Resume 이면, Resume 인터럽트에 의해 CPU에 먼저 인터럽트가 걸린다. 일단 Clock이 다시 동작하고 SE0 상태가 3ms 동안 지속되면, USB Reset 인터럽트가 발생한다..	0
0	R/ Clear	Set	SPDINT : Suspend Interrupt bit Suspend 신호를 수신하면 USB는 이 비트를 set 한다. 버스상에서 3ms 동안 아무런 동작이 이루어지지 않으면 이 비트는 set 된다. 그래서 CPU가 첫 번째 suspend 인터럽트 이후에 Clock을 멈추지 않으면, USB 버스상에서 아무런 동작이 이루어지 않는 한 매 3ms 마다 인터럽트가 계속 발생한다. 디폴트로 이 인터럽트는 disable 이다.	0

Endpoint Interrupt Enable Register (USBEPIN)

Address : 0x8002_2C14

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	
4	R/W	EP4INTEN : Endpoint 4 Interrupt enable bit	1
3	R/W	EP3INTEN : Endpoint 3 Interrupt enable bit	1
2	R/W	EP2INTEN : Endpoint 2 Interrupt enable bit	1
1	R/W	EP1INTEN : Endpoint 1 Interrupt enable bit	1
0	R/W	EPOINTEN : Endpoint 0 Interrupt enable bit	1

USB Interrupt Enable Register (USBINTEN)

Address : 0x8002_2C18

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	
2	R/W	RSTINTEN : USB RESET Interrupt enable bit	1
1	R	Reserved	
0	R/W	SPDINTEN : SUSPEND Interrupt enable bit	0

USB Low Byte Frame Number Register (USLBLFN)

Address : 0x8002_2C1C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Frame Number 1 register	0x00

USB High Byte Frame Number Register (USBHBFN)

Address : 0x8002_2C20

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Frame Number 2 register	0x00

USB Index Register (USBIND)

Address : 0x8002_2C24

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	
2 : 0	R/W	Index register 000 : Endpoint 0 001 : Endpoint 1 010 : Endpoint 2 011 : Endpoint 3 100 : Endpoint 4 101 : Reserved 110 : Reserved 111 : Reserved	000

USB MAXP Register (USBMP)

Address : 0x8002_2C28h

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Max FIFO Size 0x01 : MAXP=8 0x02 : MAXP=16 0x04 : MAXP=32 0x08 : MAXP=64	0x00

USB EPO Control Register (USBEP0C)

Address : 0x8002_2C2C

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 8	R		Reserved	
7	Clear		EPOSUEC : EPO Set Up End Clear bit. CPU가 EPOSTED 비트를 clear 하기 위해 1를 write 한다.	0
6	Clear		EPOOPRC : EPO Out Packet Ready Clear bit. CPU는 EPOOPR 비트를 clear하기 위해 이 비트에 1를 write한다.	0
5	Set	Clear	EPOSDSTAL : EPO Send Stall bit. CPU는 잘못된 token이라고 인식되면, EPOOPR 비트를 clear와 동시에 이 비트를 set 한다. USB는 STALL handshake를 현재 컨트롤 전송에 발생시킨다. CPU는 STALL 상황을 끝내기 위해 0를 write 한다.	0
4	R	Set	EPOSTED : EPO Setup End bit. 이 비트는 읽기 전용이다. EPODED 비트가 set되기 전에 컨트롤 전송이 끝났을 때 USB 가 이 비트를 set한다. USB가 이 비트를 set 할 때 CPU에 인터럽트가 전달된다. 이러한 상황이 발생했을 때 USB는 FIFO를 flush하고 CPU의 FIFO 접근을 무효화 한다. CPU의 FIFO 접근이 무효화 될 때 이 비트는 clear 된다.	0
3	Set/R	Clear	EPODED : EPO Data End bit. CPU는 다음과 같은 상황에서 이 비트 set한다: - 마지막 데이터 패킷을 가져온 후 EPOOPR 비트를 clear 할 때 - Zero length data 구간에서 EPOOPR 비트를 clear 하고 EPOIPR 비트를 set 할 때 - CPU가 FIFO에 대한 패킷 데이터를 load한 후에 EPOIPR 비트를 set함과 동시에 이 비트(EPODED) 를 set 한다.	0
2	Clear /R	Set	EPOSTSTAL : Sent Stall bit. 프로토콜 오류로 컨트롤 transaction이 끝나면 USB가 이 비트 set 한다. 이 비트가 set 되면 인터럽트가 발생한다.	0
1	Set/R	Clear	EPOIPR : EPO In Packet Ready bit. CPU는 endpoint 0 FIFO에 데이터 패킷을 write 한 후에 이 비트를 set 한다. 데이터 패킷이 성공적으로 호스트에 전달되면 USB가 이 비트를 clear 시킨다. USB가 이 비트를 clear시키면 인터럽트가 발생한다. 그래서 CPU는 계속해서 다음 데이터를 load 할 수 있게 된다. Zero length data phase에서는 CPU는 동시에 이 비트 (EPOIPR)와 EPODED 비트를 set 한다.	0
0	R	Set	EPOOPR : EPO Out Packet Ready bit. 이 비트는 읽기 전용이다. 유효한 token이 FIFO에 쓰여지면 USB가 이 비트를 set 한다. USB가 set 하면 인	0

			터러프트가 발생한다. CPU는 EP0OPRC 비트에 1를 write 함으로써 이 비트를 clear 시킨다.	
--	--	--	---	--

USB IN Control 1 Register (USBIC1)

Address : 0x8002_2C2C

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 7	R		Reserved	
6	Set	R/Clear	ICCDT : In Control 1 Clear Data Toggle bit. CPU가 이 비트에 1을 write하면 data toggle 비트가 clear 된다. 이 비트는 쓰기 전용이다.	0
5	R/Clear	Set	ICSTSTAL : In Control 1 Sent Stall bit. CPU가 ICSDSTAL 비트를 set 했기 때문에, IN token에 STALL handshake를 발생된다. 이 때 USB가 이 비트를 set 한다. USB가 STALL handshake를 발생 시키면 ICIPR 비트는 clear된다. CPU가 0를 write함으로써 이 비트를 clear 시킨다.	0
4	R/W	R	ICSDSTAL : In Control 1 Send Stall bit. CPU가 USB에 STALL handshake를 발생시키기 위해 이 비트에 1를 write한다. STALL 상황을 끝내기 위해 CPU가 이 비트를 clear 한다.	0
3	R/Set	Clear	ICFFLU : In Control 1 FIFO Flush bit. IN FIFO를 flush하고자 하면 CPU가 이 비트를 set 한다. FIFO가 flush가 되면 USB에 의해 이 비트는 clear 된다. 이런 상황이 발생하면 CPU에 인터럽트가 걸린다. Token이 진행 중이라면, USB는 FIFO가 flush되기 전에 전송이 완료 될 때까지 기다린다. 만약에 두 개의 패킷이 FIFO에 load되어 있으면, 가장 상위의 패킷(호스트로 보내려고 하는 것)만 flush이 되고 그 패킷에 관련 있는 ICIPR 비트가 clear 된다.	0
2			Reserved	0
1	R	Set	ICFNE : In Control 1 FIFO Not Empty bit. FIFO에 적어도 한 개의 데이터 패킷이 있음을 나타낸다. 0 : FIFO에 패킷이 없다. 1 : FIFO에 패킷이 있다.	0
0	Set / R	Clear	ICIPR : In Control 1 In Packet Ready bit. FIFO에 데이터 패킷을 쓰고 난 뒤 CPU가 이 비트를 set 한다. 호스트로 데이터 패킷 전송이 성공적으로 끝나면 USB는 이 비트를 clear 한다. 이 비트를 USB가 clear 하면 인터럽트가 발생하고, CPU는 다음 패킷을 로드 할 수 있게 된다. 이 비트가 set 되어 있는 동안에는 CPU는 FIFO에 쓰기를 할 수 없다. CPU에 의해 ICSDSTAL 비트가 set 되면, 이 비트는 set 될 수 없다.	0

USB IN Control 2 Register (USBIC2)

Address : 0x8002_2C30

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 8	R		Reserved	
7	R/W	R	ICASET : In Control 2 Auto Set bit. 이 비트가 set 되어 있으면, CPU가 MAXP만큼의 데이터를 쓰기를 하면 자동적으로 ICIPR 비트가 set 된다. MAXP데이터 보다 적은 데이터를 쓸 경우는 CPU가 ICIPR 비트를 set 해줘야 한다.	0
6			Reserved	0
5	R/W	R	ICMODIN : In Control 2 Mode In bit. Endpoint의 방향을 프로그래머블할 수 있게끔 해준다. 1 = endpoint의 방향을 IN으로 설정된다. 0 = endpoint의 방향을 OUT으로 설정된다.	1
4 : 0			Reserved	

USB Out Control Register 1 (USBOC1)

Address : 0x8002_2C38

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 8	R		Reserved	
7	R/W	R	OCCDT : Out Control 1 Clear Data Toggle bit. CPU가 이 비트에 1를 write하면, data toggle sequence 비트가 DATA0로 reset 된다.	0
6	Clear/ R	Set	OCSTSTAL : Out Control 1 Sent Stall bit. OUT token이 STALL handshake로 종료될 때 USB가 이 비트 set 한다. OUT Token에서 MAXP 데이터 보다 더 많은 데이터를 보낼 경우 USB가 host에 stall handshake를 발생 시킨다. CPU가 0를 write하면 clear 된다.	0
5	W/R	R	OCSDSTAL : Out Control 1 Send Stall bit. USB에 STALL handshake를 발생시키기 위해 CPU가 이 비트에 1를 write 한다. STALL 상황을 끝내기 위해 CPU가 이 비트에 0을 write 한다.	0
4	R/W	Clear	OCFFLU : Out Control 1 FIFO Flush bit. CPU가 FIFO를 flush하기 위해 1를 write 하고 flush를 멈추기 위해 0을 write 한다. OCOPR 비트가 set되어 있는 동안만 이 비트가 set 될 수 있다. CPU가 가져간 데이터 패킷은 flush가 될 것이다.	0
3	R	R/W	OCERR : Out Control 1 Data Error bit 전송받은 데이터에 에러(bit stuffing 또는 CRC)가 있음을 나타낸다. OCOPR 비트가 clear될 때 자동적으로 clear 된다.	0
2	R	R	Reserved	
1	R	R/W	OCFFUL : Out Control 1 FIFO Full bit. 더 이상의 패킷을 수용할 수 없음을 나타낸다. 0 : FIFO is not full. 1 : FIFO is full.	0

0	R/ Clear	Set	OCOPR : Out Control 1 Out Packet Ready bit. FIFO에 데이터 패킷이 load가 되면 USB 가 이 비트를 set 한다. CPU가 패킷 전체를 읽고 나면 이 비트는 CPU에 의해 clear 되어야 한다. CPU가 0을 write 함으로써 clear 된다.	0
---	-------------	-----	--	---

USB OUT Control Register 2 (USBOC2)

Address : 0x8002_2C3C

Bit	R/W		Description	Default Value
	CPU	USB		
31 : 8	R		Reserved	
7	R/W	R	OCACLR : Out Control 2 Auto Clear bit. 이 비트가 set이면, CPU가 OUT FIFO에서 데이터를 읽을 때 마다 자동적으로 USB core에 의해 OCOPR 비트가 clear 된다.	0
6 : 0			Reserved	0

USB Low Byte Out Write Count Register (USBLBOWC)

Address : 0x8002_2C40

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	Low Byte OEP write count register	0x00

USB High Byte Out Write Count Register (USBHBOWC)

Address : 0x8002_2C44

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	
7 : 0	R/W	High Byte OEP write count register	0x00

EP0 FIFO Data Register (USBEP0)

Address : 0x8002_2C48

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP0 FIFO Data Register	0x00

EP1 FIFO Data Register (USBEP1)

Address : 0x8002_2C4C

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP1 FIFO Data Register	0x00

EP2 FIFO Data Register (USBEP2)

Address : 0x8002_2C50

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP2 FIFO Data Register	0x00

EP3 FIFO Data Register (USBEP3)

Address : 0x8002_2C54

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP3 FIFO Data Register	0x00

EP4 FIFO Data Register (USBEP4)

Address : 0x8002_2C58

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 0	R/W	EP4 FIFO Data Register	0x00

Preliminary

18 KEYSKAN

CANTUS에 내장된 Key Scan Controller는 최대 4x4의 Key Matrix를 제어할 수 있다. Scan 주기의 설정을 지원한다.

Key Features

- Scan Mode. (Key press, Key press / release) support
- Scan Period support
- Binary format and hexadecimal format support

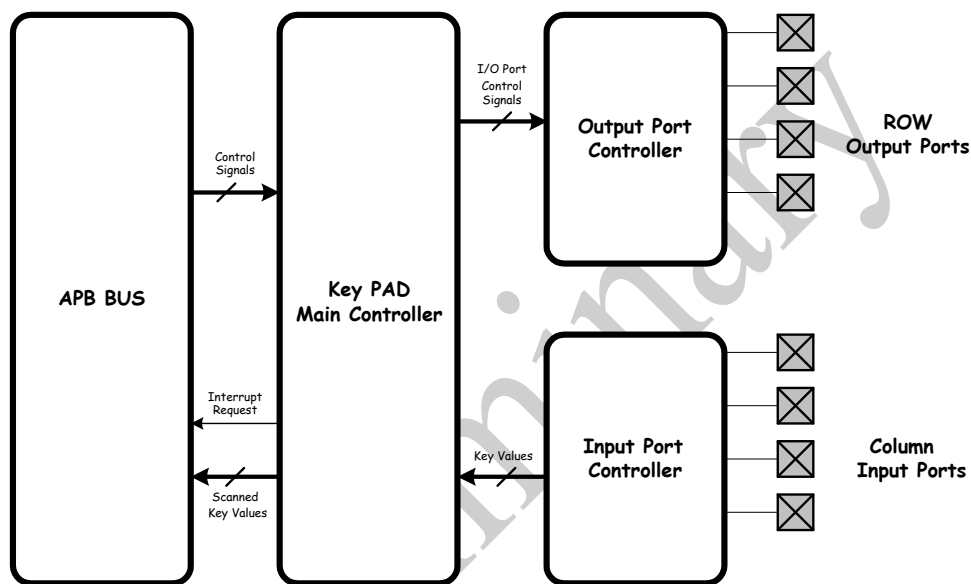


Figure 18-1 Key Scan Block Diagram

18.1 Key Scan Matrix Circuit

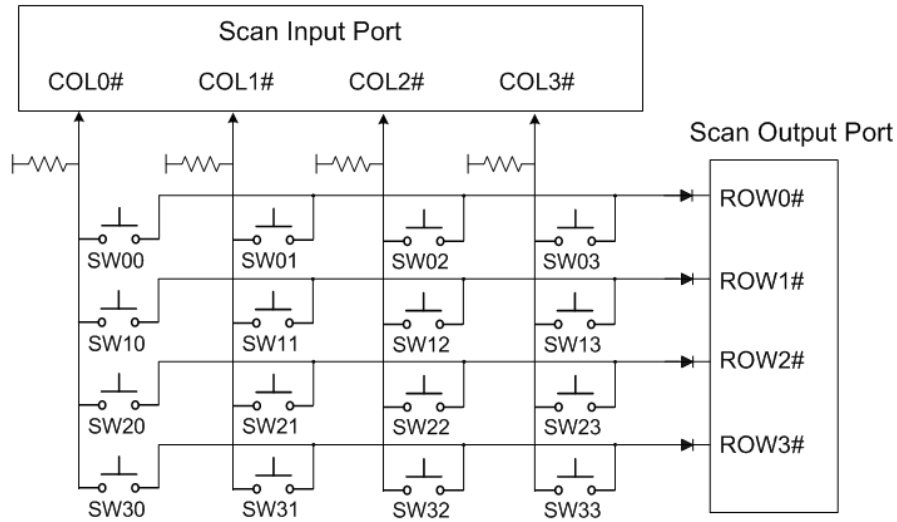


Figure 18-2 4 x 4 Key Matrix

SW가 눌러지면 해당 비트가 “1”로 설정되면서 인터럽트를 발생한다. Key Scan 회로를 구성할 때 유의할 점은 Scan output port(ROWx핀)에 연결된 다이오드이다. 만약 다이오드가 없으면 같은 열(column)의 Switch를 두 개 이상 눌렀을 때 Key값을 인식하지 못하게 된다.

18.2 Key Scan mode and Interrupt

Key Press Mode인 경우 스위치를 누를 때만 인터럽트를 발생하면서 KSD1과 KSD2 레지스터 값이 변경된다.

Key Press / Release Mode인 경우 스위치를 누를 때와 땔 때 모두 인터럽트를 발생하면서 KSD1과 KSD2 레지스터 값이 변경된다.

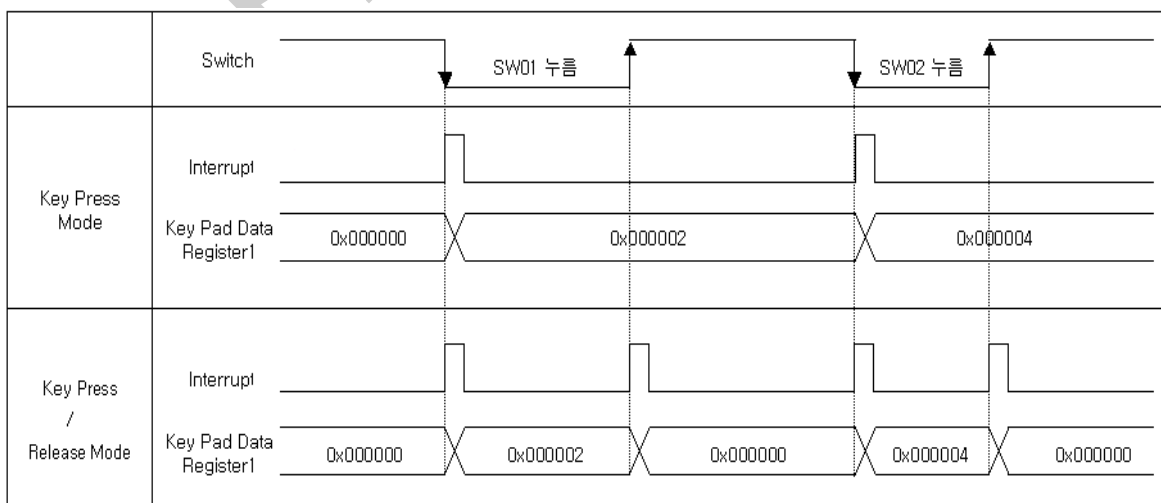


Figure 18-3 Key Scan Time Diagram

18.3 Key Scan Control Registers

Key Scan Control Register (KSCTRL)

Address : 0x8002_3000

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	-
2	R/W	Key Scan Mode Select bits 0 : Key press mode 1 : Key press / release mode	0
1	R	Reserved	-
0	R/W	Key Scan Enable bit 0: Scan Disable 1: Scan Enable	0

Key Scan Counter Register (KSCNT)

Address : 0x8002_3004

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15 : 0	R/W	Scan clock divide ratio setting bits.	0xFFFF

$$\text{Scanning Frequency} = \frac{f_{PCLK}}{11 \times (KSCNT + 1)}$$

Key Scan Data 1 Register (KSD1)

Address: 0x8002_3008

Bit	R/W	Description	Default Value
31 : 16	R	Reserved	-
15	R	SW33	0
14	R	SW32	0
13	R	SW31	0
12	R	SW30	0
11	R	SW23	0
10	R	SW22	0
9	R	SW21	0
8	R	SW20	0
7	R	SW13	0
6	R	SW12	0
5	R	SW11	0
4	R	SW10	0
3	R	SW03	0
2	R	SW02	0
1	R	SW01	0
0	R	SW00	0

Key Scan Data 2 Register (KSD2)

Address: 8002 300Ch

Bit	R/W	Description	Default Value
31:5	R	Reserved	-
4:0	R	Scanned Switch value (Represented as hexadecimal Value)	0x00

*** Key Scan Data 1 Register의 값을 십육진수로 표현한다. (SW03는 0x04로 표현)

*** (주의) 2개 이상의 Key가 눌러지면 이 Register의 값은 "0"으로 Setting 된다.

Preliminary

19 REAL TIMER CLOCK

CANTUS는 전원이 분리된 RTC를 가진다. 32.768kHz의 Clock을 사용하여 동작하며 년, 월, 일, 시간, 분, 초의 레지스터를 설정하고 현재 진행중인 시간을 읽어볼 수 있다. RTC의 인터럽트를 0.25초, 0.5초, 2초, 4초, 8초, 16초, 2분, 4분, 8분, 16분, 2시간, 4시간, 2일, 4일 단위로 설정할 수 있다.

Key Features

- 전원 독립
- 윤년지원
- 주기적인 인터럽트 발생 : 0.25초 ~ 4일

Preliminary

19.1 RTC Control Registers

Real Time Counter Control Register (RTCCTRL)

Address : 0x8002_3800

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5	R	RTC Control Register Update 0 : Update 1 : Not Yet Update Update bit가 발생하여야 RTC 설정이 전달된 것이다.	0
4	R/W	Test Mode 0 : Normal Mode 1 : RTC Test Mode(Fast)	0
3 : 0	R/W	RTC Interrupt Select 0000 : No Interrupt 0001 : Alarm Interrupt 0010 : 0.25 Sec 0011 : 0.5 Sec 0100 : 2 Sec 0101 : 4 Sec 0110 : 8 Sec 0111 : 16 Sec 1000 : 2 Min 1001 : 4 Min 1010 : 8 Min 1011 : 16 Min 1100 : 2 Hour 1101 : 4 Hour 1110 : 2 Day 1111 : 4 Day	0000

*** RTC Interrupt Select Register 를 설정하고 Interrupt 를 발생시키기 위해서는 Power Management Control Register 중에서 Wake Up Control Register의 RTC Interrupt Enable bit 를 활성화 시켜야 한다.

Real Time Counter Sec Register (RTCSEC)

Address : 0x8002_3804

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6	R	RTC Time Counter Register Update 0 : Update 1 : Not Yet Update Update bit가 발생하여야 RTC 설정이 전달된 것이다.	0
5 : 0	R/W	Sec (0~59)	0x00

*** RTCSEC Register 를 Write 해야 Time Counter Register 가 Update 된다.

*** RTCSEC Register 를 Timer Counter Register 중 가장 마지막에 다루어야 한다.

Real Time Counter Min Register (RTCMIN)

Address : 0x8002_3808

Bit	R/W	Description	Default Value
31 : 6	R	Reserved	-
5 : 0	R/W	Min (0~59)	0x00

Real Time Counter Hour Register (RTCHOUR)

Address : 0x8002_380C

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-
4 : 0	R/W	Hour (0~23)	0x00

Real Time Counter Day Register (RTCDAY)

Address : 0x8002_3810

Bit	R/W	Description	Default Value
31 : 5	R	Reserved	-
4 : 0	R/W	Day (1~31)	0x01

Real Time Counter Week Register (RTCWEEK)

Address : 0x8002_3814

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	-
2 : 0	R/W	Week (0~6)	0x4

Real Time Counter Month Register (RTCMONTH)

Address : 0x8002_3818

Bit	R/W	Description	Default Value
31 : 4	R	Reserved	-
3 : 0	R/W	Month (1~12)	0x1

Real Time Counter Year Register (RTCYEAR)

Address : 0x8002_381C

Bit	R/W	Description	Default Value
31 : 7	R	Reserved	-
6 : 0	R/W	Year (0~99)	0x04

Real Time Alarm Register (RTCALM)

Address : 0x8002_3820

Bit	R/W	Description	Default Value
31 : 24	R	Reserved	-
23 : 21	R	Reserved	-
20 : 16	W	Hour(0~23)	0x00
15 : 14	R	Reserved	-
13 : 8	W	Min(0~59)	0x00
7 : 6	R	Reserved	-
5 : 0	W	Sec(0~59)	0x00

Preliminary

20 14-BIT VOICE CODEC

CANTUS에는 14-bit Sigma-Delta Voice Codec 이 내장 되어 있다. Sigma-Delta A/D는 Pre-Amplifier, Sigma-Delta Modulator와 Decimation Filter로 구성되어 있다. Sigma-Delta D/A는 Interpolation Filter, Sigma-Delta Modulator와 Analog Post-Filter로 구성되어 있다.

Key Features

- 14-bit Sigma-Delta A/D with 75dB SNR
- 14-bit Sigma-Delta D/A with 80dB SNR
- Digital Input/Output 2's Complement Format
- Sampling Frequency Max. 11.025KHz
- Record Gain supported using Pre-Amplifier with External Resistors
- A/D, D/A Converter Individual Power On/Off
- D/A Converter Analog Output Mute Function

Block Diagram

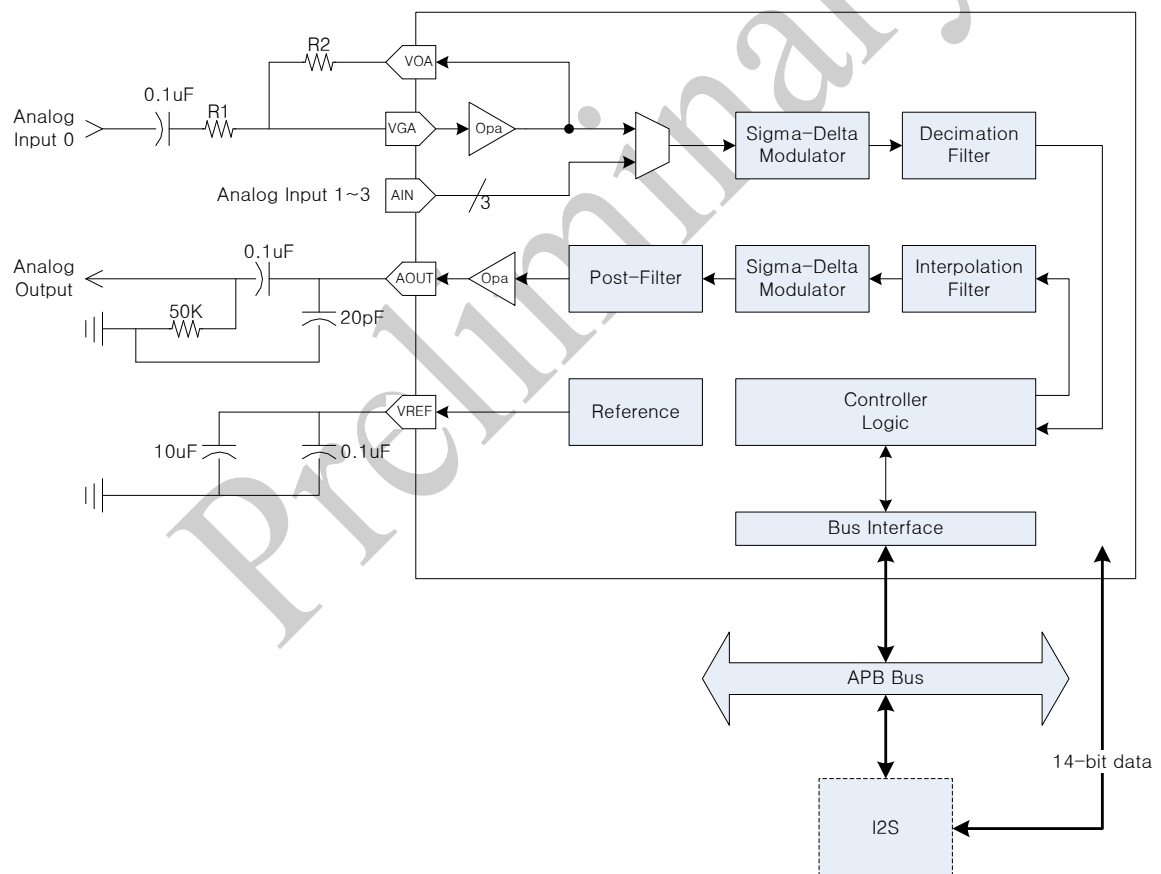


Figure 20-1 Voice Codec Block Diagram

The record gain is set by R1 and R2 ratio. The gain of recording (ADC) is following simple equation.

$$\text{Gain} = R2/R1$$

(R1 = 50kOhm, R2=50kOhm for 0dB, R2=500kOhm for 20dB Gain)

ADC/DAC Signal Level

Analog Virtual Ground(1.65V) 기준으로 +1/-1V의 Voltage Range을 가지며, Digital code는 14-bit 2's complement이다.

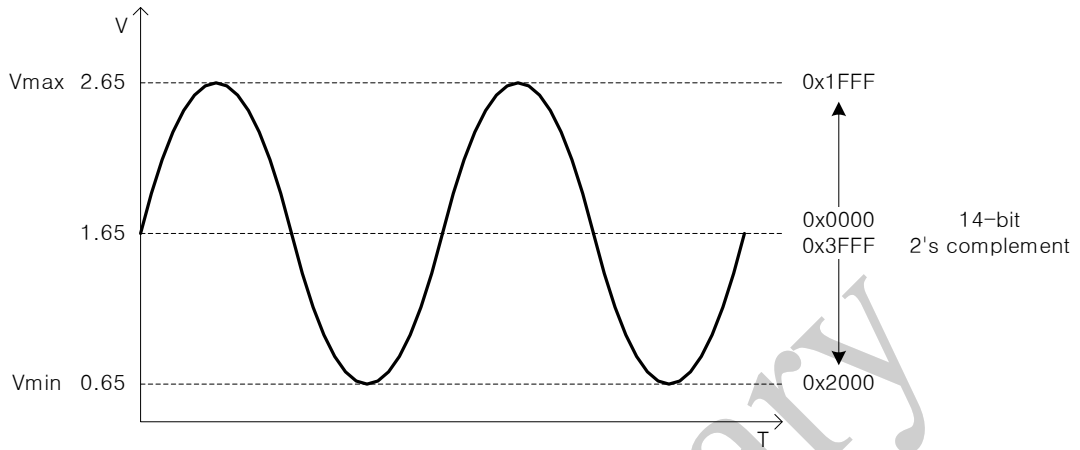


Figure 20-2 ADC/DAC Signal Level

Preliminary

20.1 Voice Codec Control Registers

Voice Codec Control Registers (VOICCTRL)

Address : 0x8002_2400

Bit	R/W	Description	Default Value
31 : 3	R	Reserved	-
2	R/W	Data Select 0 : CPU Data 1 : I2S Data	0
1	R/W	Interrupt Enable 0 : Disable 1 : Enable	0
0	R/W	Voice Codec Enable 0 : Disable 1 : Enable	0

Voice Codec Power Registers (VOICEPW)

Address : 0x8002_2404

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7 : 5	R/W	ADC Input Select bits 000 : VGA 001 : AIN1 010 : AIN2 011 : AIN3 1xx : Reserved	000
4	R/W	DAC Mute Control bit 0 : Mute On 1 : Mute Off	0
3	R/W	Reference Power Control bit 0 : Power Off 1 : Power On	0
2	R/W	DAC Power Control bit 0 : Power Off 1 : Power On	0
1	R/W	ADC Power Control bit 0 : Power Off 1 : Power On	0
0	R/W	Voice Codec Reset 0 : Reset 1 : Release	0

*** Power-On Sequence

- Reference Power On → Time interval → ADC Power On → DAC Power On
(Reference Power On 이후에 일정시간(Time interval)의 안정화 시간이 필요하다.)

*** Power-Off Sequence

- ADC Power Off → DAC Power Off → Reference Power Off

*** DAC Mute Function

- If the MUTE Control bit is 'On', DAC output is muted and go analog ground level. To decrease the click and pop noise, forcing the zero data input during over 10Fs cycle before MUTE on.

Voice Codec DAC Data Registers (VOICEDAC)

Address : 0x8002_2408

Bit	R/W	Description	Default Value
31 : 14	R	Reserved	-
13 : 0	W	DAC 14-bit Data (2's Complement Format)	-

Voice Codec ADC Data Registers (VOICEADC)

Address : 0x8002_240C

Bit	R/W	Description	Default Value
31 : 14	R	Reserved	-
13 : 0	R	ADC 14-bit Data (2's Complement Format)	0x0000

Preliminary

21 ISP (IN SYSTEM PROGRAMMER)

ISP는 “SPI Mode 00” 과 “SPI Mode 11” 에 호환성을 가진다. ISP_CLK 주기는 XIN의 8배 이상의 주기를 가져야 한다. ($T_{css}/T_{csh}/T_{sck}$ Period $> 8 \times$ XIN Period)

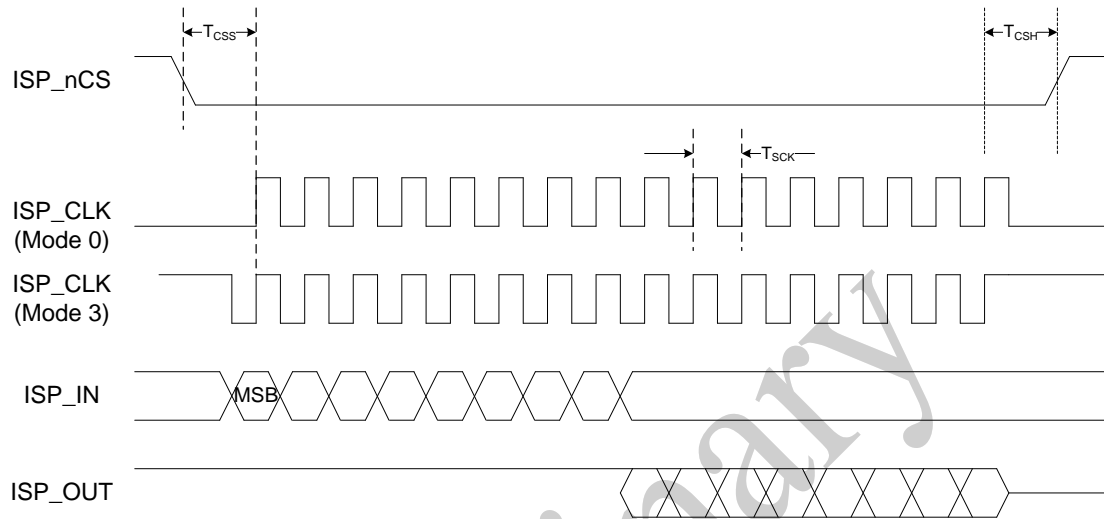


Figure 21-1 SPI Modes Supported

Preliminary

21.1 ISP Command Set

ISP의 Command를 통해 내부의 NOR Flash Memory에 접근이 가능하다. NOR Flash Memory에 Erase 또는 Programming을 할 때는 ISP의 Read/Write Command를 통해 NOR Flash Memory의 Command를 수행한다. Auto Address Increment Programming Command는 NOR Flash Memory에 Programming의 속도를 높이기 위하여 H/W으로 NOR Flash Memory의 주소를 자동으로 증가시킨다.

Table 21-1 ISP Command Set

Bus cycle	1 cycle		2 cycle		3 cycle		4 cycle		5 cycle		6 cycle	
Cycle Type / Operation	SI	SO	SI	SO	SI	SO	SI	SO	SI	SO	SI	SO
Read	83h	Z	A2	Z	A1	Z	A0	Z	X	X	X	DO
Write	84h	Z	A2	Z	A1	Z	A0	Z	DI	Z	-	-
Chip ID	90h	Z	X	ID	-	-	-	-	-	-	-	-
Status	93h	Z	X	ST	-	-	-	-	-	-	-	-
Control	94h	Z	DI	Z	-	-	-	-	-	-	-	-
Auto Address Increment Programming	A4h	Z	A2	Z	A1	Z	A0	Z	DI	Z	-	-

SI : Serial Input,
 SO : Serial Output
 X : Dummy cycles
 - : Cycles are not necessary
 A2 : Address[23:16]
 A1 : Address[15:8]
 A0 : Address[7:0]
 DI : Data input [7:0]
 DO : Data output[7:0]
 ID : Device Identification (0x22)
 ST : Status

21.2 Read Command

내장된 NOR Flash Memory를 Read할 경우에 사용된다. Read Command 이후에 NOR Flash Memory의 Address를 인가하고 Dummy Cycle, NOR Flash의 데이터 값을 읽을 수 있다. 만약 연속된 NOR Flash Memory 영역을 Read 할 때는 시작 주소를 처음 한번만 인가하며, 이후에는 연속으로 읽으면 된다. Read Command 수행 시, NOR Flash Memory의 주소는 자동으로 증가하게 된다.

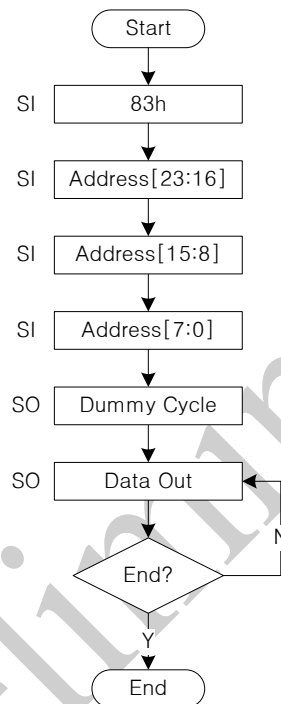


Figure 21-2 Read Command Flow chart

21.3 Write Command

NOR Flash Memory의 Erase, Programming을 하거나 NOR Flash ID를 읽을 때, NOR Flash Memory에서 정의한 Command를 Write해야 한다. NOR Flash Command Definitions Table를 참고하여 Write Command를 수행하며, 수행 전에 Control Command로 Write enable bit를 활성화 시켜야 한다.

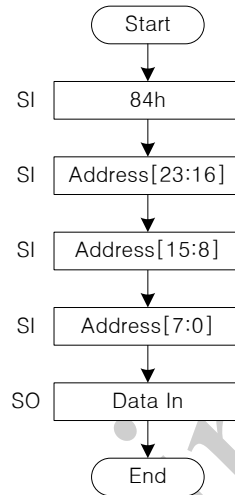


Figure 21-3 Write Command Flow chart

21.4 Device ID Command

Device ID Command를 통해 CANTUS의 전원상태와 ISP Cable의 상태를 확인할 수 있으며 “0x22”가 읽어지면 ISP의 연결이 정상적으로 이루어졌음을 의미한다.

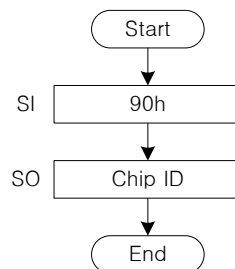


Figure 21-4 Device ID Command Flow chart

21.5 Status/Control Command

ISP 동작 시 ISP 제어기의 상태는 Status Command를 통해 확인할 수 있으며, Control Command를 통해 제어 가능하다.

Table 21-2 ISP Status/Control Register

Bit	R/W	Description	Default Value
31 : 8	R	Reserved	-
7	R	AAI Programming ready bit 0 : Busy 1 : Ready	1
6	R	Reserved	-
5	R	AAI Programming status bit 0 : Random program mode 1 : Auto address increment programming mode	0
4	R/W	AAI Programming enable bit 0 : AAI Programming disabled 1 : AAI Programming enabled	0
3	R/W	Write enable bit 0 : Write disabled 1 : Write enabled	0
2	R/W	System reset bit 0 : System reset 1 : System active	0
1	R/W	Processor reset bit 0 : Processor reset 1 : Processor active	0
0	R/W	ISP enable bit 0 : ISP disabled 1 : ISP enabled	0

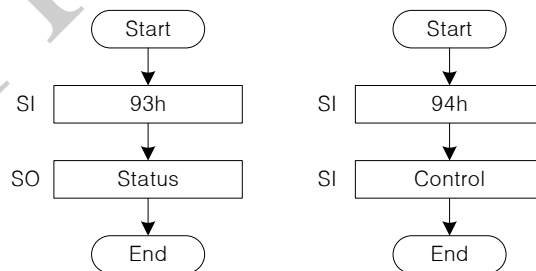


Figure 21-5 Status/Control Command Flow chart

21.6 AAI Programming Command

연속된 NOR Flash Memory 영역을 Programming할 경우에 사용한다. AAI Programming Command는 NOR Flash Memory에 Programming할 때 필요한 Command를 ISP 제어가 자동으로 수행한다. 따라서, 시작 주소는 처음 한번만 인가하고 이후에는 AAI Programming Command와 Data만 인가한다. 이때 AAI Programming status bit는 Command 수행이 끝날 때까지 Auto address increment programming mode 상태가 되고 Flash Memory의 주소는 자동으로 증가하게 된다. AAI Programming Command를 수행하는 동안에 NOR Flash Memory의 Programming 완료됨을 Status Command의 AAI Programming ready bit를 통해 확인할 수 있다. AAI Programming Command를 수행하기 위해서는 Control Command를 통해 AAI Programming enable bit를 활성화 시켜야 한다.

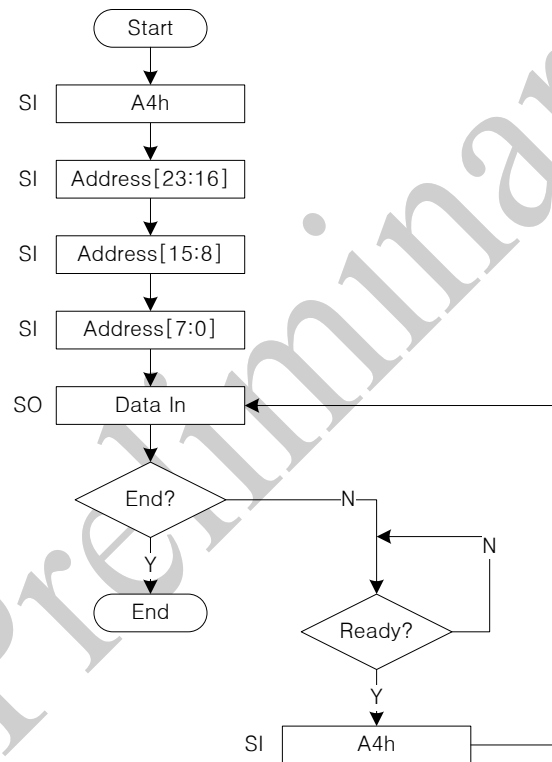


Figure 21-6 AAI Programming Command Flow chart

Note. AAI Programming Command가 Auto address increment programming mode 상태로 수행하는 동안에는 새로운 시작 주소의 설정이 허용되지 않는다. 따라서, 새로운 주소로 AAI Programming Command를 수행하기 위해서는 Control Command의 AAI Programming enable bit를 disabled한 후, 다시 enabled하여 초기화 시켜야 한다. 이때 AAI Programming status bit가 Random program mode로 전환됨을 확인할 수 있다.

22 ELECTRICAL CHARACTERISTICS

22.1 DC Electrical Characteristics

Table 22-1 DC Electrical Characteristics

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
I/O Supply Voltage	DVDD		3.0	3.3	3.6	V
Junction Temperature	T_J		-40	25	125	°C
Operation Temperature	T_A		-40	25	85	°C
Input Low Voltage	V_{IL}		-0.5		0.8	V
Input High Voltage	V_{IH}		2.0		5.5	V
Schmitt Trigger Hysteresis	V_{HYS}		0.34	0.38	0.41	V
Input leakage current	I_I	$V_{IN} = V_{SS}$ or 3.6V	-10		+10	uA
Input Current with Pull Down Resistor	I_{IL}	$V_{IN} = DVDD$	+25	+58	+109	uA
Input Current with Pull Up Resistor	I_{IH}	$V_{IN} = 0$	-26	-46	-74	uA
Output Low Voltage	V_{OL}		0		0.4	V
Output High Voltage	V_{OH}		2.4		3.6	V
MOSC Oscillator Frequency	f_{OSC}		2		15	MHz
ROSC Oscillator Frequency	f_{RTC}			32.768		KHz
Operating current	Normal mode	I_{DD} $f_{HCLK} =$ 96MHz		70	100	mA
	Idle mode					
Deep Idle mode current	I_{DD}	$f_{OSC} = \text{Stop}$		500		uA
Low power domain current	I_{DD}			50		uA

22.2 LDO100 Voltage Regulator Electrical Characteristics

Table 22-2 LDO100 Electrical Characteristics

Parameter	Min	Typ	Max	Unit
Supply Voltage	3.0	3.3	3.6	V
Voltage Output	1.65	1.8	1.95	V
Current Output			100	mA
Current Consumption		30		uA
Stop Current			1.0	uA
Setup Time			50	usec

22.3 LDO50 Voltage Regulator Electrical Characteristics

Table 22-3 LDO50 Electrical Characteristics

Parameter	Min	Typ	Max	Unit
Supply Voltage	3.0	3.3	3.6	V
Voltage Output	1.65	1.8	1.95	V
Current Output			50	mA
Current Consumption		30		uA
Stop Current			1.0	uA
Setup Time			50	usec

22.4 POR Electrical Characteristics

Table 22-4 POR Electrical Characteristics

Parameter	Min	Typ	Max	Unit
Start Voltage	-	1.6	-	V
Width of Reset	200	300	600	nsec
Current Consumption	-	5	10	uA

22.5 MOSC Electrical Characteristics

Table 22-5 MOSC Electrical Characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
	Crystal Oscillator Frequency		2		15	MHz
$R_{fb}^{(1)}$				2		Mohm
$R_S^{(1)}$				0		ohm
$C_L^{(1)}$	Equivalent Load Capacitance		10		12.5	pF
	Duty cycle		40	50	60	%
I_{osc}	Current Consumption	Active mode		500		uA
		Standby mode		1		uA

Notes: 1. The values of R_{fb} , R_S , and C_L may be further refined to meet the frequency requirements of the system.

22.6 ROSC Electrical Characteristics

Table 22-6 ROSC Electrical Characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
	Crystal Oscillator Frequency			32.768		KHz
$R_{fb}^{(1)}$			2		5	Mohm
$R_S^{(1)}$				0		ohm
$C_L^{(1)}$	Equivalent Load Capacitance		10		12.5	pF
	Duty cycle		40	50	60	%
I_{osc}	Current Consumption	Active mode		5		uA
		Standby mode		1		uA

Notes: 1. The values of R_{fb} , R_S , and C_L may be further refined to meet the frequency requirements of the system.

22.7 PLL Electrical Characteristics

Table 22-7 PLL Electrical Characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
F_{ext}	Input Frequency		2		40	MHz
F_{out}	Output Frequency		5		96	MHz
	Output Clock Duty Cycle		40	50	60	%
	Clock Jitter	Peak-Peak	-150		150	psec
	Frequency Change to Fout Stable Time				100	usec
T_r, T_f	Fout Rise and Fall Time				0.8	nsec

Preliminary

22.8 Voice Codec Electrical Characteristics

Table 22-8 Voice Codec Electrical Characteristics

(VDDA=3.3V, VDDD=1.8V, Topr=25°C, Fs=8kHz, 0dB 1kHz Sine Wave Input, Unless otherwise specified)

Characteristic	Condition	Symbol	Min	Typ	Max	Unit
Resolution		Bit			14	Bits
Sampling Frequency		Fs		8	11.025	KHz
Reference Voltage		Vref		1.2		V
Analog Virtual Ground		Vavg		1.65		V
ADC						
Signal to Noise Ratio		SNRadc	70	75		dB
Total Harmonic Distortion		THDadc		-85	-80	dB
Offset Voltage		Vos,adc			±5	mV
Maximum Input Range		Vain,max		2		Vpp
DAC						
Signal to Noise Ratio		SNRadc	75	80		dB
Total Harmonic Distortion		THDadc		-88	-83	dB
Offset Voltage		Vos,dac			±5	mV
Maximum Output Range		Vaout,max		2		Vpp
Analog Output Load		Rload	10			KΩ
Power Supply						
Supply Voltage		AVDD33	3.0	3.3	3.6	V
Operating Current	Analog Power	Ivdda		3.7	4.5	mA
Power Down Current	All Power Down	Ipwn			10	uA
Digital Filter - ADC						
Pass Band		Fpb,adc		0.4		Fs
Pass Band Rippler		Rpb,adc		±0.44		dB
-3dB		F3db,adc		0.44		Fs
Stop Band Attenuation		Rsb,adc		-54		dB
Digital Filter -DAC						
Pass Band		Fpb,dac		0.4		Fs
Pass Band Ripple		Rpb,dac		±0.3		dB
-3dB		Fsb,dac		0.464		Fs
Stop Band Attenuation		Rsb,dac		-45		dB

22.9 Internal Register Electrical Characteristics

Table 22-9 Internal Resistance Electrical Characteristics

Parameter	Min	Typ	Max	Unit
Pull-Up Resistance	30	66	130	K Ω
Pull-Down Resistance	44	71	126	K Ω

Preliminary

23 PACKAGE DIMENSION

Unit: mm

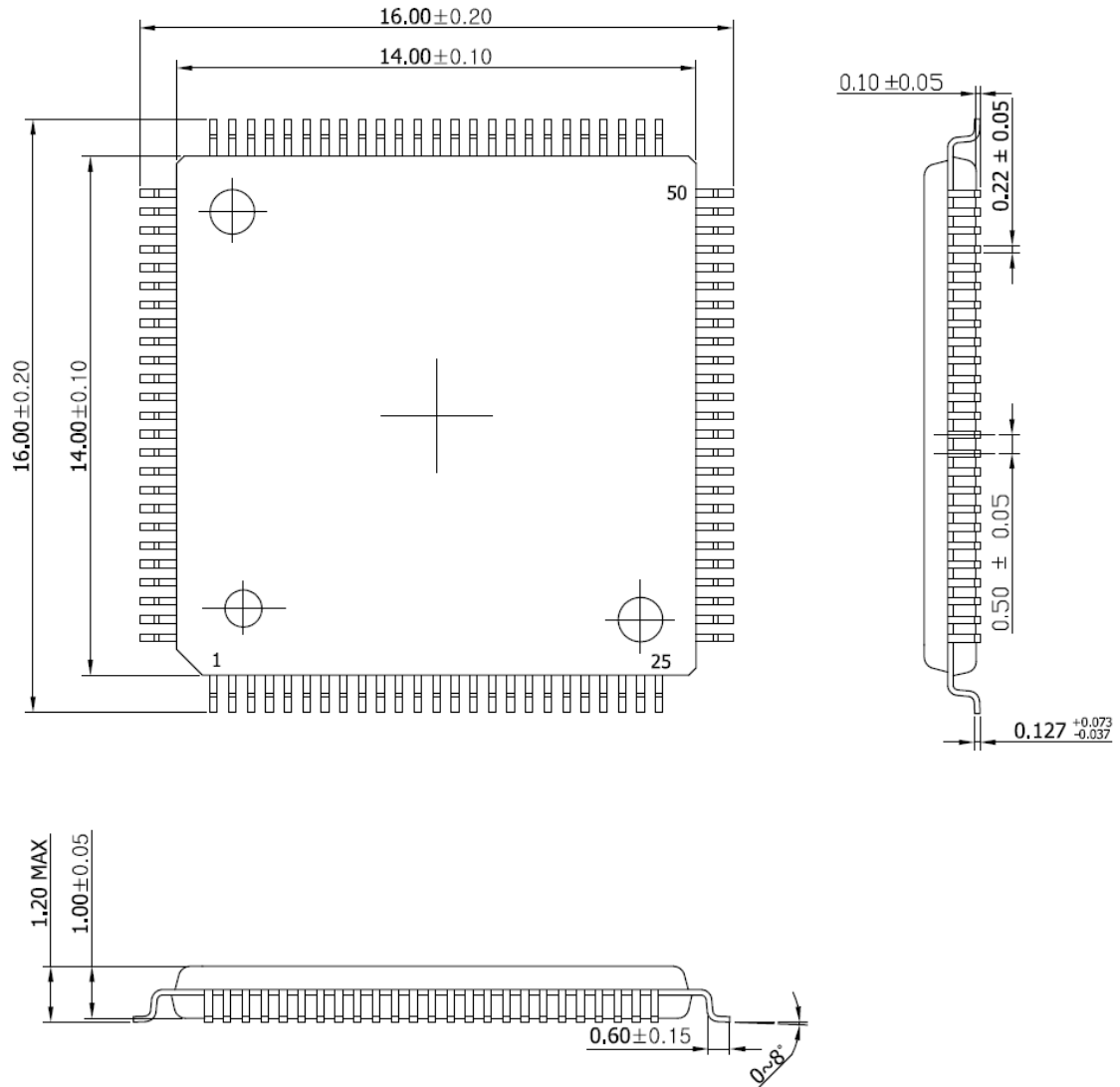


Figure 23-1 Package Dimension